

소자격리구조가 바이폴라 트랜지스터의 콜렉터 전기용량에 주는 영향

(Effects of Isolation Oxide Structure on Base-Collector Capacitance)

丁恒根*

(Hang Geun Jeong)

要約

바이폴라 트랜지스터의 스위칭속도에 큰 영향을 미치는 베이스-콜렉터 전기용량은 최신 바이폴라 및 BiCMOS 기술로 제조한 소자에서는 pn접합성분과 MOS 성분으로 구성되어 있다. 전기용량의 두 성분은 소자의 격리를 위하여 사용되는 실리콘 산화물의 모양과 에피층의 도우핑 농도, 바이어스 전압에 복잡하게 의존한다. 본 논문에서는 이론적 근거와 이차원 소자 시뮬레이션의 결과를 바탕으로 베이스-콜렉터 전기용량을 일반적인 소자 격리구조에 대하여 도우핑 농도와 바이어스의 함수로서 추정할 수 있도록 공식을 유도하였다.

Abstract

The base-collector capacitance of an npn bipolar transistor in bipolar or BiCMOS technology has significant influence on the switching performances, and comprises pn junction component and MOS component. Both components have complicated dependences on the isolation oxide structure, epitaxial doping density, and bias voltage. Analytical/empirical formulas for both components are derived in this paper for a generic isolation structure as a function of epitaxial doping density and bias voltage based on some theoretical understanding and two-dimensional device simulations. These formulas are useful in estimating the effect of device isolation schemes on the switching speed of bipolar transistors.

1. 서론

바이폴라 및 BiCMOS 기술에서 npn 바이폴라 트

랜지스터의 베이스콜렉터 전기용량(CJC)은 스위칭 속도에 큰 영향을 미치는 중요한 파라미터중의 하나이다.¹⁾ 따라서 CJC는 서로 다른 기술들에 대하여 바이폴라 소자의 성능을 비교할 때 쓰이는 중요한 파라미터이다. CJC는 우선 밀면부분과 측벽부분으로 크게 나눌 수 있다. 밀면 부분은 비교적 쉽게 모델할 수 있다. 그러나 최신 반도체 기술로 제조한 소자에서 측벽부분을 모델하는 것은 좀 더 복잡하다. 왜냐하면 측벽부분은 pn접합성분 뿐만 아니라 폴리실리

* 正會員, 全北大學校 電子工學科
(Dept. of Elec. Eng., Chonbuk Nat'l Univ.)

* 이 연구는 1991년도 교육부 학술연구조성비에 의해 수행되었음

接受日字: 1992年 8月 28日

론-산화막-실리콘으로 이루어지는 구조에 의한 MOS 성분도 포함하기 때문이다. 따라서 측벽부분은 소자의 격리기술^[2]에도 크게 영향을 받는다. 이 MOS성분을 모델하는 일은 바이어스 전압이 바뀔때 따라 pn 접합의 공핍층의 두께가 변하고 이에 따라 MOS 구조에서 실리콘면의 접합쪽 경계가 이동하기 때문에 더욱 복잡하다. 이렇게 문제가 복잡하기 때문에 측벽부분의 전기용량을 바이어스 전압, 접합의 깊이, 에피층의 도우핑농도, 격리용 산화물의 구조적 파라미터의 함수로서 정확히 모델하기 위해서는 소자 시뮬레이션이 필수불가결하다.

현재 사용하고 있는 여러 격리기술을 포괄적으로 다룰 수 있도록 하기 위하여 이 논문에서는 두가지의 기본구조를 고려한다. 그림 1은 fully recessed LOCOS등에 의한 deep isolation 구조를 일반화한 제 I 형태의 격리구조를 나타내고 있으며 그림 2는 non-recessed LOCOS에서 볼 수 있는 shallow isolation 구조를 일반화한 제 II 형태의 격리구조를 보여주고 있다. 먼저 제 I 형태의 격리구조를 모델하기 위하여 이차원 소자 시뮬레이터인 PISCES^[3]를 사용하여 측벽구조를 시뮬레이션하고 그 구조내부에서의 전계분포등을 근거로 측벽부분의 전기용량을 다시 pn 접합성분, MOS성분으로 나누어 각 성분에 대한 공식을 구하였다. 공식은 가능한 한 물리적 해석에 기초를 두려고 노력하였으며 불가피한 경우에만 curve-fitting에 의한 경험식을 사용하였다. 다음에 제 II 형태의 격리구조에 대하여도 비슷한 방법을 적용하여 식을 유도하였다. 마지막으로 격리구조에 영향을 받지 않는 밀면부분에 대한 공식을 PISCES 시뮬레이션에 근거하여 유도하였다.

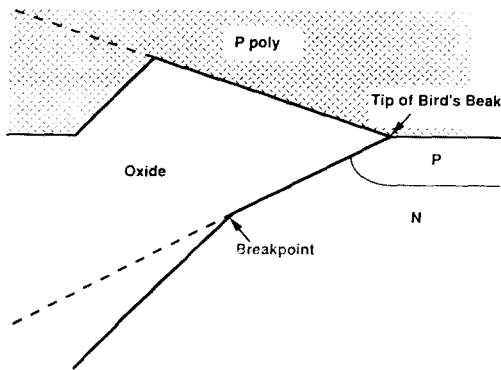


그림 1. fully recessed LOCOS등에 의한 제 I 형태의 격리 구조

Fig. 1. Type I isolation structure by fully recessed LOCOS.

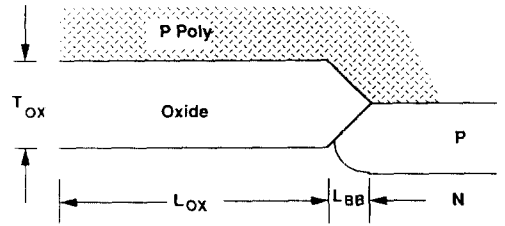


그림 2. non-recessed LOCOS에 의한 제 II 형태의 격리 구조

Fig. 2. Type II isolation structure by non-recessed LOCOS.

II. 제 I 형태의 격리구조

제 I 형태의 격리구조는 산화물이 깊어서 새부리 모양의 꺾인 점이 pn접합으로부터 충분히 떨어져 있는 것으로 가정할 수 있으므로 그림 3에서 볼 수 있는 격리구조로서 근사할 수 있다. 등전위선을 나타낸

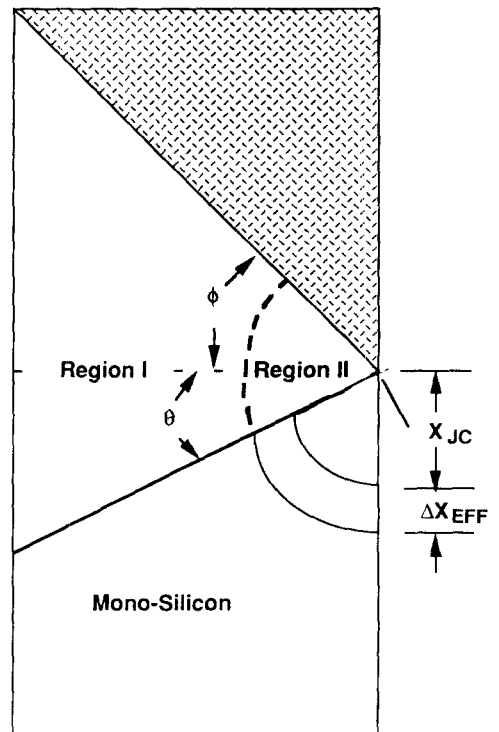


그림 3. 제 I 형태의 격리구조를 근사시킨 구조 Fig. 3. Simplified Type I isolation structure.

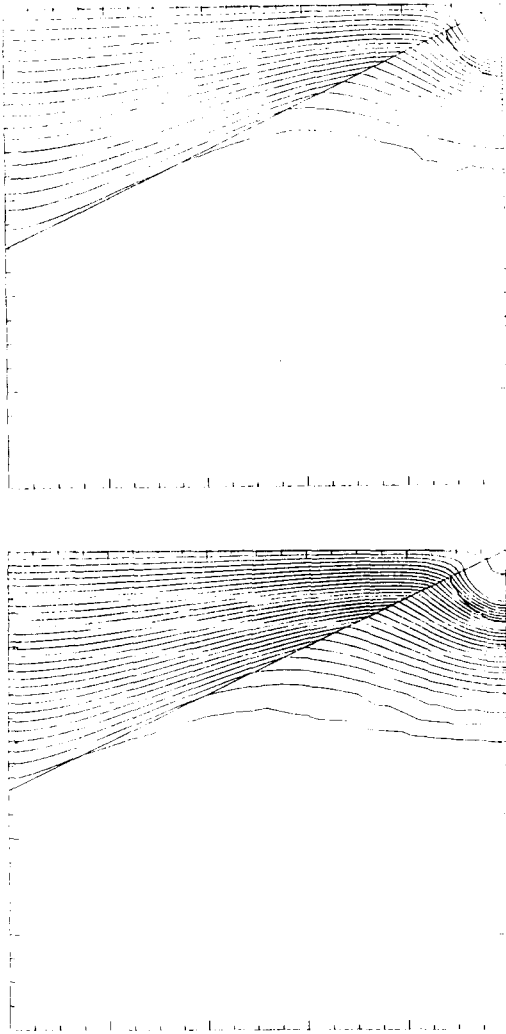


그림 4. 바이어스 전압에 따른 등전위선 모양의 변화
 Fig. 4. Changes in Potential contours due to different bias voltages.

그림 4에서 볼 수 있는 바와 같이 측벽부분의 전기용량은 기본적으로 접합성분, MOS성분으로 구성되어 있다. 그림 4에서 접합성분은 pn 접합주위의 공핍층에 존재하는 전계와 관련지을 수 있으며 MOS성분은 산화막내부와 산화막과 접하는 실리콘 표면 근처에 존재하는 전계와 관련지을 수 있다. 앞으로의 해석에서 길이의 단위는 μm , 각의 단위는 도, 전기용량은 fF이다.

1. 접합성분

접합성분은 접합(metallurgical 접합)의 깊이인 X_{JC} 와 산화막의 하단각인 θ 의 함수이다. 먼저 접합

성분이 X_{JC} 에 따라 어떻게 변하는지 생각해 보자. 만약에 우리가 기하학적인 효과를 무시하고 간단하게 단위 주변길이당 접합성분을 구하려면 먼저 평면접합의 단위 면적당 용량을 구한 다음 접합의 길이 (그림 3의 단면도에서 호의 길이)를 곱하면 된다. 그러나 이 방법은 기하학적인 효과를 무시하기 때문에 접합성분을 실제보다 상당히 낮게 추정하는 경향이 있다. 이 기하학적인 효과는 다음과 같이 설명할 수 있다. 보통 콜렉터(에피층)가 베이스보다 훨씬 도우핑농도가 낮으므로 pn 접합의 공핍층의 대부분은 에피층에 형성된다. 물리적으로 전기용량을 결정하는 길이는 metallurgical 접합의 길이가 아니고 공핍층과 중성층의 경계면의 길이이므로 측벽에서는 항상 metallurgical 접합의 길이보다 길게 된다. 이 효과를 다른 각도로 보면 공핍층의 두께가 평면접합에 비하여 얇아진다고 볼 수 있다. 공핍층의 두께가 얇아지는 이유는 공핍층과 중성층의 경계면이 접합으로부터 멀어짐에 따라 단위각도당 더 많은 도우너 이온이 전리되어야 하기 때문이다. 이러한 기하학적인 효과는 전기용량을 증가시킨다. 이 효과는 마치 접합의 깊이가 깊어진 것과 마찬가지로 실효 공핍층 두께로서 ΔX_{EFF} 라는 파라미터를 도입하여 다음 식과 같이 간단히 나타낸다.

$$C_{JO,SW} \propto (X_{JC} + \Delta X_{EFF}) \tag{1}$$

여러 값의 접합 깊이에 대한 PISCES 시뮬레이션 데이터로부터 추출된 ΔX_{EFF} 는 $0.084\mu\text{m}$ 으로서 접합 깊이에 거의 무관하였다.

접합성분의 θ 에 대한 의존도는 만약에 접합의 모양이 원의 일부분이라면 선형적인 것이다. 그러나 불순물의 확산이 등방성이지 않기 때문에 접합의 모양은 타원의 일부분이 된다. 이를 나타내기 위하여 다음과 같이 3차 다항식으로 근사하였다.

$$C_{JO,SW} = a_1(X_{JC} + a_2) [(90-\theta)^2 + a_3(90-\theta) + a_4(90-\theta)^3] \tag{2}$$

여기에서 $a_1=0.0052$, $a_2=0.084$, $a_3=0.014$, $a_4=-0.00011$ 이다. 이제 바이어스에 대한 변화는 통상적인 (SPICE등에서 사용하는) 방법을 사용하여 다음과 같이 모델하였다.

$$C_{J,SW} = C_{JO,SW} / [1 - (V_{BC}/V_{JC})^{MJC}] \tag{3}$$

여기에서 $V_{JC}=0.61 + 0.097X_{JC} + 0.00002\theta + 0.$

$0.00004\theta X_{JC} + 0.019\theta^2$, $M_{JC} = 0.19 + 0.37X_{JC} - 0.00002\theta + 0.0002\theta X_{JC} + 0.0088X_{JC}^2 + 0.000002\theta^2$ 이다.

2. MOS성분

여기에서는 산화막의 양쪽 경계면이 서로 평행하지 않으므로 보통 쓰이는 평행판 MOS 구조의 전기용량에 대한 식은 그대로 사용할 수 없다. 그림 5에서 폭이 δ r인 작은 조각에 대한 전기용량은 다음과 같이 표시할 수 있다.

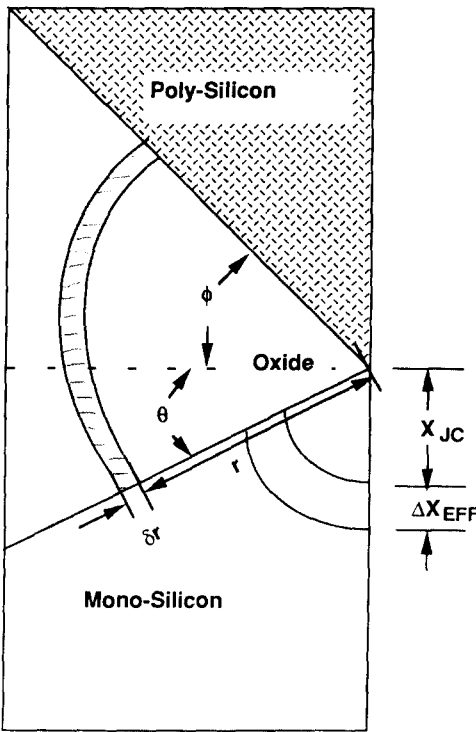


그림 5. 제 I 형태의 격리구조에서의 MOS 성분의 미소 전기 용량

Fig. 5. Incremental MOS capacitance for Type I isolation structure.

$$dC_{MOS} = [r(\theta + \phi) / \epsilon_{OX} + X_{DEP} / \epsilon_{SI}]^{-1} dr \quad (4)$$

여기에서 X_{DEP} 는 공핍층의 두께로서 다음 식으로 표시할 수 있다.

$$X_{DEP} = -K1 + [K1^2 - 2\epsilon_{SI}(V_{BC} - V_{FB}) / (qN_{EPI})]^{1/2} \quad (5)$$

여기에서 $K1 = r(\theta + \phi) \epsilon_{SI} / \epsilon_{OX}$, V_{FB} 는 flat-band 전압, N_{EPI} 는 에피층의 도우핑농도이다.

전체 MOS 용량을 구하기 위하여 식(5)를 식(4)에 대입하여 다음과 같이 적분한다.

$$\int_{r_1}^{r_2} dC_{MOS} = [\epsilon_{OX} / (\theta + \phi)] \ln [r + (r^2 - K2)^{1/2}] \Big|_{r_1}^{r_2} \quad (6)$$

여기에서 $K2 = 2V_{BE} \epsilon_{OX}^2 / [qN_{EPI}(\theta + \phi) 2\epsilon_{SI}]$ 이고 r_1 과 r_2 는 쐐기(wedge)모양의 폴리실리콘-산화막-에피층 구조에서 양쪽 끝을 나타낸다. 즉 r_1 은 공핍층과 중성층의 경계이고 r_2 는 보통 에피층이 폴리실리콘보다 더 두꺼우므로 폴리실리콘의 끝을 나타낸다. 따라서 r_1 은 바이어스와 에피층의 도우핑농도의 함수이다.

식 (6)의 적분 결과는 다음과 같다.

$$C_{MOS}(r) = \frac{\epsilon_{OX}}{(\theta + \phi)} \ln \left[\frac{r_2 + (r_2^2 - K2)^{1/2}}{r_1 + (r_1^2 - K2)^{1/2}} \right] \quad (7)$$

3. 도우핑농도에 따른 변화

MOS성분의 도우핑 농도에 따른 변화는 식(7)에서 물리적으로 모델하였으며 집합성분의 도우핑농도에 대한 의존도는 여러 값의 도우핑 농도에 대하여 PISCES의 소신호 해석 결과에 근거하여 다음 식과 같이 경험식으로 모델하였다.

$$C_{JO,SW}(N_{EPI}) = C_{JO}(N_{EPI}=2e16) (N_{EPI}/2e16)^\alpha \quad (8)$$

여기에서 $\alpha = 0.22 + 0.28X_{JC} + 0.000064\theta$ 이다.

III. 제 II 형태의 격리구조

제 II 형태의 격리구조는 non-recessed LOCOS 공정에 의한 구조로서 새부리 부분의 모양이 상하 대칭으로 볼 수 있다. 이 구조는 새개의 파라미터 즉 산화막의 두께, 산화막의 길이, 새부리의 길이에 의해 그 모양이 완전히 결정된다. 제 II 형태에 대해서도 전기용량은 집합길이, 에피도우핑농도, 바이어스를 바꾸어가며 PISCES 시뮬레이션을 행함으로써 구하였다. 제 I 형태에서와 달리 측벽부분의 용량은 새가지 성분으로 나누어 모델하였다. 집합성분과 MOS성분외에 fringing성분도 고려하였다.

PISCES 시뮬레이션에서 fringing성분을 다른 성분으로부터 분리하기 위하여 시뮬레이션을 두가지 구조에 대하여 수행한다. 즉 측벽전체와 산화막이 없는 pn접합 두 구조에 대하여 각각 전기용량을 구한다. 한편 MOS

성분은 물리적으로 유도된 식에 의해 계산한다. 다음에 측벽전계용량으로부터 접합성분을 빼고 다시 MOS성분을 빼면 남는 것이 fringing 성분으로 볼 수 있다.

1. 접합성분

제 II 형태의 구조에서는 새부리의 꺾인점이 알려져 접합의 깊이와 비슷하므로 해석적 방법에 의하여 모델하기 어렵다. 따라서 여러 구조에 대하여 PISCES의 소신호 해석을 행하고 그 결과로 얻은 전기용량에 근거하여 다음과 같이 curve-fitting에 의하여 나타내었다. 앞으로 식에서 계수 값이 주어지지 않는 경우에는 그 값이 테이블 1에 표시되어 있다.

$$C_{J,SW} = C_{J0,SW} / [1 - (V_{BC}/V_{JC})^{M_{JC}}] \quad (9)$$

여기에서 $C_{J0,SW} = (d_1 + d_2X_{JC} + d_3X_{JC}^2 + d_4L_{BB} + d_5L_{BB}^2 + d_6T_{OX} + d_7T_{OX}^2 + d_8X_{JC}L_{BB} + d_9T_{OX}X_{JC} + d_{10}T_{OX}L_{BB}) [(90-\theta) + d_{11}(90-\theta)^2 + d_{12}(90-\theta)^3]$, $\theta = (180/\pi) \tan^{-1} [T_{OX}/(2L_{BB})]$, $V_{JC}=0.61 + 0.097X_{JC}$, $M_{JC} = e_1 + e_2T_{OX} + e_3L_{BB} + e_4X_{JC} + e_5T_{OX}L_{BB} + e_6L_{BB}X_{JC} + e_7X_{JC}T_{OX} + e_8T_{OX}^2 + e_9L_{BB}^2 + e_{10}X_{JC}^2$ 이다.

표 1. Curve-fitting에 의해 얻은 식의 계수
Table 1. Coefficients obtained by curve fitting.

	d	e	f	g	h
1	0.0013	0.11	150.4	-56.8	0.18
2	0.01	0.02	-61.7	120.6	0.15
3	0.02	0.32	-281.8	39.2	0.52
4	-0.0004	0.26	-179.3	-226.0	-0.50
5	0.0068	0.83	485.5	-16.4	-0.11
6	-0.0007	-0.7	2292.0	33.0	1.93
7	-0.00087	-1.1	-978.4	88.7	-0.58
8	-0.02	0.1	106.2	-6.5	0.14
9	-0.006	-0.34	-512.0	121.5	-1.06
10	0.005	1.6	1646.0	-812.0	0.64

2. MOS성분

폴리실리콘과 실리콘이 평행한 부분의 전기용량은 흔히 쓰이는 MOS에 대한 식으로부터 다음과 같이 쉽게 구할 수 있다.

$$C_{MOS} = L_{OX} / (T_{OX}/\epsilon_{OX} + X_{DEP}/\epsilon_{SI}) \quad (10)$$

플렉터와 베이스 접합이 역방향 바이어스가 걸리는

경우 실리콘 경계면이 공핍상태가 되므로 다음과 같이 공핍층의 폭을 구할 수 있다.

$$X_{DEP} = \{ [K1^2 - 2K2(V_{BC} - V_{FB})]^{1/2} - K1 \} / K2 \quad (11)$$

여기에서 $K1 = qN_{EP1}T_{OX}/\epsilon_{OX}$, $K2 = qN_{EP1}/\epsilon_{SI}$, $V_{FB} = V_{T1n}(N_{EP1}N_{BASE}/n_i^2) - Q_F T_{OX}/\epsilon_{OX}$ 이다.

3. Fringing성분

Fringing성분은 해석적으로 다루기 힘든 새부리 모양과 바이어스 변동에 의한 접합의 이동등을 묶어서 나타내기 때문에 PISCES 시뮬레이션의 결과에 근거하여 다음과 같이 모델하였다.

$$C_{FRINGE} = 1 / (L_1 + L_2V_{BC}) \quad (12)$$

$L_1 = f_1 + f_2T_{OX} + f_3L_{BB} + f_4X_{JC} + f_5T_{OX}L_{BB} + f_6L_{BB}X_{JC} + f_7X_{JC}T_{OX} + f_8T_{OX}^2 + f_9L_{BB}^2 + f_{10}X_{JC}^2$, $L_2 = g_1 + g_2T_{OX} + g_3L_{BB} + g_4X_{JC} + g_5T_{OX}L_{BB} + g_6L_{BB}X_{JC} + g_7X_{JC}T_{OX} + g_8T_{OX}^2 + g_9L_{BB}^2 + g_{10}X_{JC}^2$ 이다.

4. 도우핑농도에 따른 변화

MOS성분의 도우핑 농도에 따른 변화는 위에서 물리적으로 모델하였다. 접합성분의 도우핑농도에 대한 의존도는 PISCES 시뮬레이션 결과에 근거하여 다음 식과 같은 경험식으로 나타내었다.

$$C_{J0,SW}(N_{EP1}) = C_{J0}(N_{EP1} = 2 \times 10^{16}) (N_{EP1}/2 \times 10^{16})^\beta \quad (13)$$

여기에서 $\beta = h_1 + h_2T_{OX} + h_3L_{BB} + h_4X_{JC} + h_5T_{OX}L_{BB} + h_6L_{BB}X_{JC} + h_7X_{JC}T_{OX} + h_8T_{OX}^2 + h_9L_{BB}^2 + h_{10}X_{JC}^2$ 이다.

IV. 공식의 적용

제 1 형태에 대한 공식은 접합깊이가 0.1μm부터 0.4μm까지 변하여도 PISCES로 시뮬레이션한 zero 바이어스 전기용량을 5%이내의 오차로서 추정하였다. 측벽전계용량의 바이어스에 따른 변화를 보여주기 위하여 그림 6에서 접합 깊이가 0.2μm이고 θ가 30도인 격리구조에 대하여 공식과 PISCES의 결과를 서로 비교하였다. 한편 제 2 형태에 대한 공식은 산화막의 두께가 0.3μm까지 내려가고 새부리의 길이가 0.05μm까지 내려가더라도 PISCES로 시뮬레이션한 zero 바이어스 전기용량을 10%이내의 오차로서 추정하였다. 그림 7에서는 산화막 두께가 0.5μm이고 새부리 길이가 0.2μm인 제 II 형태의 격리구조

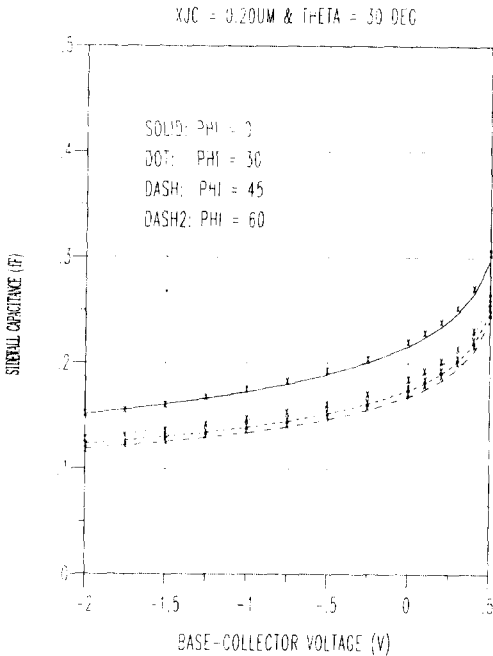


그림 6. 제 I 형태에 대한 공식과 시뮬레이션의 비교
Fig. 6. Comparison between formula and PISCES simulations for Type I.

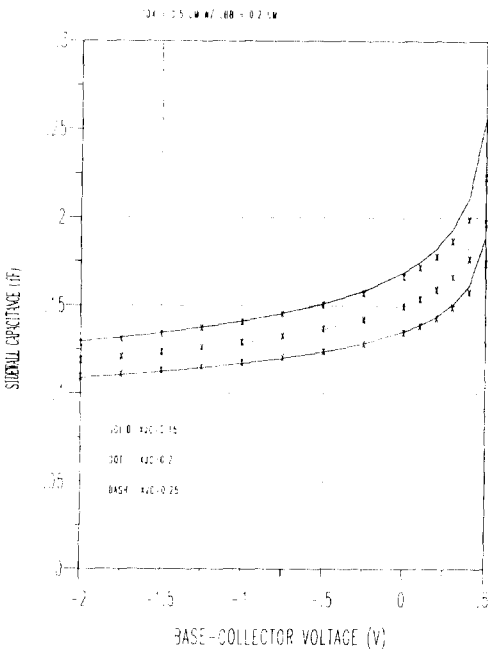


그림 7. 제 II 형태에 대한 공식과 시뮬레이션의 비교
Fig. 7. Comparison between formula and PISCES simulations for Type II.

에 대하여 전기용량의 바이어스에 따른 변화를 공식에 의하여 구하고 PISCES 결과에 비교하였다.

다음에 실제로 자기정렬기술로 제조한 전형적인 최신 바이폴라 소자의 베이스-콜렉터 전기용량을 추정하려고 한다. 이를 위하여서는 먼저 밀면부분에 대한 모델이 필요하다. 밀면부분은 intrinsic 베이스와 extrinsic 베이스로 나눌 수 있고 최신 자기정렬기술로 제조한 바이폴라 소자에서는 보통 intrinsic 베이스가 extrinsic 베이스보다 도우핑농도가 더 낮다. 그러나 도우핑농도가 한쪽으로 치우친 접합에서 전기용량은 도우핑농도가 낮은 쪽에 의하여 결정되므로 두 베이스 영역을 구분하지 않고 한 식으로 나타낼 수 있으며 PISCES 시뮬레이션 결과에 근거하여 다음 식으로 모델하였다.

$$C_{J,BOT} = C_{J0,BOT} / [1 - (V_{BC}/V_{JC})]^{M_{JC}} \quad (14)$$

여기에서 $C_{J0,BOT} = 0.448 \text{ (fF}/\mu\text{m}^2)$, $V_{JC} = 0.718 \text{ (V)}$, $M_{JC} = 0.489$

도우핑 농도에 따른 변화도 PISCES의 소신호 해석결과에 근거하여 다음 식과 같이 나타내었다.

$$C_{J0,BOT} (N_{EP1}) = C_{J0,BOT} (N_{EP1} = 2e16) (N_{EP1}/2e16)^{0.44}$$

그림 8에 있는 layout을 가진 바이폴라 트랜지스터의 전체 베이스-콜렉터 전기용량은 다음과 같다.

$$C_{TOTAL} = C_{J,BOT} (2W_{EB} + 2S + W_E) (L_E + 2L_{NW}) + 2C_{SW} (2W_{EB} + 2S + W_E + L_E + 2L_{NW})$$

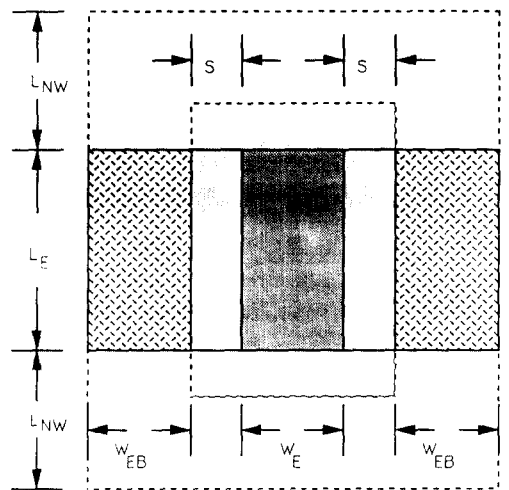


그림 8. 자기 정렬 기술로 제조하는 최신 바이폴라 소자의 레이아웃

Fig. 8. Layout for a typical self-aligned bipolar transistor.

여기에서 단위 길이당 전체측벽용량인 C_{sw} 는 C_{sw} , C_{MOS} , C_{FRINGE} 를 더한 것이다. 최신 트랜지스터에서 측벽용량이 차지하는 비중을 알아보기 위하여 다음 사항을 가정하고 측벽용량과 밀면용량을 계산하였다. 즉 에미터는 non-walled이고 $L_{ox}=0.8\mu m$, $T_{ox}=0.5\mu m$, $L_{BB}=0.2\mu m$ 인 제 2 형태의 격리구조를 사용한다. 접합깊이는 $0.2\mu m$, 에피층의 도우핑농도는 $2 \times 10^{16}/cm^3$, $W_E=0.6\mu m$, $L_E=1.5\mu m$, $S=W_{EB}=0.3\mu m$, $V_{BC}=-1V$ 이다. 이 경우 측벽용량은 $0.851fF$ 이고 밀면용량은 $0.775fF$ 로서 측벽용량의 중요함을 알 수 있다.

V. 결론

현재 집적회로 기술에서 사용하는 대표적인 소자격리용 산화물의 구조적 파라미터 및 기타 기술적 파라미터가 바이폴라 트랜지스터의 베이스-컬렉터 전기용량에 주는 영향을 소자 시뮬레이션을 통하여 분석하고 전기용량에 대한 공식을 구하였다. 얻은 공식과 소자 시뮬레이션 결과와의 오차는 실제로 사용하는 구조의 파라미터 범위내에서 10%이하였다. 전형적인

최신 바이폴라 트랜지스터에 공식을 적용한 결과 측벽용량과 밀면용량이 크기가 서로 비슷하였다. 따라서 측벽용량을 정확히 모델하는 일이 바이폴라의 스위칭속도를 정확히 예측하는데 있어서 중요하다는 것을 확인할 수 있었다.

參考文獻

- [1] E. F. Chor, A. Brunnschweiler, and P. Ashburn, "A propagation-delay expression and its applications to the optimization of polysilicon emitter ECL processes," *IEEE J. Solid-State Circuits*, vol. SC-23, pp. 251-259, 1988.
- [2] S. Wolf, *Silicon Processing for the VLSI Era*, vol. 2. Lattice Press, 1990.
- [3] M. R. Pinto, C. S. Rafferty, R. W. Dutton, "PISCES II: Poisson and Continuity Equation Solver", Stanford Electronics Laboratory, Stanford University, California, Sept. 1984.

著者紹介



丁恒根(正會員)

1955年 3月 17日生. 1973年 3月 ~ 1977年 2月 서울대학교 전자공학과 졸업(학사). 1977年 3月 ~ 1979年 2月 한국과학원 전기 및 전자공학과 졸업(석사). 1983年 1月 ~ 1989年 12月 Univ. of Florida 전기공학과 졸업(박사). 1979年 3月 ~ 1982年 2月 한국전자통신연구소 연구원. 1982年 3月 ~ 1982年 12月 전북대학교 전자공학과 시간 강사. 1989年 8月 ~ 1991年 1月 staff engineer, Advanced Technology Center, Motorola, Inc. 1991年 3月 ~ 1993年 5月 ~ 전북대학교 정보통신공학과 전임강사, 조교수. 1993年 5月 ~ 현재 전북대학교 전자공학과 조교수. 주관심분야는 반도체 소자 모델링, CAD, ASIC 설계 등임.