〈技術解說〉

# 길쌈부호(Convolutional Codes)와 Viterbi 알고리듬을 이용한 FEC CODE의 DAMA-SCPC 시스템에의 적용에 관한 고찰

A Study on the Aprpication of DAMA-SCPC System Using Convolutional Codes and Bviterbi Algorithm

金 正 鎬*
Kim, Jeong Ho

## 요 약

위성을 이용한 DAMA-SCPC 지구국시스템의 경우 대체적으로 전송경로상에서 발생되는 에러를 제어하는 방법으로 FEC 기법을 채택하고 있다. 본 고에서는 DAMA-SCPC 지구국 시스템의 설계에 적용할 수 있도록 길쌈부호와 Viterbi 복호법, 그리고 (m-1)/m의 부호율을 위한 소기식 길쌈부호에 대해 살펴보고, 상용화 FEC CODEC 제품 중 가격이 비교적 저렴하고 다양한 기능을 제공하는 QUALCOM사의 Q0256 CODEC의 구성 및 제공 기능에 대해 분석한 후, 이 FEC CODEC을 DAMA-SCPC 지구국 시스템의 채널부에 적용시킬 때의 내장 부가 장치와 제공 기능들의 설계 및 이용 방안에 대해 고찰하였다.

## I. 서론

디지를 통신 방식에서 정보를 전달하는데 있어 피할 수 없는 문제의 하나는 통신로상의 잡음 방해로 인한 에러의 발생인데 이러한 에러의 발생으로 정확한 정보전달이 어렵게 된다. 이를 해결하기 위한 하나의 방법으로 송신 신호의 전력을 요구되는 정도까지 증가시키는 것을 생각할 수 있으나 이는 위성통신 시스템과 같은 전력제한 시스템에서는 바람직한 방법이 아니다. 디지탈 통신 시스템에서는 이와 같은 전송경로상에서 발생된 에러를 제어하는 방법으로 FEC(Forward Error Correction)방식을 채택하고 있다. FEC 방식은 비록 채택시 전송 대역폭의 확장을 요구하지만 그에 의해 얻게되는 부호화 이득은 이러한 단점을 충분히 보상해 준다.

FEC 방식은 크게 블럭부호(Block Codes)와 길쌈부호(Convolutional Codes)로 구분되며, 길쌈부호는 블럭부호에 비해 다소 복잡한 구조를 가지기 때문에 해석상의 어려운 점은 있으나 오류정정능력이 매우 우수하다. 또한 길쌈부호의 복호법은 다양한 방법이 알려져 있으나 이 중에서 Viterbi 알고리듬이 이론적으로 가장 능률적인 복호법으로 평가되고 있으며 실제로 널리 적용되고 있다. 이와 같은 길쌈부호와 Viterbi 알고리듬을 이용한 FEC CODEC은 최근 많은 회사에 의해 상품화되어 부·복호 기능을 제공하고 있다.

*1 韓國電子通信 研究所 責任研究員, 電氣通信技術士

본 고에서는 무궁화위성을 이용한 도서벽지/행정통신용 DAMA-SCPC(Demand Assignment Multiple Access-Single Channel Per Carrier)지구국시스템 뿐만 아니라 다른 지구국 시스템의 설계시에도 적용이 될 수 있도록 먼저 길쌈부호와 Viterbi복호법, 그리고 ((m-1)/m)의 부호율을 위한 소거식 길쌈부호에 대해 살펴보고, 상용화 제품중 가격이 비교적 저렴하고 다양한 기능을 제공하는 QUALCOM 사의 Q0256 CODEC을 이용하여 DAMA-SCPC 지구국 시스템의 채널부에 적용을 위하여 내장 부가 장치와 제공 기능들의 설계 및 이용에 관하여 고찰하였다.

## Ⅱ. 길쌈부호와 Viterbi 복호

### 1. 길쌈부호

(그림 1)은 부호율 r=1/2, 구속장 L=3, 그리고 생성행렬 G=(7, 5)인 이진 길쌈부호기를 나타낸다. 매 입력시간마다 1비트 입력과 지연된 2비트 과거입력에 의하여 결정되는 두 생성기의 출력이 부호어이다. 예로서 지연소자 내부의 초기상태가 모두 "0"이고 입력이 1 0 1 1 0 …… 일때 11 10 00 01 01 …… 로 부호화 된다.

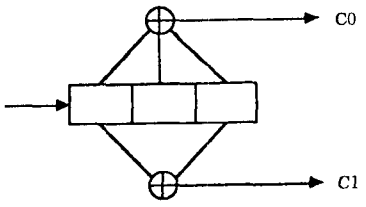


그림 1. 부호율 1/2, 구속장 3인 길쌈부호기

길쌈부호어 사이의 거리분포에 관한 구조적 성질을 조사하기 위하여 상태도(State Diagram)와 Trellis Diagram을 이용한다. (그림 2)는 (그림 1) 부호기에 대한 상태도이다. 부호율이 r=b/n인 이진 길쌈부호기의 경우 매번 입력에 대하여(L-b)비트가 지연되어 출력에 영향을 미치므로 상태(state)의 수는 $2^{L-b}$가 된다.

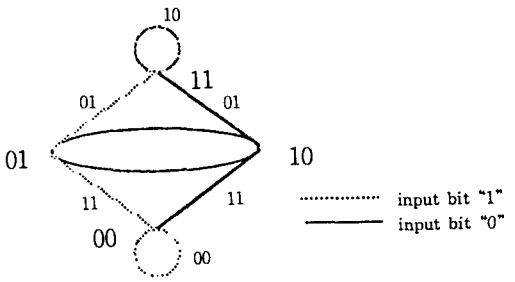


그림 2. 길쌈부호기의 상태도(State Diagram)

Trellis Diagrame은 (그림 3)과 같으며 수평축은 절점(Node)사이의 가지(Branch)를 입력시간 단위로, 수직축은 각 상태를 나타낸다. b비트 단위의 입력에 대하여 매 절점에서 $2^b$개의 가지가 유입 또는 유출되며 연속적인 입력가지를 따라가면 대응하는 출력 부호어를 얻는다.

### 2. Viterbi 복호법

Viterbi 알고리듬은 Maximum Likelihood Decoding이므로 Trellis Diagrma에서 많은 경로중 수신 비트열과 확률적으로 가장 가능성이 큰 경로를 비교 선택하고, 이 경로에 해당하는 입력비트가 최종 복호되어 나오는 정보비트이다.(그림 3)에서와 같이 Trellis Diagram상의 어떤 시점 j에서 각 상태는 오직 하나의 경로만을 기억한다. 이들 경로는 각 상태에 이르는 여러 경로중 수신된 부호어와 가장 확률적으로 근사한 경로이다. (j + 1)시점에서 부호어가 수신되면 각 상태에서는 합류하는 가지의 Hamming 거리를 계산하고 이전에 기억된 Hamming 거리와 가지 Hamming 거리를 더한다. 따라서(그림 3)에서는 4개의 상태에 대

하여 합류하는 가지가 각 2개씩이므로 8개의 경로(path)와 Hamming 거리가 존재한다.

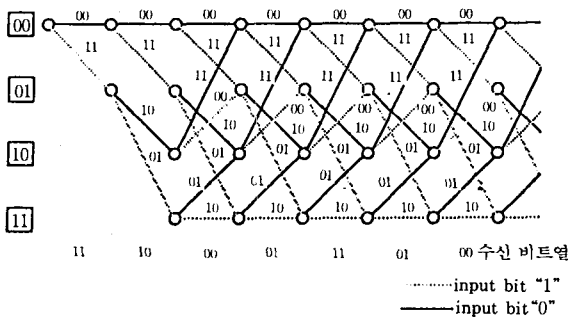


그림 3. 길쌈부호기의 Trellis Diagram

각 상태에서는 2개의 경로의 Hamming 거리를 비교하여 가장 작은 누적 Hamming 거리를 가지는 경로를 선택하며 만약 Hamming 거리 값이 같을 경우에는 임의의 가지를 선택한다. 이렇게 하여 선택된 경로를 생존경로(Survivor Path)라 한다. 각 상태에서의 누적된 Hamming 거리와 생존경로의 입력정보비트는 기억되며 이상과 같은 더하기-비교-선택(Add-Compare-Select : ACS)의 동작이 매 입력에 대하여 반복된다.

각 경로에 대한 Hamming 거리와 정보비트열은 복호기의 제한된 기억용량에 기억되어야 하므로 반복되는 회수가 증가하면 기억용량에 문제가 생긴다. 일정한 길이의 복호단계(Decoding Depth)에서 최소 Hamming 거리를 가지는 경로의 정보 비트열을 수신정보 비트열로 복호하고 기억된 각 상태의 Hamming 거리값을 균일하게 하향 조절하여 위의 동작을 반복 수행함으로써 제한된 기억용량의 한계를 극복할 수 있다.(그림 3)에서 수신신호 11 10 00 01 11 01 00 …… 는 1 0 1 1 1 0 1 …… 로 복호된다.

### 3. 소거식 길쌈부호(Punctured Convolutional Codes)

전형적인 r=b/n 길쌈부호기를 사용하여 (m-1)개의 입력비트에 대하여 출력중 적절한 소거과정을 통하여 m 비트만 선택함으로서 부호율을 최대로(m-1)/m까지 올릴 수 있다. 이와같이 출력을 적절히 소거하여 부호율을 변화시키는 것을 소거식 길쌈부호라고 한다. 간단한 예로서 부호율 r=1/2인 길쌈부호기를 사용하여 입력 2비트에 대하여 출력중 1 비트를 소거시킴으로서 부호율 r=2/3를 얻는다. 소거표의 구성을 달리함으로서 부호율을 변화시킬 수 있으므로 필요에 따라 고율의 길쌈부호((m-1)/m)를 얻을 수 있어 협대역 통신에 적합하다.

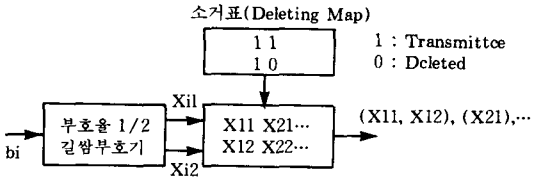


그림 4. 부호율 2/3 소거식 길쌈부호기

부호화를 위해서는 전형적인 부호기에 소거과정을 더함으로서 이루어진다. 소거과정은 소거표(Deleting Map)로 표시할 수 있으며, 소거표의 구성에 따라 구조적 성질이 다르므로 소거표의 구성이 오류제어성능을 결정한다. 본고에서 구성에 따라 구조적 성질이 다르므로 소거표의 구성이 오류제어성능을 결정한다. 본고에서는 전형적인 부호기로 부호율이 1/2인 것을 이용하며, (그림 4)는 r=2/3 소거식 길쌈부호에 대한 부호화를 나타낸다. (그림 4)에서와 같이 i번째 입력 bi에 대하여 $X_{i1}$, $X_{i2}$의 2비트 부호어가 출력된다. 여기서 첨자 1은 상단 생성기의 출력, 첨자 2는 하단 생성기의 출력임을 나타내며 소거표에서 소거되는 비트는 "0", 선택되는 비트는 "1"로 나타낸다. 소거표가 (11, 10)인 경우 2비트 입력에 대하여 3비트를 출력만 보내므로 r=2/3의 소거식 길삼부호를 얻는다. 입력비트 $i_1$, $i_2$, $i_3$, $i_4$, …… 에

대하여 소거과정을 거쳐서 출력되는 부호어는 $(X_{11}, X_{21})$, $(X_{21})$, $(X_{31}, X_{32})$, $(X_{41})$, …… 이다.

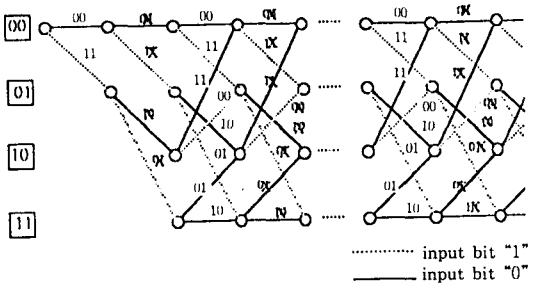


그림 5. 부호율 2/3 소거식 길쌈부호기의 Trellis Diagram

소거식 길쌈부호의 복호법은 소거된 비트의 삽입과정을 제외하면 전형적인 Viterbi 복호법과 동일하다. (그림 5)는 (그림 1)의 전형적인 길쌈부호기에 소거표(11, 10)를 적용시킨 부호율 r=2/3 소거식 길쌈부호의 Trellis Diagram이다. (그림 5)의 Trellis Diagram에서 소거된 비트위치에 "0"이나 "1" 중에서 1비트를 무작위로 삽입하여 r=1/2과 동기를 맞추고 해당 비트위치에서는 Hamming 거리 계산을 무시한다.

## Ⅲ. FEC CODEC의 구조

본 장에서는 여러 종류의 FEC CODEC들 중에서 QUALCOMM 사의 제품인 Q0256 CODEC의 구조를 중심으로 해석한다.

(그림 6)과 (그림 7)은 Q0256 CODEC의 구성도이다. 이 CODEC은 부호율 1/2, 1/3, 3/4, 그리고 7/8의 길쌈부호/Viterbi 복호 기능외에 차동 부·복호 기능, CCITY V.35스크램블러/디스크램블러, 채널 BER 감시, Self-Synchronization 기능을 수행할 수 있으며, 병렬/직렬 데이타 입출력, Hard Decision 또는 Soft Decision(8-Level)의 복호기 입력 등이 가능하다.

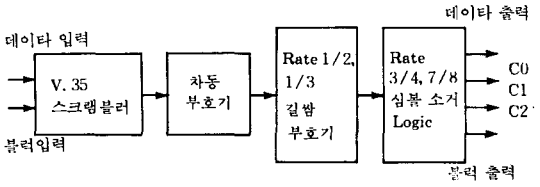


그림 6. FEC 부호기의 구성도

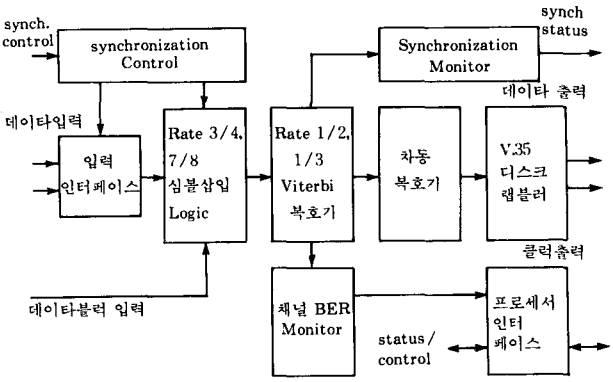


그림 7. FEC 복호기의 구성도

### 1. 길쌈부호기와 Viterbi 복호기

길쌈부호기는 구속장이 7 이며, 부호율 r=1-/2인 경우 G=(171, 133), 부호율 r=1/3인 경우 G=(171, 133, 165)를 채택하고 있다. 또한 부호기의 출력, 즉 부호화된 데이타는 직렬 혹은 병렬 모드 선택이 가능하다.

복호기는 부호기에서와 마찬가지로 직렬 혹은 병렬 모드의 입력 선택이 가능하며, Hard Decision 혹은 8-Level Soft Decision 데이타를 입력으로 받아들일 수 있다.

### 2. 심볼소거 Logic과 삽입 Logic

FEC CODEC은 내부에 부호율 3/4, 7/8 변환을 위해 부호기의 경우 심볼소거 회로와 복호기의 경우 심볼삽입 회로를 가지고 있다. 아래의 〈표 1〉은 내부에 가지고 있는 소거표이

다. 이는 길쌈부호기에 적용되는 최상의 성능을 나타내는 소거식 부호 패턴이다.

〈표 1〉 소거식 부호 패턴

| 부 호 율 | 심볼소거패턴 |
|---|---|
| 3/4 | C1 : 1 0 1<br>C1 : 1 1 0 |
| 7/8 | C0 : 1 0 0 0 1 0 1<br>C1 : 1 1 1 1 0 1 0 |

### 3. 스크램블러/ 디스크램블러

FEC CODEC은 내부에 스크램블러/디스크램블러 회로를 가지고 있어 사용자가 필요시 프로세서 인터페이스를 통하여 이용할 수 있다. 스크램블링 방법은 CCITT V.35 방식을 채택하고 있다.

### 4. 차동 부·복호기

FEC CODEC은 내부에 차동 부·복호기 회로를 가지고 있어 사용자가 필요시 프로세서 인터페이스를 통하여 이용할 수 있다.

### 5. 인터페이스

소거기법을 이용하여 다양하여 다양한 부호율에서 동작하기 위해 FEC CODEC은 두개의 외부 클럭이 필요한데 그 하나는 데이타 클럭이고 다른 하나는 채널 클럭이다. 이러한 두클럭의 관계는 부호율과 데이타 입력형태(직렬 혹은 병렬)에 따라 다르다.

대부분의 제어와 상태에 관한 정보는 프로세서 인터페이스를 통하여 전달된다. 이를 위하여 CODEC은 데이타버스와 어드레스버스가 제공된다.

### 6. 동기 감시/ 제어

FEC CODEC은 Viterbi 복호기에 내부 상태 Metric값(누적 Hamming 거리)의 증가율을 감시한다. Viterbi 복호과정에서 상태 Metric 값이 어떤 특정 값에 도달했을 때 Nomalization 회로가 내부에 존재하여, Metric 값의 Overflow를 방지하기 위해서 모든 상태 Metric값을 같은 비율로 줄여 나간다.

FEC CODEC은 이러한 Normalization이 발생하는 비율을 감시하여 이 비율이 빠르게 증가하면 복호기에서 위상 동기기 맞지 않는 것을 의미하여 동기 상실 신호를 발생한다. 이를 위해 FEC CODEC에 두개의 숫자가 인터페이스를 통하여 입력되는데 하나는 Metric Normalization이 감시되는 기간(period)을 표시하고 다른하나는 그 기간동안에 허용되는 Normalization 회수(임계치)를 표시한다. Burst 잡음 때문에 발생하는 동기 상실에 대한 False Detection을 피하기 위해 동기가 상실되었음을 선언하기 위해적어도 20~30개의 Normalization을 측정해야 된다. Normalization이 감시되는 기간과 그 기간동안에 허용되는 Normalization 회수의 비는 부호율이 1/2인 경우 10%, 3/4인 경우, 1.7%, 7/8인 경우 0.8%를 선택하는 것이 적당하다. 만약 시험 기간 동안 임계치를 초과하면 동기상실신호로서 동기를 잃어 버렸다는 것을 표시한다.

### 7. 채널 비트오율(BER) 감시

FEC CODEC은 (그림 8)과 같은 내부의 "Re-Encoder와 비교회로"를 통하여 채널 BER을 감시할 수 있다.(그림 9)는 On-Chip BER 측정회로이다. 이 회로는 계수기(counter)로 동작하는 2개의 Accumulator로 구성되어 있다. 앞단의 Accumulator는 복호기 입력 부호어의 계수하고 뒷단의 Accumulator는 "Re-Encoder와 비교회로"에 의해 감지된 부호어 에러를 계수한다. BER 측정기간(period)

인 앞단의 Accumulator의 값은 사용자가 결정 가능하다. 이 기간 동안 감지된 에러는 16비트 이진 계수기에 더해지며 앞단의 부호어 계수 Accumulator가 계수를 마칠 때 BER 측정은 끝난다. BER 측정의 완료시 Accumulator가 계수를 마칠 때 BER 측정은 끝난다. BER 측정의 완료시 Accumulator에 축적된 값은 프로세서 인터페이스를 통하여 읽을 수 있다.

On-Chip BER 감시는 다른 용도로도 사용이 가능한데 예를 들면 외부의 H/W나 S/W를 부가하여 에러 분포를 알 수 있다. 즉 테스트 기간을 정확히 1초의 길이로 잡으면 BER 감시는 Error-Free 시간의 퍼센트를 기록할 수 있다.

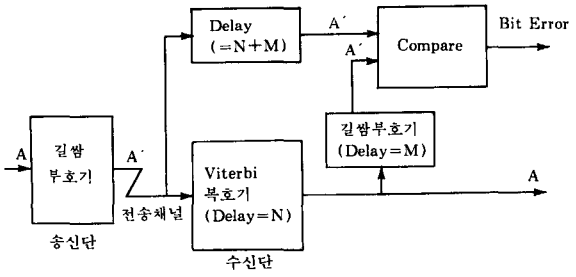


그림 8. Re-Encoder와 비교회로

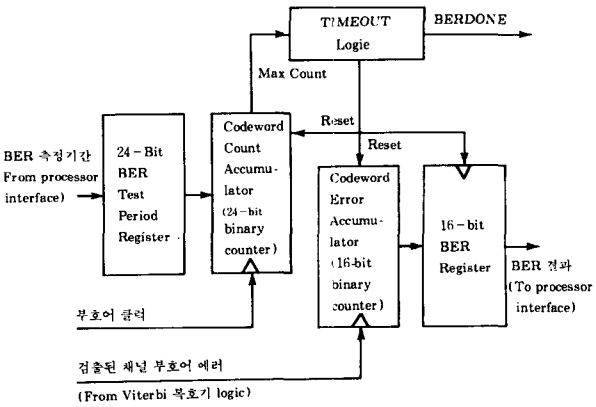


그림 9. 채널 비트오율(BER) 측정회로

## Ⅳ. DAMA-SCPC 지구국 시스템에의 적용

DAMA-SCPC 지구국 시스템의 채널부는 (그림 10)과 같으며 음성활성화된 32Kbps A-DPCM 음성 신호와 64Kbps 연속 모드 데이타 신호를 처리하는 트래픽 채널부와 시그널링 정보를 처리하는 서비스 채널부로 구분된다. 본 장에서는 FEC CODEC을 DAMA-SCPC 시스템의 채널부에 적용시킬 때의 내장 부가 장치와 제공 기능들의 설계 및 이용방안을 고찰한다.

### 1. 트래픽 채널부

트래픽 채널부는 음성 채널 모드와 데이타 채널 모드로 구분되며 음성 채널 모드는 Burst 모드로 동작하며 부호율 3/4의 길쌈부호기를 이용하며 8-레벨 Soft Decision된 데이타를 받아들여 Viterbi 복호를 수행하며 스크램블러/디스크램블러는 CCITT V.35 방식을 사용한다.

데이타 채널부는 연속 모드에서 동작하며 음성 채널부에서와 같이 부호율 3/4의 길쌈부호기를 이용하며 8-레벨 Soft Decision된 데이타를 받아들여 Viterbi 복호를 수행한다. 데이타 채널 모드에 입력되는 연속 데이타는 위상 Ambiguity를 해결하기 위해 차동 부·복호기와 Self-Synchronization방식을 사용한다.

(그림 11)은 음성 모드와 데이타 모드 구성을 위해 FEC CODEC을 이용한 예를 나타낸다. 여기서 FEC CODEC 내부의 V.35 스크램블러/디스크블러를 사용하며, 180°의 위상 Ambiguity 해결을 위해 차동 부·복호기를, 그리고 90°의 위상 Ambiguity를 해결하기 위해 동기 감시/제어회로를 사용한다.

동기 감시/제어회로를 사용하여 Self-Synchronization을 수행하기 위해서 우선 프로세서 인터페이스를 통하여 FEC CODEC 내부의 두개의 레지스터 입력이 필요한데 그 하나인

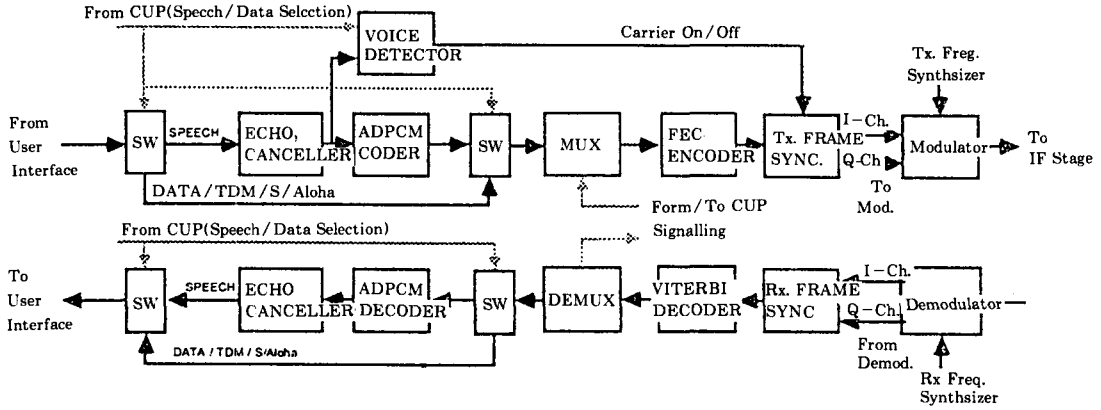


그림 10. DAMA-SCPC 시스템의 채널부

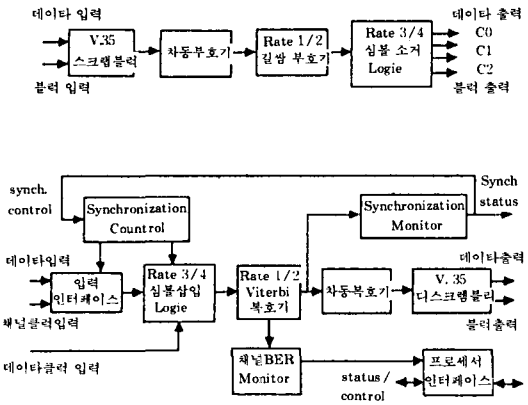


그림 11. 음성 모드, 데이타 모드 및 S/Aloha 모드의 적용

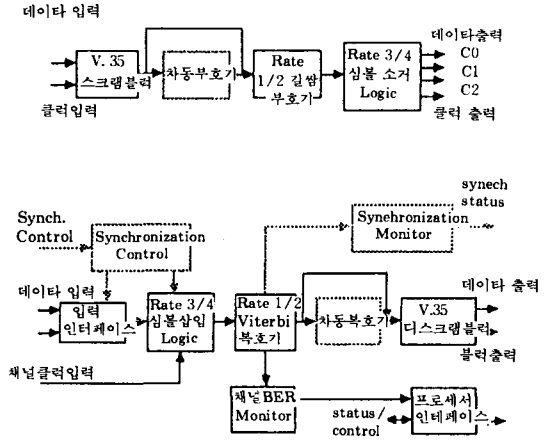


그림 12. TDM 모드의 적용

Metric Normalization이 감시 되는 기간(T)은 3072, 그 기간동안 허용되는 Normalization 회수(N)는 52, 즉 N/T는 약 1.6% 이다. 이 숫자들은 동기 상실에 대한 False Detection을 방지하기 위해 제안된 것들이다. 다음으로 동기 감시 회로의 동기 상실신호를 동기제어에 연결한다. 이렇게 함으로서 Viterbi 복호기 내부의 상태 Metric값의 Normalization 율의 증가로 인한 동기상실 신호가 발생하면 동기 제어를 통해 동기 상태를 자동적으로 변환한다.

FEC CODEC 내부의 채널 비트오율 측정회로는 DAMA 제어부의 M & C부와의 연결을 통해 필요한 경우 채널 비트오율을 측정할 수 있다. 이를 위해 부호어 계수 Accumulator와 부호어 에러 Accumulator에 인터페이스를 통한 입력이 필요하다.

## 2. 서비스 채널부

서비스 채널부는 Burst 모드로 동작하는 S/Aloha 방식의 Inbound 서비스 채널과 연속 모드에서 동작하는 TDM 방식인 Outbound 서비스 채널로 나누어진다.

Outbound 서비스 채널의 FEC 부분은(그림 11)과 같이 트래픽 채널부와 동일하며 Inbound 서비스 채널의 FEC 부분은 (그림 12)와

같이 차동 부·복호기, 동기 감시/제어회는 사용하지 않고 UW를 이용하여 위상 Ambiguity를 해결한다.

## V. 결 론

본 고에서는 먼저 소거식 길쌈부호와 Viterbi 복호 알고리듬에 대해 살펴본 후 QUALCOMM사의 제품인 Q0256 CODEC의 구성과 기능을 중심으로 설계 및 이용방안에 대하여 제안하였다. 이를 DAMA-SCPC 지구국 시스템의 채널부에 적용하는 경우 CODEC에 내장되어 있는 스크램블러/디스크램블러, 차동 부·복호기 등을 이용하면 장치의 크기를 소형화 할 수 있으며, 특히 트래픽 채널부와 서비스 채널의 Outbound TDM 연속 모드의 경우 동기 감시/제어 회로는 차등 부·복호기와 함께 위상 Ambiguity의 제거가 기능하다고 판단된다. 또한 BER 감시 회로를 통해 채널부의 동작 상태를 감시할 수 있어 감시 및 제어를 위한 별도의 장치가 불필요하게 된다.

이러한 FEC CODEC의 내장 장치와 기능들은 도서벽지/행정통신용 DAMA-SCPC 지구국시스템 뿐만 아니라 다른 위성통신을 지구국 시스템의 채널부 설계에도 적용이 가능할 것으로 사료된다.

## 참 고 문 헌


1. J. A. Meller and I.M.Jacob, "Viterbi Decoding for Satellite and Space Communications," IEEE Trans. Communication Technology, Vol. Com-19, pp.835-848, Oct. 1971.
2. A. Viterbi, "Convolutional Codes and Their Performance in Communication System", IEEE Trans, Communication Technology, Vol. Com-19, pp.751-772, Oct. 1971.
3. A. Viterbi and J.Omura, Principles of Digital Communication and Coding, McGraw-Hill, New York, 1979.
4. J.Cain, G.Clack and J. Geist, "Punctured Convolutional Codes of Rate(n-1)/n and Simplified Maximum Likelihood Decoding," IEEE Trans. on Information Theory, Vol. IT-25, pp.97-100, 1979.
5. G.D.Forney, Jr., "The Viterbi Algorithm," IEEE Trans. on Information Theory, Vol. IT-15, pp.177-179.
6. "Q0256 K=7 Multi-Code Rate Viterbi Decoder", Technical Data Sheet, QUALCOMM, Inc., April, 1990.
7. 이만영, "부호이론", 1984.
8. 한국전자통신연구소 보고서, "위성통신 기술개발", 1992. 12월.