

LSI 패턴 데이터 고속처리용 양방향 스위칭 네트워크 설계

김 성 진[†] 서 희 돈^{††}

요 약

본 논문은 LSI의 물리적 레이아웃 설계시 다량의 패턴 데이터를 고속으로 처리할 수 있는 새로운 2차원 병렬처리 방법을 제안하고 메모리와 프로세서간에 데이터를 양방향으로 고속 전송하는 스위칭 네트워크를 설계하였다. 이 스위칭 네트워크를 VHDL 설계 시스템을 이용하여 시뮬레이션하여 그 동작을 확인하였다.

Design of a Bidirectional Switching Network for High-Speed Processing of LSI Pattern Data

Sung Jin KIM[†] and Hee Don SEO^{††}

ABSTRACT

This paper proposes the method to process many pattern data 2-dimensionally at high speed in designing the physical layout of LSI.

And this study shows that the switching network, which transmits pattern data between memory and processing elements at high speed on bidirection, has been designed using the barrel shifter and simulated with VHDL design system.

1. 서 론

최근 저가격의 워크스테이션이나 개인용 컴퓨터의 보급으로 이들을 이용한 회로 설계 기술이 눈부시게 발전하고 있다. 특히 하위 설계 기술인 물리적 레이아웃에 있어서 배치 및 배선 등 모든 레이아웃을 컴퓨터가 행하는 자동설계 툴 및 레이아웃 방법이 활발히 연구되고 있다. 그러나 LSI와 같이 회로 규모가 증대하고 다양화된 회로를 설계하는데는 패턴 데이터 크기의 최소 및 최적화 등의 관점에서 볼 때 이 자동 레이아웃 방법은 스크린을 통하여 인간과 컴퓨터 사이에 대화적으로 설계하는 방법에 아직 미치지 못하고 있다.

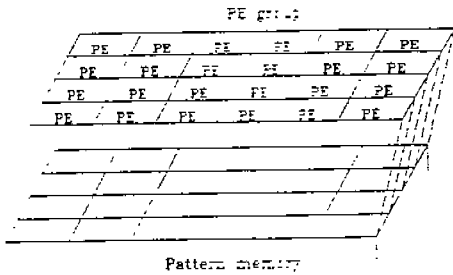
이와같이 대화식으로 LSI 레이아웃을 처리할 경우 많은 양의 패턴 데이터를 처리해야 하는데 범용의 컴퓨터를 이용할 경우 메모리중에 저장된 필요한 데이터를 적절하게 재배열하는 조작이 필요하게 되어 처리 효율이 좋지 않게 된다. 일반적으로 화상 처리 시스템에서는 패턴 데이터를 비트 맵 방식으로 저장하여 다수의 처리 소자(Processing Element; PE)에 의해 병렬처리하게 된다.[1-3] 이와 같이 PE를 이용한 병렬처리 방법에는 (그림 1(a))와 같이 비트 플레인상의 각 비트에 대응하는 PE 그룹을 이용해서 동일 비트 플레인상의 데이터를 동시에 처리하는 완전 병렬처리 방법이 있다. 이 방법은 비트 플레인상의 각 비트 수에 대응하는 PE를 이용해서 동일 비트 플레인상의 데이터를 동시에 처리하는 방법으로 초고속 처리가 가능하게 되지만 비트 수 만큼 PE를 준비해야 하므로 시스템의 규모가 커진다. 이 방법은 한번에 처리될 수

[†] 정 회 원 : 연암공업전문대학 전자계산과 부교수

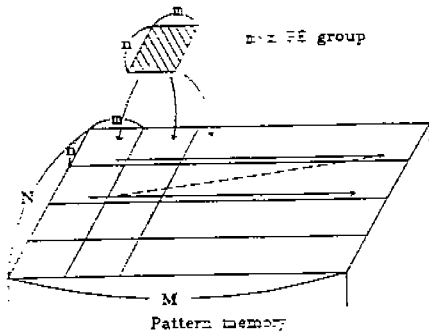
^{††} 정 회 원 : 영남대학교 전자공학과 부교수

논문접수 : 1994년 2월 3일, 심사완료 : 1994년 3월 20일

있는 비트 플레인(의 크기)이 n 으로 제한되며 특정의 부분만을 처리하도록 할 경우 사용되지 않는 PE가 많아져서 전체 PE의 효율성이 떨어지게 된다. 그래서 (그림 1(b)와 같이) $M \times N$ 으로 구성된 메모리의 패턴 데이터를 $m \times n$ 의 서브 플레인(의 크기)으로 분할하고 이 서브 플레인(의 크기)을 $m \times n$ 개의 PE 그룹을 이용하여 처리하는 부분 병렬처리 방법이 있다.



(a) 완전 병렬처리 방법



(b) 부분 병렬처리 방법

(그림 1) 병렬처리 방법

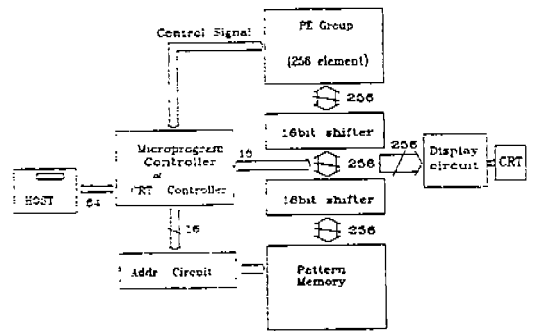
(Fig. 1) Parallel processing method

본 논문에서는 패턴 데이터를 고속으로 처리하기 위하여 부분 병렬처리 방법과 비스듬 매핑(skewed mapping)[4] 방법을 이용하여 서브 플레인의 경계를 의식하지 않고 일의의 $m \times n$ 의 패턴 데이터를 1회 메모리 액세스로 처리하는 2차원 병렬처리 방법을 제안하고, 본 방법을 실현하기 위

하여 $m \times n$ 비트 배럴 시프터를 설계하고 이 배럴 시프터를 이용하여 2차원 배럴 시프터로 구성된 스위칭 네트워크를 설계하였다. 설계된 스위칭 네트워크는 VHDL 설계 시스템으로 시뮬레이션하여 그 동작을 확인하였다.

2. 2차원 병렬처리 방식

앞으로 설계하고자 하는 병렬처리 시스템은 비트 맵 형식으로 저장된 패턴 데이터를 2차원 배럴 시프터로 구성된 스위칭 네트워크를 통하여 메모리와 프로세서간에 양방향으로 고속 전송하기 위한 것으로 그 구성은 (그림 2)와 같다. 실제로 이 시스템은 비트 플레인(메모리)의 임의의 위치에서 연속한 16×16 비트 데이터를 16×16 개로 이루어진 PE 그룹에 스위칭 네트워크에 의해 고속 전송하도록 하는 것이다.



(그림 2) 병렬처리 시스템 구성도

(Fig. 2) Block diagram of parallel processing system

스크린의 화상은 수평방향의 주사선에 의해 1차원적으로 주사되지만 다양한 색상의 화상을 위해 복수층의 데이터로 표현된다. 이 때문에 화상 데이터는 메모리에 비트맵 방식으로 저장되고 이 데이터를 처리하기 위한 메모리 액세스 방법과 화면에 표시하기 위한 메모리 액세스 방법이 다르다.[5] 표시시에는 1회 메모리 액세스로 서브 플레인 블록내의 m bit(X방향) \times 1 bit(Y방향) \times 1 bit(층방향)의 데이터를 끄집어 낼 수 있다. 반면에 처리시에는 1회의 메모리 액세스로 서브 플레인 내의

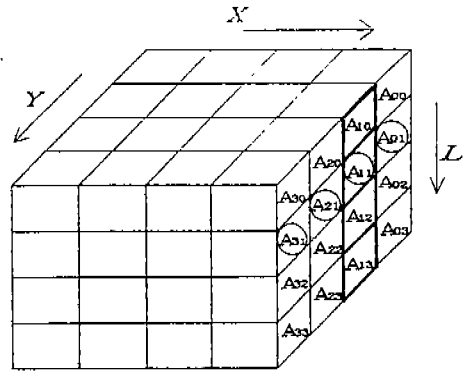
m bit(X방향)×n bit(Y방향)×1 bit(층방향) 데이터로 입·출력된다. 이와같이 표시시와 처리시의 메모리 액세스 방향이 90° 다르게 된다. 따라서 한개의 메모리 칩에서 1회의 메모리 액세스로 꼬집어 낼 수 있는 데이터는 1 비트 뿐이므로 서브 플레인 블록을 그대로 메모리에 넣어 버리면 처리시에는 문제가 없지만 표시시에는 층방향의 데이터가 동일 메모리 칩 안에 들어 있기 때문에 한번에 액세스 할 수 없다. 이 문제를 해결하기 위하여 비스듬 매핑 방법을 이용한다. 이것은 표시시의 메모리 액세스를 비스듬하게 행함으로써 2종류의 메모리 액세스를 양립시킬 수 있다. 예를 들면 X방향 4비트, Y방향 4비트, L방향 4비트의 서브 플레인 블록의 일반적인 데이터 배열 방법과 비스듬 매핑에 의한 데이터 배열 방향의 비교를 그림으로 나타내면 (그림 3)과 같다.

(그림 3(b))에서와 같이 비스듬 매핑법에는 층마다 L방향의 수 만큼 Y방향으로 회전 시프트한다. 그림에서 제 0층의 데이터는 그대로, 3번째층의 데이터는 Y방향으로 3만큼 회전 시프트하고 있으며, 이 회전 시프트는 설계하고자 하는 배럴시프트에서 실시된다.

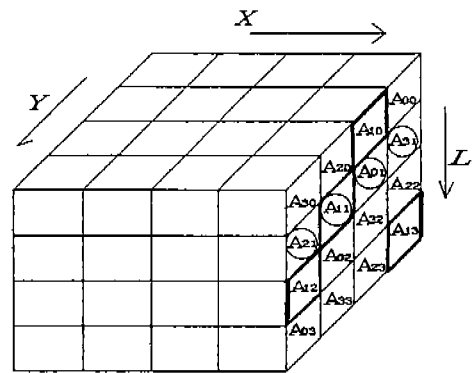
(그림 4)에서와 같이 네개의 서브 플레인에 걸쳐 있는 패턴 데이터를 종래의 부분 병렬 방법으로 액세스할 경우 4회 행할 필요가 있다. 즉, 네부분의 서브 플레인 경계에 걸쳐 있는 패턴 데이터(사선부분)는 지역 레지스터(local register)를 사용하여 4회 읽어내고 2차원 시프트를 행하여 한 서브 플레인에 평행이동시킨다.

본 논문에서는 비스듬 매핑 방법을 이용하여 서브 플레인의 경계를 의식하지 않고 임의의 m*n 비트의 평면 데이터를 1회 메모리 액세스로 처리하는 2차원 병렬처리방법 (그림 5)을 제안한다.

이 방식은 그림에서 알 수 있듯이 m*n 개로 이루어지는 PE 그룹을 이용하여 메모리 (MXN 비트 플레인)의 패턴 데이터를 (M/m)*(N/n)회 처리하는 방식으로 앞에서 설명한 완전 병렬처리 방법과 부분 병렬처리 방법의 결점을 보완한 것이다. 대부분의 경우 처리해야 할 패턴 데이터가 (그



(a) 일반적인 데이터 배열



A_{xj} : Displaying Access Data

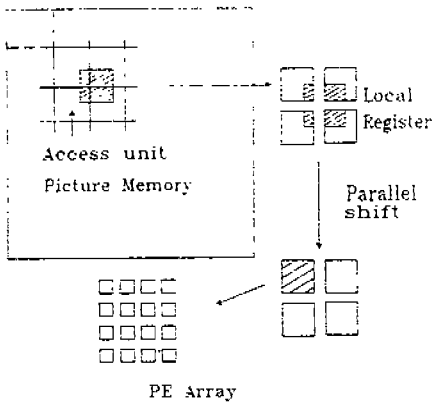
A_{xj} : Processing Access Data

(b) 비스듬 매핑에 의한 데이터 배열

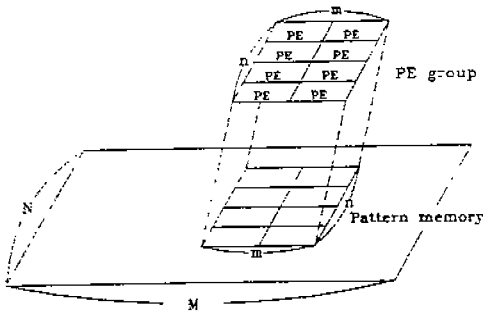
(그림 3) 일반적인 데이터 배열과 비스듬 매핑에 의한 데이터 배열

(Fig. 3) Data array by general and skewed mapping

림 6(a)와 같이 서브 플레인의 경계에 걸쳐 있게 되는데 이 패턴 데이터 A,B,C 및 D는 (그림 6(b))와 같이 메모리의 각 층으로 나누어져 저장된다. 패턴 데이터 A 부분의 메모리 주소를 (i,j)라 하면 B,C 및 D 부분의 주소는 각각 (i+1,j), (i,j+1) 및 (i+1,j+1)이 되며, 이 주소로 패턴 데이터를 액세스하게 되면 (그림 6(c))와 같이 구해진다. 이것은 얻고자 하는 데이터 배열(그림6(d))과는 다르게 된다. 그러므로 메모리에서 읽어내는 데이터를 2차원 배열 시프트를 사용하여 X,Y방향으



(그림 4) 부분 병렬처리 방법
(Fig. 4) Local parallel processing method

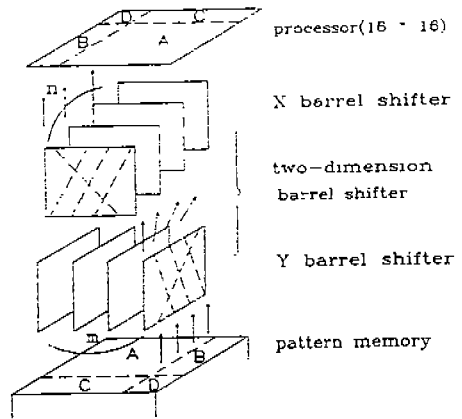


(그림 5) 2차원 병렬처리 방법
(Fig. 5) Two dimensional parallel processing method

로 회전 시프트 시켜야 (그림 6(d))와 같은 원 상태의 패턴 데이터를 표시할 수 있다. 이와 같이 패턴 데이터를 X,Y방향으로 회전 시프트 시켜서 처리하는 방법을 2차원 병렬처리 방법이라 한다.

3. 스위칭 네트워크 설계

본 연구에서는 스위칭 네트워크를 (그림 7)과 같이 X배럴 시프터와 Y배럴 시프터로 2차원으로 구성하여 메모리와 PE간의 패턴 데이터에 대하여 2차원 복수 비트 회전을 할 수 있게 한 것이다.

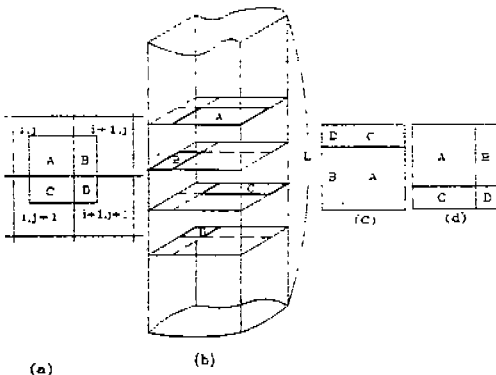


(그림 7) 스위칭 네트워크에서 패턴 데이터 처리
(Fig. 7) Pattern data processing in switching network

2차원 배럴 시프터는 (그림 7)에서와 같이 1차원 배럴 시프터로 구성하였다. 1차원 N배럴 시프터의 동작은[6-8] 식(1)과 같이 정의된다.

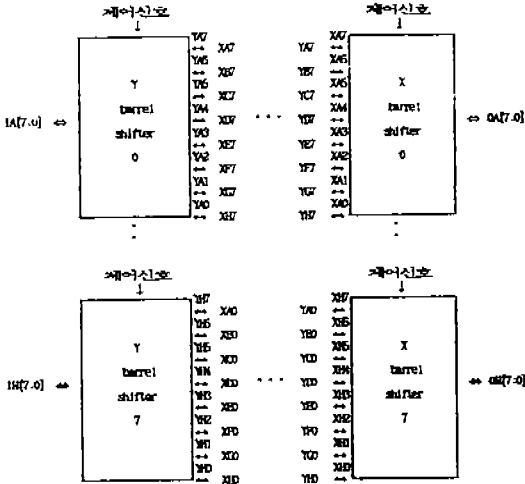
$$I(i) - S(j) = 0(k) \dots\dots (1)$$

여기서 I(i)는 입력선, S(j)는 시프트선이고 O(k)는 출력선이다. 단, $K = (i + j) \bmod N$, $0 \leq i, j < N - 1$ 이며 N은 배럴 시프터의 비트수이다. 이와 같이 동작하는 배럴 시프터를 VHDL로 설계하여 심볼화 하였다. 이 배럴 시프터를 이용하여 (그림 8)과 같이 스위칭 네트워크를 설계하였다. (그림 8)에서 스위칭 네트워크의 원리를 설명하면 m개로 구성된 Y배럴 시프터의 각각은 Y축을 향해서 배열되었고 m비트의 데이터가 입력된다. 입력된 데이터는 Y방향으로 회전 시프트하게 된다. 다음



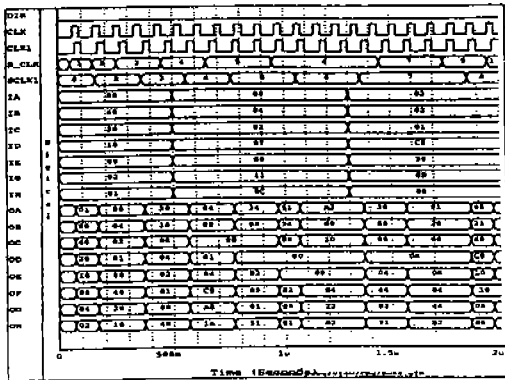
(그림 6) 2차원 병렬처리 방법에 의한 메모리 액세스
(Fig. 6) Memory access by 2-D parallel processing method

에 n개로 구성된 X배럴 시프터의 각 비트에 입력되어 X방향으로 회전 시프트하게 된다. 이와같이 m*n개의 데이터가 X 및 Y배럴 시프터에 의해 X,Y방향으로 2차원적으로 회전 시프트되어 PE그룹에 전달된다.



(그림 8) 스위칭 네트워크 구성도

(Fig. 8) Configuration of switching network



(그림 9) 스위칭 네트워크의 시뮬레이션 결과

(Fig. 9) Simulation results of switching network

4. 시뮬레이션 및 결과

본 연구에서 제안한 병렬처리 방식을 이용하여 패턴 데이터를 고속 처리하기 위한 시스템의 스위칭 네트워크에 대한 시뮬레이션을 VIEWlogic의

VHDL 설계 시스템을 이용하여 행하였다. 스위칭 네트워크의 시뮬레이션 수행결과는 (그림 9)에 나타내었다.

(그림 9)에서 IA에서 IH까지는 패턴 메모리에서 나오는 데이터이며, OA에서 OH까지는 Y배럴 시프터와 X배럴 시프터를 통하여 2차원적으로 회전 시프트된 패턴 데이터이다. 또한 CLK 및 S-CLK는 Y배럴 시프터에 들어가는 제어신호이고, CLK1 및 SCLK1은 X배럴 시프터에 들어가는 제어신호이며 DIR은 방향제어 신호이다.(그림 9)에서와 같이 메모리에서, 나온 패턴 데이터는 스위칭 네트워크에서 2차원적으로 시프트되어 정상적으로 출력됨을 알 수 있었다.

5. 결 론

LSI 패턴 데이터를 고속 처리하기 위하여 새로운 2차원 병렬처리 방법을 제안하였으며, 이 방법을 구현하기 위하여 2차원 배럴 시프터로 구성된 양방향 스위칭 네트워크를 설계하였다. 스위칭 네트워크는 X배럴 시프터와 Y배럴 시프터로 구성되었고, 시뮬레이션을 위해 8x8 비트로 설계하였으며 32비트 컴퓨터의 2배 고속으로 패턴 데이터를 처리할 수 있게 된다. 설계된 스위칭 네트워크의 동작은 VHDL 설계 시스템을 이용하여 시뮬레이션을 통하여 확인하였다. 시뮬레이션을 위해 8x8 비트로 설계하였지만 16*16비트 혹은 32*32 비트로 설계하면 32비트 컴퓨터의 8배 혹은 32배 고속으로 패턴 데이터를 처리할 수 있게 된다. 향후 본 논문에서 설계된 스위칭 네트워크로 구성된 병렬처리 시스템을 이용하면 패턴 데이터 고속 처리가 가능하여 회로추출, 압축 및 대화성이 뛰어난 고속 화상처리가 가능하게 될 것으로 기대된다.

참 고 문 헌

[1] B.W.Lampson and K.A.Pier, "A Processor for a High Personal Computer", Proc.7th Symposium on Computer Architecture, Sigacch/IEEE, pp.146-160, 1980.

- [2] Batcher, K.R. "Design of a Massively Parallel Processor". IEEE Trans. Comput., C9, pp.836-840, 1980.
- [3] Henry Fuchs and John Poulton, "A Heterogeneous Multiprocessor Graphics System Using Processor-Enhanced Memories". ACM Computer Graphics, Vol.1.23, No.3, pp.79-87, 1989.
- [4] Harold S.Stone. "High-Performance Computer Architecture", Addison-Wesley Publishing Company, pp.312-319, 1993.
- [5] Tom Blank, "A Parallel bit Map Processor Architecture for DA Algorithms", Proc. D.A.C, pp.839-845, 1981.
- [6] 江刺正喜, 徐熙敦 他, "2次元パレルシプタによるメモリ プロセッサ間スイッチングネットワークの構成", 電気関係學會東北支部連合大會 2D-25, 1984.
- [7] Neil H. E. Weste and Kamran Eshraghan, "Principles of CMOS VLSI Design". Addison-Wesley Publishing Company. pp.101-132, 1985.
- [8] J.Mavor, M.A.Jack and P.B.Denyer, "Introduction to MOS LSI Design", Addison-Wesley Publishing Company, pp.62-81, 1983.



김 성 진

1979년 경북대학교 전자공학과 졸업(학사)
 1981년 경북대학교 대학원 전자공학과(공학석사)
 1992년 영남대학교 대학원 전자공학과(전산전공)박사과정수료
 1983년-84년 (주)삼성전자 시스템 개발부 연구원

1985년-90년 연암공업전문대학 전자계산과 조교수
 1991년-현재 연암공업전문대학 전자계산과 부교수
 관심분야 : Computer Architecture, Parallel Processing, Computer Graphics



서 회 돈

1973년 영남대학교 전자공학과 졸업(학사)
 1982년 영남대학교 대학원 전자공학과(공학석사)
 1987년 일본 동북대학교 대학원 전자공학과(공학박사)
 1973년-80년 (주)삼성전관 반도체 기술과장

1983년-87년 일본 동북대 전자공학과 연구원
 1987년-92년 영남대학교 공과대학 전산공학과 부교수
 1992년-94년 2월 일본 토요하시(豊橋)技術科學大學 전기.전자공학과 교수
 1994년3월-현재 영남대학교 전자공학과 부교수
 관심분야 : VLSI/ASIC 설계, Intelligent 센서 및 Biotelemeter