

서브마이크론 MOSFET의 파라미터 추출 및 소자 특성(1)

논문

7-2-3

Parameter Extraction and Device Characteristics of Submicron MOSFET'S(1)

-Process parameter extraction by DTC-

서 용 진*, 장 의 구*
(Yong-jin Seo, Eui-goo Chang)

Abstract

In the manufacturing of VLSI circuits, variations of device characteristics due to the slight differences in process parameters drastically aggravate the performances of fabricated devices. Therefore, it is very important to establish optimal process conditions in order to minimize deviations of device characteristics.

In this paper, we used one-dimensional process simulator, SUPREM-II, and two-dimensional device simulator, MINIMOS 4.0 in order to extract optimal process parameter which can minimize changes of the device characteristics caused by process parameter variation in the case of short channel nMOSFET and pMOSFET device. From this simulation, we have derived the dependence relations between process parameters and device characteristics.

Here, we have suggested a method to extract process parameters from design trend curve(DTC) obtained by these dependence relations. And we have discussed short channel effects and device limitations by scaling down MOSFET dimensions.

Key Words(중요용어): Design Trend Curve:DTC(디자인 경향곡선), Allowed Range(허용범위), Normalization(정규화), Center Point(중간값), Parameter Extraction(파라미터 추출)

1. 서 론

고체 전자소자 산업이 시작된 이래 회로 및 소자의 전기적 파라미터에 대한 공정 파라미터의 영향을 계산하는 능력이 반도체 산업의 눈부신 발전에 필수불가결한 부분이 되었다. 최근에 쉽게 이용할 수 있는 공정, 소자 및 회로 시뮬레이션 프로그램이 상호 연계되어 반도체 공정기술의 개발을 증진하는데 효율적으로 사용되고 있는데[1] 실리콘소자의 제작공정 시뮬레이션, 쌍극성 및 MOS 트랜지스터의 전송방정식의 계산 및 이들 트랜지스터를 포함하는 복잡한 회로를 분석하기 위한 시뮬레이션에 CAD 프로그램[2,3]이 적용될 수 있다. 따라서 기술개발과 회로 설계에 필요한 시간을 감소시

키고 시뮬레이션의 시행착오로 부터 초래되는 비경제적인 반복 과정을 제거함으로써 차세대 반도체소자 개발의 활성화를 촉진하기 위해 CAD용 소프트웨어를 사용할 때 경협하게 되는 제반 문제점들에 대한 논의가 필요하게 되었다. 실제적으로 기존의 시뮬레이션 프로그램은 공정 및 소자물리의 근사모델 및 수치해석방법이 적용된 영역에서 이루어져 있어 공정 및 수치해석 모델에 한계성을 가지므로[4,5] 모든 조건하에서 정확한 답을 줄 수는 없다.

그러나 이러한 기본적인 한계성에도 불구하고 시뮬레이션의 사용은 실리콘 웨이퍼의 공정단가와 비교해 볼 때 경제적이므로 적절히 사용된다면 정량적인 결과를 제공해 줄 수 있다[1,2].

따라서 본 논문에서는 서브마이크론 채널길이를 갖는 nMOSFET 및 pMOSFET 소자의 짧은 채널 효과를 최소화 할 수 있는 최적의 공정 파라미터 추출을 위해 공정조건 초기 추측(initial guess)

* : 중앙대학교 전기공학과
접수일자: 1993년 11월 24일
심사완료: 1993년 12월 30일

용으로 SUPREM-II 프로그램[6]을 사용하여 얻은 1차원의 공정 시뮬레이션 결과를 2차원 소자 시뮬레이터인 MINIMOS 4.0 프로그램[7]에 입력으로 사용함으로써 공정 파라미터와 소자특성 사이의 의존성을 유도하였다. 이와같은 공정 및 소자 시뮬레이션에 의해 디자인 경향 곡선(Design Trend Curve; DTC)을 구한 후, 공정 파라미터의 변화에 대한 소자특성의 의존성으로 부터 최적의 공정 파라미터를 추출하였으며 소자의 크기가 서브마이크론 영역으로 스케일 다운 됨에 따라 나타나는 짧은 채널 효과 및 소자의 한계성을 고찰하였다.

2. 파라미터 추출

2.1 임계 파라미터 결정

그림 1은 소자 시뮬레이션 데이터로 부터 얻어진 소자특성으로 부터 임계 소자 파라미터(S.S, I_L , V_T , g_m , I_{Dsat})를 결정하는 방법을 나타낸 것이다.

$$I_{DS} = \frac{K}{2} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2],$$

$$V_{GS} \geq V_T, V_{DS} \leq (V_{GS} - V_T)$$

----- 선형영역 (1)

$$I_{DS} = \frac{K}{2} (V_{GS} - V_T)^2$$

$$V_{GS} \geq V_T, V_{DS} > (V_{GS} - V_T)$$

----- 포화영역 (2)

$$K = \mu_n C_{ox} (W/L) \quad (3)$$

$$S.S = \frac{1}{Slope} = \frac{\Delta V_{GS}}{\Delta (\log I_{DS})} \quad (4)$$

$$g_m = 2 \mu_n C_{ox} (W/L) [V_{GS} - V_T] \quad (5)$$

일반적으로 MOSFET의 전기적 특성은 (1), (2), (3)식에 보인 바와 같이 선형영역과 포화영역으로 나누어 고찰되는데[8] 선형영역내의 서브쓰레쉬홀드(subthreshold) 영역은 트랜지스터가 턴 오프된 상태를 나타낸다. 이 영역에서는 드레인 전류가 그림 1의 (a)에 보인 것처럼 게이트 전압에 지수함수적으로 의존하며 가장 중요한 파라미터가 서브쓰레쉬홀드 스윙(S.S), 게이트 전압이 0V일 때의 누설전류(I_L)이다. S.S는 V_{GS} 에 대한 $\log I_{DS}$ 의 곡선에서 선형부분 기울기의 역수로서 (4)식으로 계산되며[8], 게이트 전압에 따라 드레인 전류가 얼마나 빨리 턴 오프 되는가를 알아보는 척도로서 기울기가 급준(steepest)할수록 즉, S.S값이 작을수록

작은 게이트 전압의 변화(sweep)에서도 전류가 오프될 수 있어 문턱전압이 감소되므로 구동전류가 증가하는 결과를 가져와 게이트와 드레인이 활성화 동작 영역에 있을때 더 높은 성능을 얻을 수 있다. 또한 S.S는 동일한 문턱전압의 경우에 드레인 누설전류(I_L)를 결정하는 인자(factor)도 된다. MOS-FET 소자의 문턱전압은 채널형성에 필요한 최소한의 게이트 전압으로서 트랜스컨덕턴스와는 (5)식과 같은 관계를 갖는다[8]. 그림 1의 (b)는 문턱전압(V_T)과 트랜스컨덕턴스(g_m)를 구하는 방법을 나타내는 것으로 $V_{DS} = \pm 0.1V$ 일때 (1)식에 의해 얻어진 V_{GS} 對 I_{DS} 곡선에서 X축에 선형외삽(linear extrapolation)된 V_{GS} 값을 문턱전압(V_T)으로, 선형부분의 기울기($\Delta V_{GS}/\Delta I_{DS}$)를 트랜스컨덕턴스(g_m)로 정의하였다. 또한 최대 드레인 포화전류(I_{Dsat})는 그림 1의 (c)와 같이 V_{GS} 를 $\pm 1V$ 에서 $\pm 5V$ 까지 변화시켜 얻은 $I_{DS}-V_{DS}$ 곡선에서 $V_{GS} = \pm 5V$, $V_{DS} = \pm 4V$ 일 때의 드레인 전류로 정의하였다.

2.2 DTC

SUPREM-II를 사용하여 얻은 1차원의 공정 시뮬레이션 결과를 2차원 소자 시뮬레이션을 위해 MINIMOS 4.0 프로그램에 입력으로 사용하였다. 결과적으로 공정 파라미터와 소자특성 사이의 의존성이 유도되었으며 이 의존성으로 부터 소자 파라미터의 상호 의존성을 특성화 한 후, 그림 1에 보인 바와 같이 포화영역($V_{DS} = \pm 3V$)에서의 S.S 값, 오프 상태의 누설전류($\log(I_L)$), 문턱전압(V_T), 선형영역($V_{DS} = \pm 0.1V$)에서의 트랜스컨덕턴스(g_m), 드레인 포화전류(I_{Dsat})와 같은 임계 소자 파라미터를 결정하였다. 그리고 나서 임계 소자 파라미터를 각각의 최대값으로 나누어 정규화(normalization)시킨 후, 선택된 공정 파라미터(N_B , D_C , L , T_{OX} , X_j)의 변화에 따라 그림 2와 같은 디자인 경향 곡선(Design Trend Curve ; DTC)을 그려 임계 디자인 한계를 고찰하였다. 그림 2에 보인 바와 같이 공정 파라미터가 변화함에 따라 정규화된 각각의 임계 소자 파라미터가 증가 및 감소 경향을 보이므로 이들 특성을 동시에 만족시킬 수 있는 공정 파라미터의 범위를 찾기위해 증가곡선과 감소곡선이 만나는 점들로 이루어진 閉面을 DTC영역으로 정의하였다. 그리고 나서 DTC영역이 X축에서 차지하는 범위를 공정 파라미터의 허용범위(allowed range)로 선택하였고, 이들 범위의 중간값(center point ; C.P)을 최적의 공정 파라미터로 결정하였다.

3. 시뮬레이션

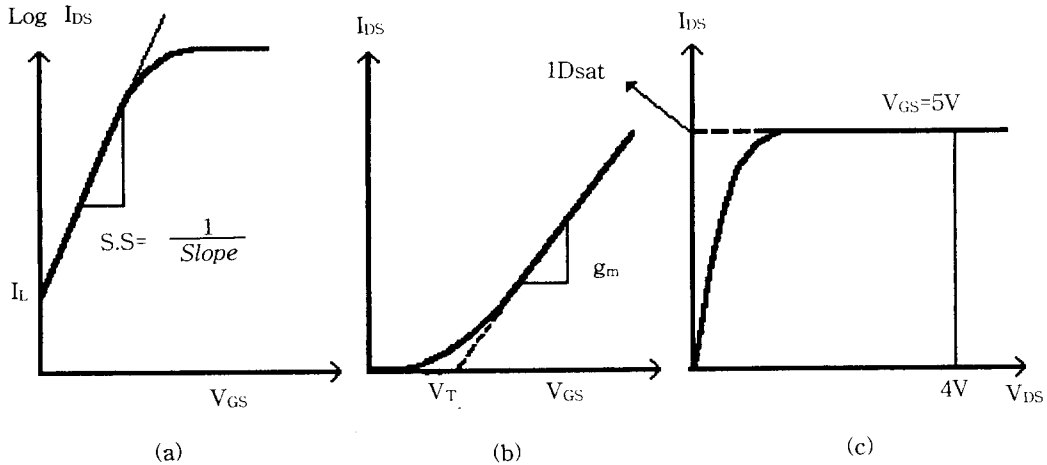


그림 1 대표적인 소자특성으로 부터 임계 파라미터의 결정
 (a) $\text{Log } I_{D_s}-V_{G_s}$ 곡선 : S.S와 I_L 의 결정 (b) $I_{D_s}-V_{G_s}$ 곡선 : V_T 와 g_m 의 결정
 (c) $I_{D_s}-V_{D_s}$ 곡선 : $I_{D_{\text{sat}}}$ 의 결정

Fig. 1 Determination method of critical device parameter from typical device characteristics.

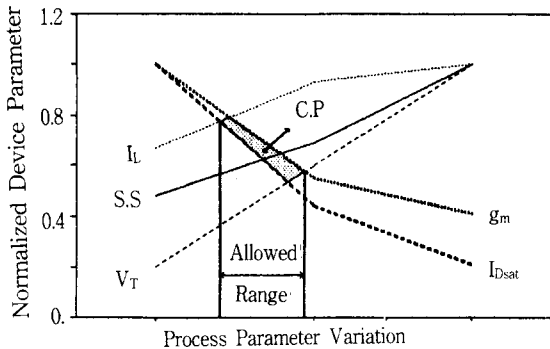


그림 2 디자인 경향 곡선(DTC)의 예
 Fig. 2 DTC example

3.1 공정 조건

표 1은 본 논문에서 고찰한 서브마이크론 MOSFET소자의 각 제작공정에 필요한 공정 및 전기적 파라미터의 목표값과 시뮬레이션을 통해 얻은 공정조건을 나타낸 것이다. 본 공정 시뮬레이션에서는 twin-well CMOS 구조[9]를 사용하였으며, 공정진행 순서에 따른 각 단위공정의 목표값을 만족시키기 위하여 SUPREM-II로 수차례의 시뮬레이션을 실행하여 공정 조건을 얻었으며 최종적인 시뮬레이션 프로그램에 세팅(setting)하였다. 여기서 nMOS 소자의 필드 문턱전압(V_{Tf})을 높이기 위한 이온주입과 p^+ 소오스/드레인 접합의 형성에 사용된 $^{49}\text{BF}_2$ 소스가 SUPREM-II에는 제공되지 않으므로 $^{11}\text{B}^+$ 이온의 질량에 따른 등가 운동에너지

(equivalent kinetic energy)만 고려하고 불소(F)에 의한 표면 비정질화(amorphization)와 같은 영향 [10]은 무시하고 시뮬레이션 하였다. 그러나 실제 실험에서는 불소의 채널링 현상을 방지하기 위해 BF_2 소스를 사용함으로써 F원자로 표면을 비정질화시켜 얇은 접합을 형성하고자 한다.

3.2 벌크농도(N_B)의 의존성

본 논문에서는 twin-well CMOS 구조를 적용하였으므로 서브마이크론 MOSFET소자의 디자인에 불균일하게 도핑된 n-well 및 p-well의 벌크농도가 고려되어야 한다. 이는 도핑농도가 높을 경우 캐리어 이동도 감소에 기인하여 구동전류의 감소가 일어나고, 낮은 경우에는 기생 쌍극성 효과에 기인하는 래치업, 펀치쓰루 등이 문제시 되므로 최적의 도핑농도를 결정하는 것이 중요하기 때문이다.

표 2는 벌크농도 변화에 따른 소자특성의 의존성 고찰을 통해 얻은 임계 소자 파라미터값을 보인 것이고, 그림 3은 벌크농도 변화에 따른 DTC이다. 벌크농도가 증가함에 따라 nMOS소자의 경우 S.S값과 문턱전압은 증가한 반면에 누설전류, 트랜스컨덕턴스, 드레인 포화전류는 감소하는 경향을 나타내었다. 그러나 pMOS소자의 경우는 벌크농도 증가에 따라 문턱전압만 증가하는 경향을 보였고 나머지는 감소하였으며, 트랜스컨덕턴스는 벌크농도에 무관한 결과를 나타내었다. 정규화 과정에서 누설전류는 로그값을 취한 후 이를 최대값으로 나누었기 때문에 곡선상에서의 증가는 실제적

표 1 공정 및 전기적 파라미터의 목표값과 공정조건

Table 1 Target value and process condition of process and electrical parameter.

Process step	Target value	Process condition
Initial oxidation	300 ± 10 Å	900 °C, 14 min, wet O ₂
p-well implant and drive in	X _j ≈ 3.5 μm R _s ≤ 3.5 KΩ/□	Elem.= B, 0.9 ~ 2.0E13 cm ⁻² 150 KeV, 1150 °C, 440 min, N ₂
n-well implant and drive in	X _j ≈ 2.0 μm R _s ≤ 3.5 KΩ/□	Elem.=P, 1.0 ~ 2.0E12cm ⁻² 150 KeV, 1100 °C, 60 min, N ₂
Pad oxide formation	250 ± 10 Å	900 °C, 12 min, wet O ₂
n-channel field implant (p-well only)	V _{TF} ≥ 13 V	Elem.=B(or BF ₂) 1.0 ~ 2.0E13 cm ⁻² , 20(or 100) KeV
Field oxide formation	5200 ± 200 Å	950 °C, 190 min, wet O ₂
Sacrificial oxidation	300 ± 10 Å	920 °C, 10 min, wet O ₂
Punchthrough prevention implant	BV _{ds} ≥ 12 V	Elem.=B, 2.0 ~ 3.0E12 cm ⁻² , 120 KeV
V _T adjusting shallow implant	0.6 ± 0.1 V	Elem.=B, 1.0 ~ 2.0E12 cm ⁻² , 20 KeV
Gate oxide formation	200 ± 10 Å	850 °C, 40 min, dry O ₂ 900 °C, 20 min, N ₂
n ⁺ S/D implant and annealing	X _j ≈ 0.2 ~ 0.3 μm R _s ≤ 40 Ω/□	Elem.=As, 4.0 ~ 8.0E15 cm ⁻² 60 KeV, 900 °C, 20 min. annealing
p ⁺ S/D implant and annealing	X _j ≈ 0.4 ~ 0.6 μm R _s ≤ 60 Ω/□	Elem.=B(or BF ₂), 1.0 ~ 5.0E15 cm ⁻² 14(or 70) KeV, 900°C, 20 min annealing

표 2 벌크농도 변화에 따른 임계 소자 파라미터값

Table 2 Critical device parameter values as a function of bulk concentration variation.

Param.	N _B	nMOS			pMOS		
		9×10 ¹⁵ [cm ⁻³]	5×10 ¹⁶ [cm ⁻³]	1×10 ¹⁷ [cm ⁻³]	3×10 ¹⁶ [cm ⁻³]	5×10 ¹⁶ [cm ⁻³]	7×10 ¹⁶ [cm ⁻³]
S.S [mV/dec.]		111	125	136	666	114	105
I _L [A]		2.66×10 ⁻¹³	3.17×10 ⁻¹⁴	5.89×10 ⁻¹⁵	-2.30×10 ⁻⁵	-7.44×10 ⁻¹⁰	-4.60×10 ⁻¹³
V _T [V]		0.9	1.0	1.2	0	-0.4	-0.9
g _m [A/V] (×10 ⁻⁴)		5.9	5.26	5.22	-1.53	-1.54	-1.54
I _{Dest} [mA]		18.6	16.3	14.3	-8.60	-7.13	-5.98

으로는 감소하는 의미를 갖고 있다. 따라서 증가곡선과 감소곡선이 만나는 점들로 이루어진 DTC 영역이 X축에서 차지하는 허용범위의 중간값(C.P)인

5×10¹⁶ cm⁻³을 최적의 벌크농도로 선택하였다. 그러나 표 2에 보인 pMOS 소자의 경우 n-well의 벌크농도가 3×10¹⁶ cm⁻³ 일때 S.S값 및 서브스레

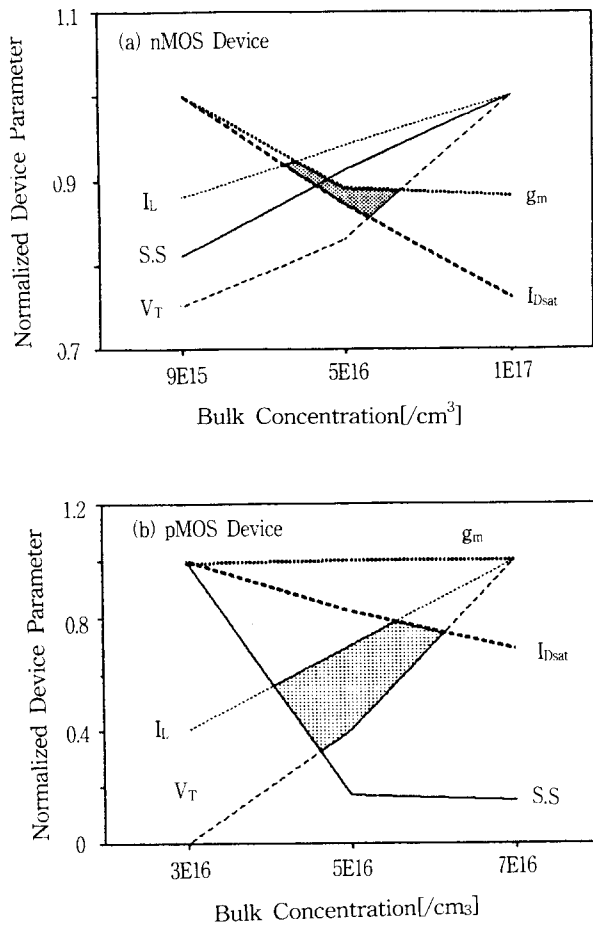


그림 3 벌크농도 변화에 따른 디자인 경향곡선
 Fig. 3 Design trend curve as a function of bulk concentration variation.

쉬홀드 누설전류가 상당한 증가를 보였다. 이는 벌크농도가 낮은 경우에는 상대적으로 채널농도가 더 높아 표면 불순물 농도의 증가로 표면전위가 증가하여, DIBL(Drain-Induced Barrier Lowering)의 영향이 표면쪽이 아닌 벌크(bulk)에서 일어나는 벌크 펀치쓰루 현상을 나타내기 때문이라고 생각된다. 즉, $3 \times 10^{16} \text{ cm}^{-3}$ 의 낮은 벌크농도에서는 펀치쓰루 및 DIBL과 같은 짧은 채널 효과가 심각하게 일어남을 예측할 수 있다.

3.3 문턱전압 조절을 위한 이온주입(Dc)의 영향

n+다결정 실리콘 게이트를 사용할 경우 게이트 물질과 기판 사이의 일함수 차이 (Φ_{MS})에 기인하여 nMOS소자와 pMOS소자의 문턱전압은 서로 비대칭이 되므로 이를 보상하여 문턱전압을 대칭적으로 만들기 위해 채널에 붕소를 이온주입하는 V_T 이온주입(V_T adjusting ion implant)이 통례적으로 사용되고 있다. 그러나 이러한 이온주입으로 인해 pMOS소자의 경우는 역도핑(counter-doping)이 되어 pMOS 소자의 표면농도를 반전시키게 되어 pMOS소자의 채널이 반도체 표면 아래에 생기는 매몰채널(buried channel)을 형성한다[11]. 따라서 nMOS소자에 비해 상대적으로 pMOS소자의 짧은 채널 특성을 열화시키므로[12] 매몰채널의 특성을 향상시키고 동시에 nMOS와 pMOS 소자의 대칭적인 문턱전압을 결정하기 위한 이온주입 조건을 최적화 하는 것이 중요하다.

표 3은 문턱전압 조절을 위한 붕소 이온주입량에 따른 소자특성의 의존성 고찰을 통해 결정된 임계 소자 파라미터값을 보인것이고, 그림 4는 임계 소자 파라미터를 각각의 최대값으로 나누어 정규화시킨 후, 이를 붕소 이온주입량 변화에 대해

표 3 문턱전압 조절을 위한 붕소 이온주입량에 따른 임계 소자 파라미터값

Table 3 Critical device parameter values as a function of threshold adjusting boron implant dose variation.

Param. \ Dc	nMOS			pMOS		
	$9 \times 10^{11} \text{ [cm}^{-2}\text{]}$	$1 \times 10^{12} \text{ [cm}^{-2}\text{]}$	$2 \times 10^{12} \text{ [cm}^{-2}\text{]}$	$9 \times 10^{11} \text{ [cm}^{-2}\text{]}$	$1 \times 10^{12} \text{ [cm}^{-2}\text{]}$	$2 \times 10^{12} \text{ [cm}^{-2}\text{]}$
S.S [mV/dec.]	117	125	133	102	100	1200
I_L [A]	1.09×10^{-13}	7.68×10^{-14}	8.91×10^{-15}	-1.82×10^{-14}	-2.19×10^{-13}	-2.73×10^{-4}
V_T [V]	0.95	1.0	1.2	-0.98	-0.9	+0.3
g_m [A/V] ($\times 10^{-4}$)	5.7	5.5	5.2	-1.9	-1.5	-1.5
I_{Dsat} [mA]	17.5	17.2	14.5	-5.92	-6.23	-9.37

보인 DTC이다. 붕소 이온주입량이 증가함에 따라 nMOS소자의 경우 S.S 값과 문턱전압은 증가한 반면에 누설전류, 트랜스컨덕턴스 및 드레인 포화 전류는 감소하는 경향을 보였다. 그러나 pMOS 소자의 경우는 S.S 값, 드레인 포화전류 및 누설전류는 증가를 하였고 트랜스컨덕턴스와 문턱전압은 감소하는 추세를 보였다. nMOS와 pMOS 소자의 DTC를 비교해 볼때, pMOS 소자는 S.S와 g_m 을 제외한 V_T , I_L , I_{Dsat} 가 nMOS 소자와는 반대의 경향을 나타내었다. 이는 pMOS 소자의 경우 붕소 역도핑으로 인해 매몰채널이 형성되어 DIBL의 영향이 표면쪽이 아닌 벌크에서 일어나기 때문에 이온주입량 증가에 따라 벌크 펀치쓰루가 지배적이 되어 누설전류가 증가를 보인 것이며, 드레인 포화 전류가 nMOS 소자와는 달리 증가를 보인것은 붕소 역도핑으로 채널의 표면 농도가 감소하여 문턱

전압이 감소하였기 때문으로 생각된다. 한편 DTC 영역이 X축에서 차지하는 허용범위는 nMOS 소자의 경우는 $1.2 \times 10^{12} \sim 1.6 \times 10^{12} \text{ cm}^{-2}$, pMOS 소자의 경우는 $1.1 \times 10^{12} \sim 1.7 \times 10^{12} \text{ cm}^{-2}$ 의 범위에 있으므로 두소자를 동시에 만족시킬수 있는 중간 값인 $1.3 \times 10^{12} \text{ cm}^{-2}$ 를 최적의 붕소 이온주입량으로 선택하였다.

3.4 채널길이(L)의 의존성

MOSFET의 속도와 전류 구동능력을 향상시키기 위해 채널길이를 감소시키에 따라 나타나는 짧은 채널 효과가 소자동작에 부정적인 영향을 끼치게 되므로[12] 이를 최소화시키면서 구동전류를 향상시킬 수 있는 최소한의 짧은 채널길이를 결정하는 것이 바람직하다.

표 4는 채널길이 변화에 따른 소자특성의 의존

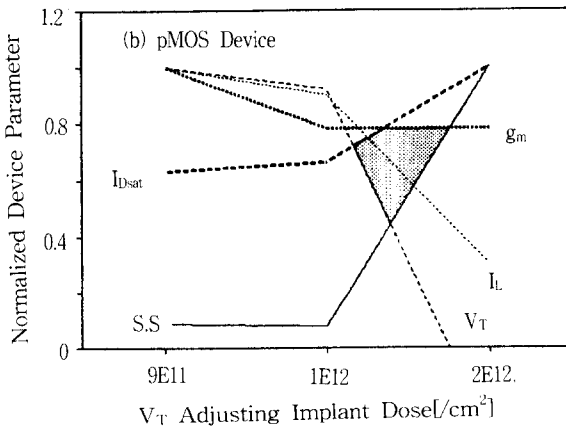
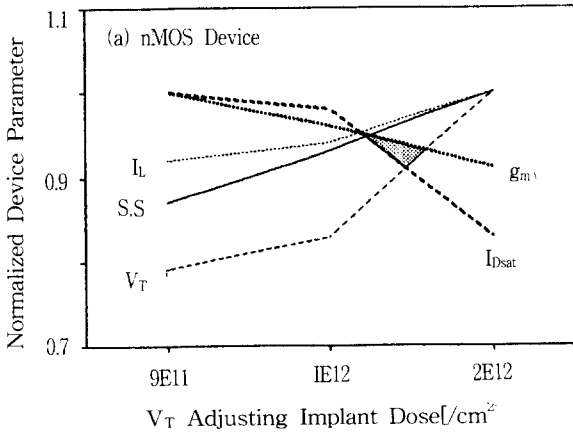


그림 4 문턱전압 조절을 위한 붕소 이온주입량에 따른 디자인 경향곡선

Fig. 4 Design trend curve as a function of threshold adjusting boron implant.

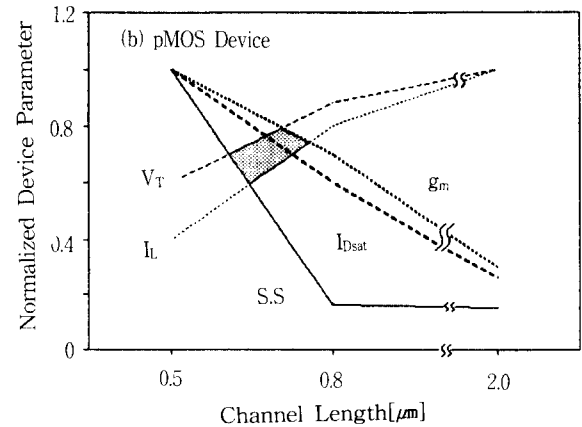
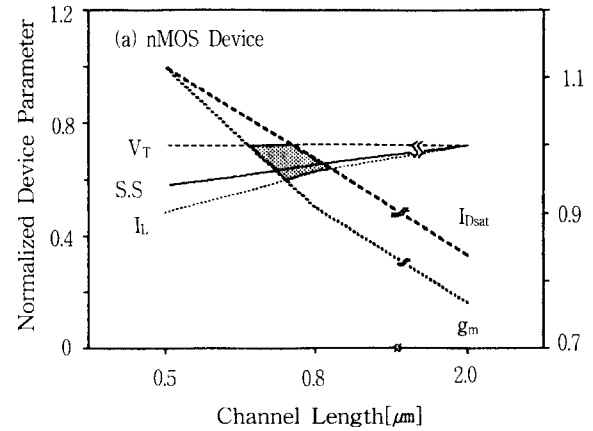


그림 5 채널길이에 따른 디자인 경향 곡선

Fig. 5 Design trend curve as a function of channel length.

표 4 채널길이에 따른 임계 소자 파라미터값

Table 4 Critical device parameter values as a function of channel length variation.

Param. \ L	nMOS			pMOS		
	0.5 [μm]	0.8 [μm]	2.0 [μm]	0.5 [μm]	0.8 [μm]	2.0 [μm]
S.S [mV/dec.]	121	125	129	714	114	107
I _L [A]	2.03×10^{-13}	3.15×10^{-14}	7.18×10^{-15}	-8.72×10^{-5}	-7.44×10^{-10}	-1.08×10^{-11}
V _T [V]	1.0	1.0	1.0	-0.3	-0.4	-0.45
g _m [A/V] ($\times 10^{-4}$)	9.6	4.9	1.6	-2.09	-1.5	-0.61
I _{Dsat} [mA]	24.3	16.3	8.02	-11.8	-7.13	-3.08

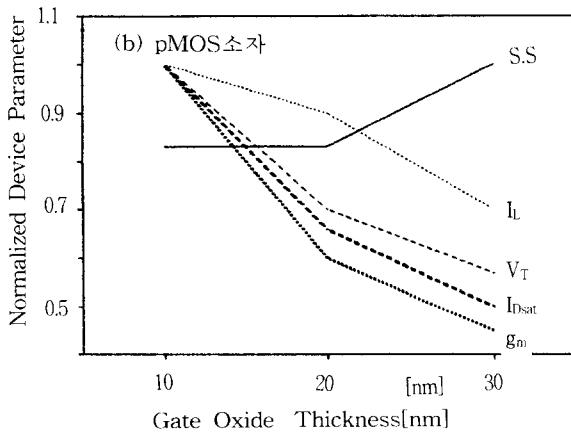
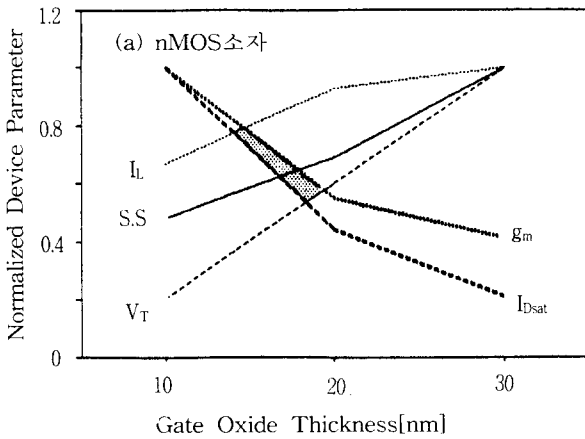


그림 6 게이트 산화막 두께에 따른 디자인 경향곡선

Fig. 6 Design trend curve as a function of gate oxide thickness.

성 고찰을 통해 결정된 임계 소자 파라미터값을 요약한 것이고, 그림 5는 임계 소자 파라미터를 각

각의 최대값으로 나누어 정규화시켜 채널길이에 대해 보인 DTC이다. 채널길이가 감소함에 따라 nMOS소자의 경우 문턱전압은 일정하였고, S.S 값만 약간 감소한 반면에 누설전류, 드레인 포화전류 및 트랜스컨덕턴스는 증가하는 경향을 보였으며, pMOS 소자의 경우는 채널길이 감소에 따라 문턱전압만 감소를 하였고, 나머지 파라미터는 모두 증가를 하였다. 채널길이 변화에 따라 DTC 영역이 차지하는 허용범위는 0.65 ~ 0.85 μm이었고, 중간값인 0.8 μm를 최적의 채널길이로 결정할 수 있다. 하지만 표 4에 보인 것처럼 0.5 μm의 채널 길이를 갖는 pMOS 소자의 경우 채널이 표면으로부터 떨어져 있어 채널전류를 조절하는데 더 높은 게이트 전압(gate voltage swing)이 필요하기 때문에 S.S 값이 매우 크며, 채널길이 감소에 따라 벌크 펀치쓰루의 경로(path)가 더욱 가까워지므로 펀치쓰루 성분이 더욱 지배적이 되어 서브쓰레쉬홀드 누설전류가 증가하는 짧은 채널 효과가 문제시 되므로 이를 개선시킬 수 있는 채널길이를 결정하는 것이 소자면적의 스케일 다운 측면에서 중요함을 알 수 있다.

3.5 게이트 산화막 두께(Tox)의 의존성

채널길이가 구동전압보다 더 빠르게 감소함에 따라 구동전류는 증가시킬 수 있으나 채널길이 감소로 인한 DIBL, 펀치쓰루 등과 같은 짧은 채널 효과로 소자특성이 저하되므로 채널길이(L)를 줄이는데는 한계가 있다. 따라서 드레인 전류에 영향을 주는 다른 파라미터가 고려되어야 한다. 일반적인 드레인 전류-전압 관계식인 (1), (2)식에서 알 수 있듯이 채널폭(W)이 증가함에 따라 드레인 전류가 선형 증가를 하므로 높은 구동전류를 얻기 위해 채널폭의 면적을 증가시키면 된다. 그러나 최대 집적밀도를 위해 소형소자가 사용되어야 하므로

표 5 게이트 산화막의 두께에 따른 임계 소자 파라미터값

Table 5 Critical device parameter values as a function of gate oxide thickness variation.

Param. \ T _{ox}	nMOS			pMOS		
	10 [nm]	20 [nm]	30 [nm]	10 [nm]	20 [nm]	30 [nm]
S.S [mV/dec.]	88	125	180	111	111	133
I _L [A]	1.80×10^{-10}	3.15×10^{-14}	3.87×10^{-15}	-1.94×10^{-10}	-7.44×10^{-10}	-1.33×10^{-7}
V _T [V]	0.4	1.2	2.0	-0.7	-0.5	-0.4
g _m [A/V] ($\times 10^{-4}$)	9.5	5.26	3.9	-2.4	-1.5	-1.1
I _{Desat} [mA]	37.0	16.3	8.07	-10.7	-7.13	-5.44

표 6 소오스/드레인 접합깊이에 따른 임계 소자 파라미터값

Table 6 Critical device parameter values as a function of source/drain junction depth variation.

Param. \ X _j	nMOS			pMOS		
	0.1 [μm]	0.2 [μm]	0.3 [μm]	0.2 [μm]	0.4 [μm]	0.6 [μm]
S.S [mV/dec.]	125	120	93	120	115	111
I _L [A]	3.15×10^{-14}	4.91×10^{-14}	1.79×10^{-12}	-3.83×10^{-9}	-7.60×10^{-10}	-5.21×10^{-10}
V _T [V]	1.0	1.0	0.9	-0.4	-0.4	-0.4
g _m [A/V] ($\times 10^{-4}$)	5.26	6.2	12.0	-1.6	-1.6	-1.4
I _{Desat} [mA]	16.3	18.0	25.1	-7.07	-7.24	-6.68

채널폭을 증가시켜 구동전류를 향상 시키는 것도 문제가 된다. 따라서 (3), (5)식과 같은 트랜스컨덕턴스에 대한 드레인 전류의 의존성으로 부터 채널에서의 캐리어 이동도와 게이트 산화막의 정전용량이 더 중요한 변수가 됨을 알 수 있다. 즉, 산화막 정전용량이 산화막 두께에 역비례($C_{ox} \approx 1/T_{ox}$)하므로 구동력을 향상시키기 위해서는 게이트 산화막이 얇을수록 좋지만 정전용량 증가에 따른 스위칭 특성의 저하, 산화막 브레이크다운과 같은 신뢰성 문제를 동시에 만족시키면서 게이트 산화막 두께를 최적화 하기가 어렵다.

표 5는 게이트 산화막의 두께 변화에 따른 소자 특성의 의존성 고찰을 통해 결정된 임계 소자 파라미터값을 요약한 것이고, 그림 6은 임계 소자 파라미터를 각각의 최대값으로 나누어 정규화시킨 후, 게이트 산화막 두께의 변화에 따라 나타낸 DTC이다. 산화막 두께가 감소함에 따라 nMOS 소자의 경우 문턱전압 및 S.S값은 감소한 반면에 누설전류, 드레인 포화전류 및 트랜스컨덕턴스는 증가하는 경향을 보였다. 그러나 pMOS소자의 경우

에는 두께감소에 따라 S.S값과 누설전류는 감소를 하고 문턱전압, 트랜스컨덕턴스 및 드레인 포화전류는 증가를 하였다. 따라서 DTC의 증가곡선과 감소곡선이 만나는 점으로 이루어진 영역이 X축에서 차지하는 허용범위는 15 ~ 25 nm이므로 중간 값인 20nm를 최적의 산화막 두께로 결정할 수 있다. 하지만 표 5에서 알 수 있듯이 10nm의 얇은 산화막 두께를 갖는 경우 누설전류가 다소 높으므로 이러한 한계성을 극복할 수 있는 산화막 두께를 결정하는 디자인이 고려되어야 함을 알 수 있다.

3.6 접합깊이(X_j)의 의존성

채널깊이가 감소함에 따라 구동전류는 향상시킬 수 있으나 드레인 근처에서의 고전계로 인한 열전자 효과, 소오스와 드레인 사이의 기생 쌍극성 효과에 기인하는 브레이크다운 전압의 감소, 래치업, 펀치쓰루 등과 같은 짧은 채널 특성을 완화시키기 위해서는 스케일 다운된 얇은 산화막 외에도 얇은 소오스/드레인 접합깊이가 필요하다.

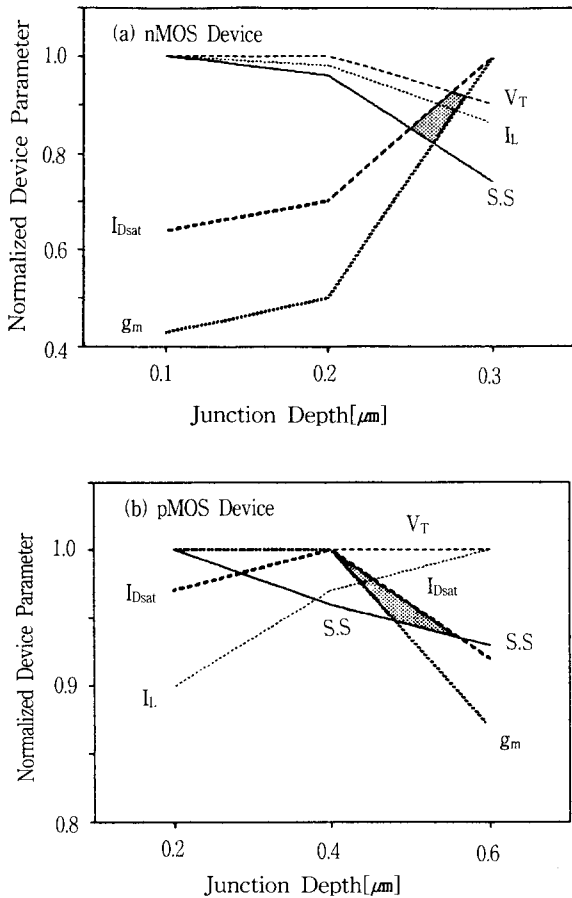


그림 7 소오스/드레인 접합깊이에 따른 디자인 경향 곡선

Fig. 7 Design trend curve as a function of source/drain junction depth.

표 7 DTC로부터 얻은 최적화된 공정 파라미터 값

Table 7 Optimized process parameter values obtained from DTC.

	Optimized Parameter
N_B	$5 \times 10^{16} \text{cm}^{-3}$
D_c	$1.3 \times 10^{12} \text{cm}^{-2}$
L	$0.8 \mu\text{m}$
T_{ox}	20nm
X_j	$0.2 \sim 0.4$

표 6은 접합깊이에 따른 소자특성의 의존성 고

찰을 통해 결정된 임계 소자 파라미터값을 요약한 것이고, 그림 7은 접합깊이 변화에 따라 나타난 DTC이다. 접합깊이가 감소함에 따라 nMOS소자의 경우 S.S값은 증가를 하였고, 문턱전압은 증가를 하다가 일정하였으며 누설전류, 트랜스컨덕턴스 및 드레인 포화전류는 감소하는 경향을 보였다. 그러나 pMOS소자의 경우는 접합깊이 감소에 따라 S.S값과 누설전류는 증가를 하였고, $0.4 \mu\text{m}$ 의 접합깊이에서 드레인 포화전류는 증가를 하다가 감소하였으며 트랜스컨덕턴스는 증가를 보이다가 일정해졌고, 문턱전압은 접합깊이에 무관한 경향을 나타내었다. 따라서 DTC영역이 X축에서 차지하는 허용범위는 nMOS소자의 경우는 $0.25 \sim 0.3 \mu\text{m}$, pMOS소자는 $0.4 \sim 0.55 \mu\text{m}$ 의 범위에 있으므로 nMOS 및 pMOS소자의 제작에 적합한 최적의 접합깊이는 각각 이들 범위의 중간값인 $0.25 \mu\text{m}$, $0.45 \mu\text{m}$ 로 선택하였다. 그러나 표 6에 보인 바와 같이 $0.2 \mu\text{m}$ 의 얇은 접합깊이를 갖는 pMOS소자의 경우 매물채널의 영향으로 누설전류가 높으므로 이러한 소자특성의 한계성을 극복하기 위해서는 매물채널의 깊이(Y_j)가 디자인에 고려되어야 함을 알 수 있다.

4. 결 론

공정 및 소자 시뮬레이션을 사용하여 얻은 서브마이크론 MOSFET소자의 짧은 채널 효과 및 소자의 한계성을 최소화 할 수 있는 최적의 공정 파라미터를 추출하는 방법을 제시하였고, 표 7과 같은 최적의 공정 파라미터를 추출하였다.

본 논문에서는 중요 공정 파라미터로 N_B , D_c , L , T_{ox} , X_j , 임계 소자 파라미터로 S.S, I_L , V_T , g_m , I_{Dsat} 가 선택되어 수행되었으나 더 많은 파라미터를 고려한다면 시뮬레이션 시간은 다소 길어지지만 더욱 정확한 디자인 지점을 얻을 수 있을 것으로 생각되며 DTC에 의한 파라미터 추출법의 타당성을 검증하기 위해 본 논문에서 추출된 공정파라미터를 가지고 서브마이크론 채널길이를 갖는 MOSFET소자를 제작하였다.

참 고 문 헌

[1] R.J. Sokel and D.B. Macmillen, "Practical Integration of Process, Device and Circuit Simulation," IEEE Trans. Electron Dev., Vol. ED-32, No.10, pp.2110-2116, 1985.
 [2] K.M. Cham, S.Y. Oh and J.L. Moll, "Computer-Aided Design in VLSI Device

- Development, " IEEE J. Solid-State Circuits, Vol. SC-20, No. 2, pp.495-500, 1985.
- [3] R.F. Motta, P. Chang, J.G.J. Chern and N. Godinho, "Computer-Aided Device Optimization for MOS/VLS," IEEE Trans. Electron Dev., Vol. ED-27, No. 8, pp.1559-1565, 1980.
- [4] D.A. Antoniadis and R.W. Dutton, "Models for Computer Simulation of Complete IC Fabrication Process," IEEE Trans. Electron Dev., Vol. ED-26, No.4, pp.490-500, 1979.
- [5] S. Selberherr, "Physical Models for Silicon VLSI, "Semiconductor Device Modeling, Springer-Verlag, pp.71-88, 1989.
- [6] D.A. Antoniadis, S.E. Hansen and R.W. Dutton, "SUPREM II -A Program for IC Process Modeling and Simulation, " Technical Report No.5019-2, Stanford Electronics Lab., stanford, CA, 1978.
- [7] S. Selberherr, A. Schutz and H.W. Potzl, "MINIMOS-A Two Dimensional MOS Transistor Analyzer, " IEEE Trans. Electron Dev., Vol.ED-27, No.8, pp1540-1550, 1980.
- [8] S. Wolf, "Silicon Processing for the VLSI Era," Lattice Press, Vol. 2, Ch. 5, 1990.
- [9] A.E. Schmitz and J.Y. Chen, "Design, Modeling and Fabrication of Subhalf-Micrometer CMOS Transistors," IEEE Trans. Electron Dev., Vol.ED-33, No. 1, pp.148-153, 1986.
- [10] I.W. Wu, "Formation and Optimization of Shallow Junctions by Ion Implantation and Rapid Thermal Annealing for CMOS Application," Solid State Phenomena, Vol. 1&2, pp.159-168, 1988.
- [11] K.M. Cham and S.Y. Chiang, "Device Design for the Submicrometer p-Channel FET with n+ Polysilicon Gate," IEEE Trans. Electron Dev., Vol. ED-31, No. 7, pp.964-968, 1984.
- [12] H.B. Bakoglu, "Circuits, Interconnections and Packaging for VLSI," Addison-Wesley Publishing Co., Ch. 2, pp. 28-43, 1990.

저자소개



서용진

1964년 3월 13일생. 1987년 중앙대학 전기공학과 졸업. 1989년 중앙대학 전기공학과 석사. 1994년 2월 중앙대학 전기공학과 졸업(공박). 현재 중앙대학교 전기공학과 동신대학교 전기전자공학과 강사.



장의구

1943년 3월 9일생. 1972년 중앙대학교 공대 전기공학과 졸업. 1975년 2월 중앙대학교 전기공학과 석사. 1983년 2월 동대학원 전기공학과 (공박). 1987년 1월 -88년 1월 Arizona주립대 연구교수. 1994년 현재 중앙대학교 전기공학과 교