

DRAM 반도체 소자의 최근 기술동향

기술해설 1

Recent Technology Trend of DRAM Semiconductor Device

박종우
(Jong-woo Park)

Key Words(중요용어) : DRAM(기억소자), CMOS(시모스), Capacitor(캐패시터), Low Voltage(저전압), Process Technology(공정기술)

1. 서론

DRAM(Dynamic Random Access Memory)은 반도체 소자중 가장 대표적인 기억소자로, switch 역할을하는 1개의 transistor와 data의 전하를 축적하는 1개의 capacitor로 구성된 단순한 구조와 高集積化에 용이하다는 이점을 바탕으로, supercomputer에서 가전제품 및 산업기기에 이르기 까지 널리 이용되어 왔다. 한편으로 DRAM사업은 고가의 장치사업으로 조기시장 진입을 위하여 초기에 막대한 자본투자, 급속한 기술발전, 짧은 life cycle, 가격급락 등이 심하여, 시한내 투자회수가 이루어져야 하는 위험도가 큰 기업사업이라는 양면성도 가지고 있다. 이러한 관점때문에 새로운 DRAM기술은 每 세대마다 끊임없이 빠른 속도로 개발되어 왔다. 그러나 sub-micron 이하의 DRAM 세대로 갈수록 그에 대한 新기술은 점차 어렵게 되어가고, 한편으로는 system의 다양화에 따른 요구도 강하여, 이제는 통상적인 DRAM의 高集積化/低價의 전략 만으로는 생존하기 어려운 실정므로 개발전략도 수정하여야만 할 것이다. 이러한 어려운 기술한계를 극복하기 위하여 새로운 소자기술 및 공정개발에 대한 breakthrough가 이루어져야 할 것이다.

이러한 관점에서 현재까지의 DRAM개발 추이와 향후의 기술방향에 관하여 몇 가지 중요한 item을 설정하여 논의해 보기로 한다.

2. 본론

2.1 DRAM의 대용량화와 제품추이

지금까지 DRAM은 거의 3년 마다 4배의 비율로 대용량화 되어왔고, 그림 1에서 제시한 바와같이 每 세대마다 design rule을 더욱 미세화(0.6배/세대)하여 cell size를 약 1/3배로 줄이므로써, 每 3년마다 bit cross를 가능케 하여 system업계의 요구에 부응해 왔다.

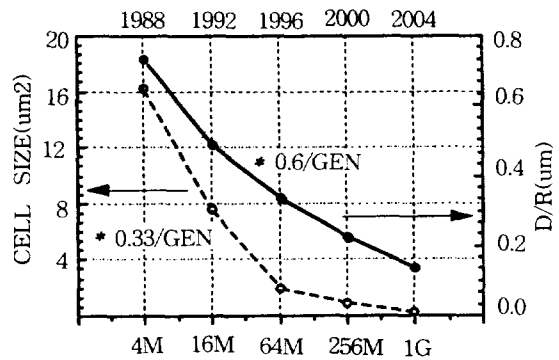
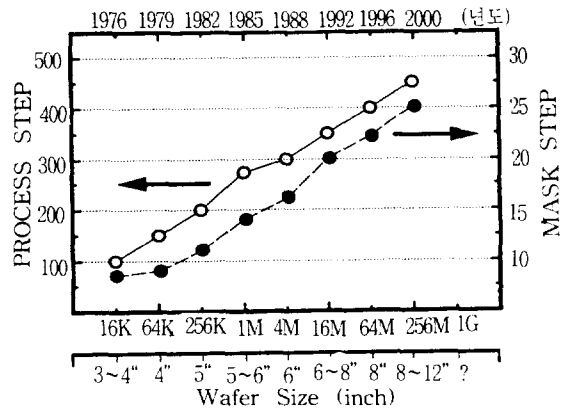


그림 1 DRAM의 대용량화에 따른 design rule과 cell size추이

Fig. 1 Design rule and cell size trend related to DRAM density.



주) process수 및 mask수는 각사마다 integration scheme에 따라 다소 차이가 있음.

그림 2 DRAM대용량화에 따른 공정수와 mask수의 증가추이

Fig. 2 Number of process and mask steps related to DRAM density.

현재는 4M DRAM이 거의 최고의 전성기를 맞이하고 있으나 각사에서 16M DRAM이 개발완료

막을 10, 20, 28, 35Å으로 하여 다층절연막을 구성한 캐패시터에 대하여 측정된 막의 I-E 특성 곡선은 그림 4, 5, 6과 같다.

그림 4에서 보면 상층산화막이 두꺼울수록 누설 전류도 작고 절연성이 좋게 나타나있다. 이런 현상은 그림 4, 그림 5에서 보는 것과 같이 질화막이 70Å 이상 두꺼운 막에서는 보편적인 현상이나 질화막이 63Å으로 얇아지는 경우에는 그림 6에서 보는바와 같이 상층산화막 28Å인 곡선과 35Å 곡선이 역전되어 상층산화막이 더 얇은 28Å의 막의 절연성이 더 좋아지는 특이한 현상을 나타낸다. 이 현상은 질화막을 산화할 때 주입되는 산소의 양과 밀접한 관계가 있는 것으로 해석된다.

그림 7은 상층산화막을 10Å으로 일정하게하고 질화막의 두께를 달리할 때 I-E곡선이다. 이 그림은 막의 전도성을 논할 때 이용된다. AES의 그림 2와 3에서 보듯이 질화막 70Å에서 상층산화막이 30Å 이상이 되면 질화막에 주입되는 산소가 급격히 증가하게 되어 질화막 내부의 원소 결합이 완전치 못하게 되고^[13] 이로인한 누설전류가 증가하고 절연과피 전압이 낮아지는 문제가 발생하는 것으로 해석된다. 따라서 절연성만을 고려할 때 ONO 기억소자의 질화막과 상층산화막의 두께가 각각 63Å, 28Å인 것이 가장 바람직하다는 결론에 도달하게 된다.

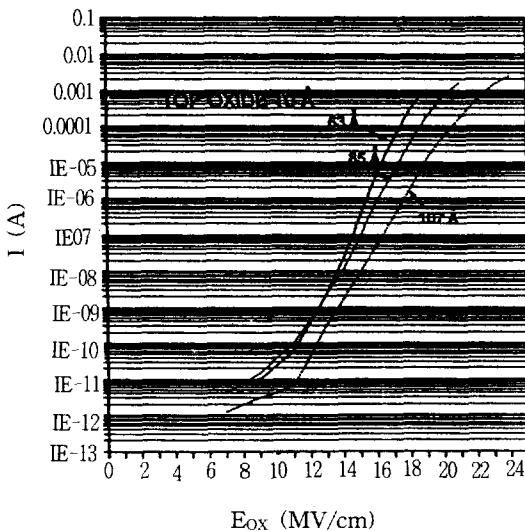


그림 7 질화층 두께를 파라미터로 한 SONOS축전기의 전류-전기장 특성

Fig. 7 current-electric field characteristics of the SONOS capacitor with nitride thickness as a parameter.

또한 상층산화막의 두께 변화에 따른 막의 절연 파괴 특성을 조사하기 위해서 SONOS 캐패시터에 일정한 비율(1V/sec)로 전압을 올리면서 절연 파괴전압을 측정된 후 이를 다층절연막의 유효두께로 나누어서 절연과피 전압장을 구하였다. 50개 이상의 SONOS 캐패시터에 대해서 이러한 측정과정을 반복하여 절연과피 전기장에 따른 파괴횟수를 구한 결과는 그림 8과 같다. 그림 8에서 알 수 있는 바와 같이 상층산화막이 28Å까지 증가되면 전기장의 분포가 좁아지고 절연과피 전기장이 개선되었음을 알 수 있다. 이것은 상층산화막의 성장에 따라 질화막의 국부적인 결함이 감소되었기 때문인 것으로 볼 수 있다.^[13-14] 반면 상층산화막이 35Å의 경우에는 28Å에 비해 전기장의 분포가 넓어지고 절연과피 전기장이 낮아짐을 볼 수 있다.

막의 전기전도 특성을 조사하기 위해 얇은 질화막의 경우의 Fowler-Nordheim plot인 $\ln(I/E^2)$ 과 I/E 의 관계를 조사한 것이 그림 9이다. 그림 9에서 $\ln(J/E^2)$ 는 I/E 의 변화에 대하여 거의 선형적으로 변화하고 있어 질화막이 얇고 상층산화막이 두꺼우면 다층 절연막의 전기전도는 Fowler-Nordheim 터널에 의해 주도되고 있음을 나타내고 상층산화막 두께가 두꺼울수록 선형성이 좋은것으로 보아 얇은 질화막의 경우에는 다층절연막의 전기전도는 상층산화막에 의해 결정됨을 알 수 있다.

또한 상층산화막을 10Å으로 고정하고 질화막을 증가시킬 때의 I-E곡선인 그림 7에서 부터 Poole-Frenkel plot인 $\ln(I/E)$ 와 $E^{1/2}$ 의 관계를 조사한 것이 그림 10이다. 그림 10에서 보면 상층산화막이 얇고 질화층이 두꺼운 경우에는 다층 절연막의 전기전도가 Poole-Frenkel 특성을 나타내고 있음을 알 수 있다. 그림 10의 기울기로부터 유전상수를 계산한 결과는 표 1에 나타나 있다. 이 표에서 보면 질화층이 두꺼울수록 계산된 유전상수 값이 알려진 유전상수 6.5에 접근하고 있어 상층산화막이 얇고 질화층이 두꺼운 경우에는 다층절연막의 전기전도가 질화층에 의해 정해짐을 표시한다.

IV. 결 론

본 논문에서는 기억소자의 scale down에 이용되는 다층절연막 (ONO)의 화학조성 변화를 분석하였고 이막으로 SONOS 캐패시터를 제작하여 막의 전기 전도 특성을 조사하였다.

본 논문에서 얻은 결론은 다음과 같다.

1. AES 결과에서 상층산화막의 성장에 따라 질화막의 표면에서 산소의 농도가 증가되고 상층산화막이 두꺼울수록 질화막 내부에서도 산소 양이

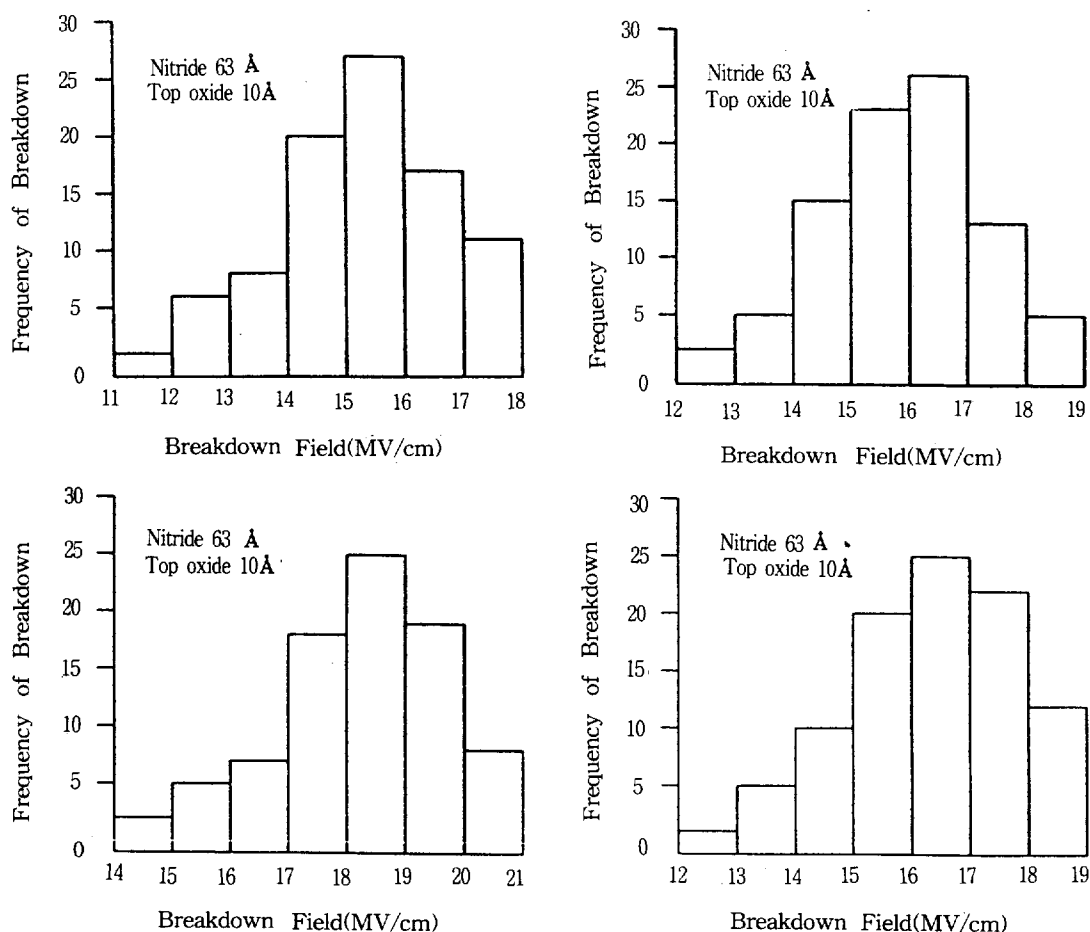


그림 8 상층산화막의 두께를 파라미터로 한 MONOS 축전기의 절연파괴 강도
 Fig. 8 Breakdown histograms of MONOS capacitors with a top oxide thickness as a parameter.(nitride 63Å).

증가한다.

2. SONOS 캐패시터에서 질화막위의 산화막 성장은 pin-hole에 의한 저항력 감소등을 억제 시킴으로써 절연파괴 전기장 및 누설전류를 개선시키고 얇은 질화막에서는 상층산화막이 두꺼울수록 절연성이 좋아진다.

3. 기억소자를 scale down할때 질화층의 두께를 될수 있는대로 감소시켜야 하나 그 scale down에는 한계가 있으며 본 연구 결과에 의하면 질화막 63Å, 상층산화막이 28Å인 경우가 가장 좋은 절연성을 갖는 것으로 나타났다. 이때의 절연파괴 전기장 및 누설전류는 각각 18.5 MV/cm와 8×10^{-12} [A]이다.

4. 얇은 질화막(70Å)의 소자의 전기전도성은 Fowler-Nordheim 전도가 주도적이고 상층산화막

이 두꺼워질수록(10Å에서 35Å으로)까지 F-N 특성이 두드러진다. 반면 얇은 상층산화막(10Å)인 소자에서는 질화막이 두꺼워질수록(63Å에서 107Å으로) Poole-Frenkel 전도성이 현저하게 나타난다.

참고 문헌

1. C.M.OS Burn and S.I. Raider, "Dielectric breakdown induced by sodium in MOS structures", J. Electrochem. Soc., Vol. 120, p. 1369 (1973).
2. T. Distefano, "Accelerated dielectric breakdown of silicon dioxide films", J. Appl. Phys., Vol. 44, p.527(1973).
3. E. Harari, "Dielectric breakdown in electrically

되어 양산체재로 돌입함으로써 곧 본격적인 16M 세대로 전환될 기미이다. 그림 2에서 보듯이 16K에서 256M로 대용량화 할수록 每 세대마다 공정 수 및 mask數가 증가하며, 이는 DRAM기술의 어려움과 cost가 증가함을 대변해 주고있다. 이러한 부담 때문에 DRAM maker들은 cost절감을 위한 공정 단순화 및 생산성 향상의 일환으로, wafer에서 chip수를 증가시킬 목적으로 chip shrink와 wafer의 대구경화를 추진하고 있다(그림 2 참조).

한편, 제품의 품종면으로는 bit 구성, 소형 package 의 다양화, 고속품 및 저소비 전력(low power)품의 전개도 활발히 이루어지고 있다. 특히 system업계는 speed를 중요시하여 system total scheme으로 고속화를 꾀하고 있다. 주목되는 DRAM 고속화 기술로 다소 방식에는 차이가 있지만, system clock에 동기시켜 외부 clock 주기 100MHz에 동작하는 synchronous DRAM, 250 MHz용 Rambus DRAM 및 70MHz 용 cache DRAM이 등장하고 있다.

또한, 종래와는 달리 system의 소형화에 따른 note-book PC, pen-base PC등의 시장확대에 따른 system의 저전력, 저전압화가 진행됨과 아울러 DRAM분야에도 급속히 이에 대응할 수 있는 제품의 수요가 늘고있다. 저전압화는 transistor의 gate

oxide 신뢰성 확보에서 기인된 것이지만, 이미 4M/16M급 3.3V용 DRAM이 사용되기 시작하였고, 64M DRAM은 3.3V, 256M DRAM은 2.5V, 1G DRAM은 1.5V가 될 추세이며, processor쪽에서도 이미 저전압 대응품이 시장에 투입되고 있어, 향후는 low power, low voltage 제품이 주류가 될 전망이다.

또한 system의 소형화에 대응하여 SOJ, TSOP 등 표면실장시 pin pitch를 축소화하는 package 및 탑재 가능한 내부 chip의 chip size를 크게하여 chip내 배선을 단축하므로써 고속화할 수 있는 LOC(Lead On Chip)구조등을 채택하고 있다. 그림 3은 최근 삼성전자에서 개발한 16M DRAM의 SOJ type LOC 300mil과 SOJ type 400mil package를 비교한 것으로 16M 300mil package는 이제 4M DRAM package 크기와 동일하게 되었다.

2. 2 공정기술 추이

2. 2. 1 Lithography 및 Etch 기술

최근 MPU를 이용하여 process 개발을 시도하려는 움직임이 있으나, 지금까지 DRAM에서 미세 가공기술 및 기타 process기술을 개발하여 MPU나 logic LSI소자등에 응용해 왔으므로, 반도체산업에서는 DRAM을 technology driver로 취급해 왔다. 따라서 반도체의 미세화를 위해 현재 가장 역점을 두고있는것 중의 하나가 여전히 lithography기술이다. 현재 미세 가공 양산기술이 0.5 μ m 까지 확보되어 product에 이용되고 있으나, 향후 pattern size가 축소됨에 따라 resolution을 향상시킬 수 있는 새로운 기술이 도입되어야만 한다.

실제로 DRAM은 每세대마다 resolution 향상을 위하여 새로운 기술이 개발되어 lithography의 한계를 극복하여 왔다. 한 예로 0.35 μ m 가공기술은 i-line(365 nm)에 PSM(phase shift mask)이나 새로운 광원 (e. g. excimer laser)을 이용하여 그 한계를 넘어섰다. 이러한 추세로 보면 0.25 μ m pattern은 향후 KrF(248nm)를 광원으로한 eximer laser로, 0.15 μ m 가공기술은 ArF(195nm)에 PSM을 적용하면 가능하리라 본다. 이렇듯, resolution을 향상시키는 방법은 파장이 짧은 광원을 사용하거나, lens의 NA(Numerical Aperture)를 높이든지, process parameter를 향상시키면 개선되지만, NA값을 높일 경우 DOF(Depth of Focus) margin은 약화된다. 때문에 미세가공기술은 평탄도등 다른 공정 기술에 의해 많은 영향을 받게된다. 이 외에 PR(Photo Resist)의 고감도, 고 해상도등, Deep UV PR개발이 필수적이며, aspect ratio가 높은 고단차

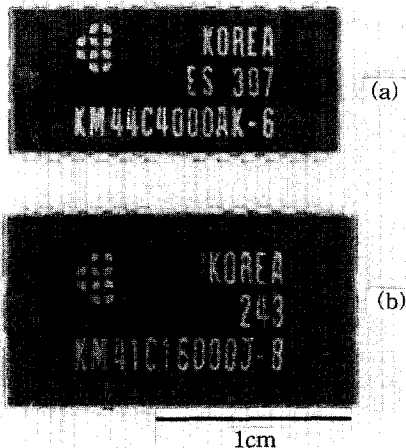


그림 3 삼성전자에서 개발한 16M DRAM SOJ package

(a) 300 mil LOC type SOJ package

(chip size : 15.03 * 6.2=93mm²)

(b) 400 mil SOJ package

(chip size : 16.65 * 7.7=129mm²)

Fig. 3 16M SOJ package developed in Samsung Electronics.

칩단 Device 개발	전자선 직접 묘화 (E-Beam writing)					
칩단 Litho graphy	전자선 부분 일괄					
	X선 (SOR)					
공 Litho graphy	ArF Excimer Laser					
	KrF Excimer Laser					
	i 선					
	G 선					
DRAM	4M	16 M	64 M	256 M	1 G	4 G
Design Rule	0.80 μm	0.60 μm	0.40 μm	0.25 μm	0.16 μm	0.12 μm

그림 4 DRAM대용량화에 따른 lithography개발 추이

Fig. 4 Lithography development trend related to DRAM density.

에서도 파괴되지 않는 견고한 PR이 개발되어져야 한다.

그림 4는 각 D/R(Design Rule)에 따른 현재 및 향후 lithography기술 추이를 나타낸 것으로, 0.15 μm 급 device개발시 가장 큰 문제는 양산 margin을 확보할 수 있는가에 달려있다. 때문에 소자의 단순화가 필요하게 되며, 0.15 μm 급 lithography가 신 기술개발의 시발점으로 볼때, 이 후에는 X-ray, E-beam등의 기술개발도 병행되리라 본다.

미세가공 관점에서 볼때 dry etch기술 또한 매우 중요하다. 현 dry etch 공정의 문제점으로는 미세 pattern size의 control, 신물질의 etch기술, 선택비, 다층 박막의 연속 etch기술, 대구경 wafer에서의 uniformity문제등을 들수 있다. 특히 0.15 μm pattern을 형성하기 위해서는, 기존의 RIE(Reactive Ion Etching)기술로서 기판의 손상과 오염 문제가 심각할 것이므로 다른 etch기술이 개발되어야 할 것이다. 이에 대한 향후 개발방향은 plasma physics에 대한 기본 연구와 아울러 다음과 같은 몇 가지 연구도 이루어져야 할 것이다.

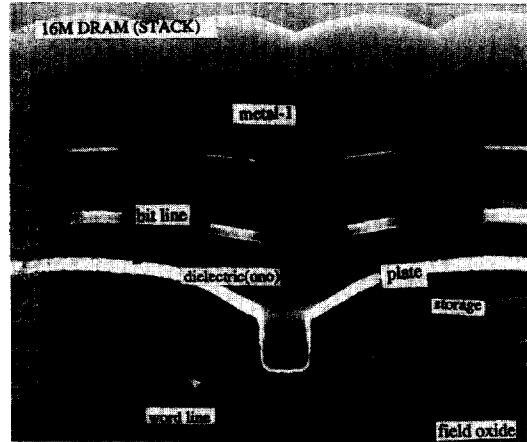
- 1) 저온 ECR, microwave plasma etch 기술과 아울러 새로운 metal etch기술개발
- 2) Etch 후 세정공정에 관한 연구개발
- 3) Damage free etch공정기술
- 4) 높은 선택비에 의한 etch후에도 견디는 새로운 PR연구도 함께 이루어져야 할 것이다.

2. 2. 2 Capacitor 기술

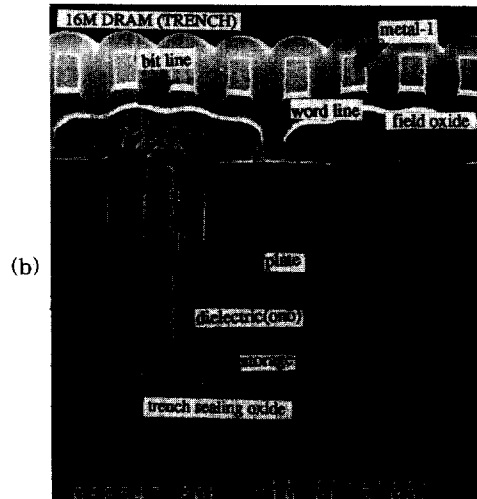
Deep-sub micron 영역에서, DRAM의 고집적화에 따른 가장 큰 문제점 중 하나가, data의 전하를 축적시키는 cell capacitor이다. 그 이유는, cell size가 감소하더라도, data sensing margin 및 soft

error등의 신뢰성 문제 때문에, 제한된 영역내에서 어느 수준 이상의 capacitance을 유지해야 되기 때문이다. 이러한 문제는 일반적으로 Vcc가 scaling됨에 따라 더욱 심각하게 대두되어 더욱 높은 capacitance를 요구하게 된다.

DRAM cell의 capacitance 증대는, $C=(\epsilon * A)/Tox$ 의 간단한 공식에 의하여, 구조적으로 cell표면적(A)를 증대 시키거나, 유전상수가 큰 재료를 사용하거나, 유전체 막의 두께(Tox)를 줄이는 3가지 방법이 있다. 표면적으로 cell capacitance을 증대시키는 방안은, 各社 독특한 형태의 구조(예를 들면, stack[1], trench[2], fin[3], cylinder[4], crown[5])를 제안하므로써 C값을 최적화 하였다. 유전막



(a)



(b)

그림 5 삼성전자에서 개발한 16M DRAM의 전형적인 cell 구조

(a) stack capacitor (b) trench capacitor

Fig. 5 Typical cell structure of 16M DRAM developed in Sam Sung Electronics.

두께는 점차 scaling 되어 최근 신뢰성이 보장되는 oxide/nitride/oxide 구조로 45Å까지 감소되었다. DRAM의 대용량화 추세에 따라, 위의 2가지 요소는 점차 한계에 도달하여 나머지 요소인 유전상수가 크고 신뢰성이 높은 물질 연구에 박차를 가하게 되었다. 이러한 관점에서 보면 256K~1M DRAM 세대에는 planar type의 cell 구조로 쉽게 요구되는 capacitance을 얻었으나, 4M/16M세대로 오면서 높은 capacitance을 얻기 위하여 각자마다 고유한 cell 구조를 발표하였다. 대표적으로 IBM, Toshiba 및 TI社등이 trench형으로, 대부분의 일본 및 한국 maker는 stack형으로, 일부 maker가 fin형태의 구조로 각각 요구되어지는 capacitance 값을 확보하였다. 그림 5는, 이미 삼성전자가 개발 완료한 16M DRAM의 stack형과 trench형 capacitor구조의 SEM단면도를 비교하여 나타낸 대표적인 예이다.

한편 64M/256M로 발전하면서 더욱 제한된 cell 영역에 동일한 capacitance를 얻기 위하여 신뢰성은 높으나 유전상수가 낮은 물질을 사용하기 때문에, cell 구조는 복잡한 3차원 형태의 구조를 채택하고 있다. 그림 6은 1M부터 256M DRAM까지 cell 구조의 발전 추이를 도식화하여 정리해 보았다. 이러한 추세로 보면, 1 G DRAM의 경우는 capacitor투영면적이 거의 0.2~0.25 μm^2 수준이 되어 256M DRAM수준의 capacitance을 얻기 위해서는 $T_{ox}=22\text{\AA}$ 정도로 극박막화 하여야 한다. 현재 신뢰성 문제로 40Å 이하의 막박화가 곤란하기 때문에

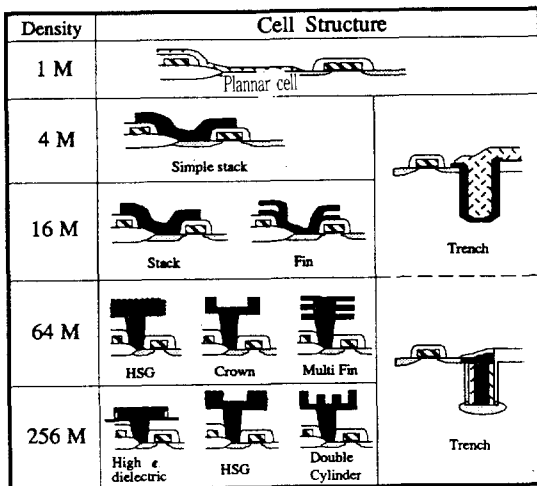


그림 6 DRAM대용량화에 따른 cell 구조의 개발 추이

Fig. 6 Development trend of cell structure related to DRAM density.

혁신적인 cell구조 개발이나 높은 고유전물질의 채택이 필요하다. 따라서 유전상수가 높은 물질을 개발하는 것이 DRAM capacitor의 한계를 극복할 수 있는 하나의 방향이나 아직 film deposition 문제, leakage 및 dielectric breakdown등의 신뢰성 문제를 해결해야 할 과제가 남아있다. 공정단순화 및 신뢰성 향상에 기여할 수 있는 새로운 물질 개발로 현재 Ta₂O₅, ZrO₂, Nb₂O₅, SrTiO₃, PZT, BST등이 연구개발중에 있다.

2. 2. 3 Device 관련기술(Gate 및 Junction기술)

Sub-micron소자의 미세 pattern형성에 따라 SCE (Short Channel Effect), HCE(Hot Carrier Effect), GIDL(Gate Induced Drain Leakage), TDDDB(Time Dependent Dielectric Breakdown)등의 bulk영향과 관련된 문제가 device에 발생된다. 표 1은 [6] 16M부터 1 G DRAM에 이르기까지의 device 및 기타 중요한 기술 spec추이를 나타낸 것으로, device가 scaling될수록 이러한 문제들은 더욱 심각해진다. 16M에서 1 G DRAM까지의 device관련 parameter(e.g., gate oxide두께, junction depth, gate물질, lithography)의 추이를 볼때 모두 향후 device기술의 어려움을 보여주고 있다.

표 1 1 DRAM의 대용량화에 따른 소자 및 기타 주요 spec의 추이

Table 1 Trend of important device and process parameters related to DRAM density.

구분	16M DRAM	64M DRAM	256M DRAM	1G DRAM	
D/R (μm)	0.5	0.35	0.25	0.15	
Cell size (μm ²)	4~5	1.5~2	0.6~0.8	0.25~0.3	
Chip size (mm ²)	93~95	180~200	270~300	400	
MOS	Cell Tr. (L-G)	0.56	0.35	0.25~0.3	0.15
	Tox (Å)	160	110	70	30~40
	Xj (μm)	0.25	0.2	0.1	0.08
	Vcc (V)	5.0	3.3	2.5	1.5~2
	Vbb (V)	-2.0	-1.5	-1.3	?
S	Tr. Vth (V)	1.3~1.4	1.0	0.7~0.8	0.6
	구조	LDD	LDD	CLDD	?
Tr.	Gate Material	Single poly	Single poly	Dual poly	?
	Gate 절연막	Pure ox	Pure ox	Pure ox/NO	?
Well Scheme	Twin well	Tripple well	Tripple well	?	
Isolation	Scheme	LOCOS Trench	Modified LOCOS Trench	Recessed LOCOS Shallow Trench	Trench
	Space (μm)	0.6	0.35	0.25	0.15
Lithography	i-Line	i-Line + PSM	KrF + PSM + MICRASCAN	ArF + PSM + MICRASCAN	

예를 들면 0.15 μm 기술을 구현하기 위하여는 $L_{gate}=0.15\mu\text{m}$, $T_{ox}=30\sim40\text{\AA}$, $V_{th}=0.6\text{V}$ 정도가 되어 device에 대한 심각한 문제들을 극복하여야 할 것이다. 먼저 MOS device를 형성하는 gate절연체에 대한 신뢰성 문제를 해결하여야 한다. device가

scaling되어 Tox가 100Å 이하가 되면 oxide tunneling 현상으로 leakage가 발생하여 소자 동작의 신뢰성을 잃게 된다. 이 문제 극복의 일환으로 단순 oxide 대신, oxide-nitride나 oxide-nitride-oxide 등의 sandwich 구조를 가진 dielectric 물질이나, 신공정을 이용한 oxide 막질을 개선하려는 노력을 하고 있다. 그러나 향후 누설전류가 적고 유전과피 전계가 높아 소자의 신뢰성을 향상시킬 수 있는 N_2O , Y_2O_3 , CeO_2 등 신재료 연구가 선행되어야 한다.

현재까지 대부분의 Gate 재료는 phosphorous가 과다 doping된 poly-silicon 물질을 사용하여 왔으나, speed 및 저항문제로 점차 복잡한 구조로 gate가 형성되고 있다. 64M DRAM 이후는 많은 회사가 poly+W이나 poly+TiSi₂ 형태의 물질을 채택한 polycide 구조로, 기능향상 및 metal 배선 공정 margin을 확보하는 노력이 보인다. 이러한 추이로 보면 향후 0.15 μ m급 device 기술 개발 시에는 배선의 복잡성, speed 및 저항 등의 문제로 gate dielectric 특성을 고려하여, etch가 용이하고, Vth의 안정성이 우수한 신물질 gate를 채택하여야 할 것이다. 현재 고려중인 물질은 Au, Al, Ti, Cu 등의 metal 재료가 연구중에 있다.

지금까지의 device junction 형성은 ion-implantation 기술을 이용하여 불순물을 주입한 후 thermal cycle을 통하여 불순물을 silicon 기관내로 drive-in 시킴으로써 달성하였다. 그러나 device가 점차 scaling 됨에 따라 bulk 영향과 관련된 SCE 및 GIDL 현상들이 나타나 device 기능을 크게 저하시킨다. SCE 현상은 gate 전압저하, punch-through 특성 및 subthreshold 특성저하 뿐만 아니라 drain 내압저하 등의 문제를 유발시키며, HCE 현상은 device의 신뢰성 문제를 초래하고, GIDL은 junction leakage를 유발시켜 DRAM의 data retention 특성을 저하시킨다. SCE 현상 대책으로는 effective channel length(Leff)의 축소를 최소화하기 위하여 shallow junction, channel 부위의 농도 증가 및 source / drain의 농도를 낮춤으로써 개선하여 왔다.

HCE 현상은, 現 4M/16M DRAM 급에서는 크게 문제가 되지 않지만 향후 device에서는 절연막질 개선이나 drain 구조를 개선하여 특성을 향상시켜야 할 것이다. GIDL 문제는 device의 off-current가 증가하는 현상으로 gate oxide의 sharp edge 영역에 높은 전계가 발생하여 junction leakage current를 유발하는 현상이다. 전계감소 방안으로 drain 구조를 개선하거나 gate oxide edge의 두께를 증대시키는 방법도 이미 제안되었다.

향후 device가 scaling 됨에 따라 상기 문제들은

더욱 심각해지므로 shallow junction 형성 방법으로는, SSG(Selectively Si Growth), GILD(Gas Immersion Laser Doping), SOG(Spin On Glass) 등의 연구가 진행되고 있다. 또한 device의 표면이나 bulk punchthrough를 향상시키기 위하여, channel 하부에 높은 농도를 유지하는 retrograde 형태의 doping 구조나 LDD 구조의 개선을 시도해야 할 것이다. 최근에는 SOI 구조의 장점을 통하여 상기 문제들을 해결하려는 시도가 각사에서 진행되리라 전망한다. 최근 0.15 μ m 이하급 CMOS device에 대한 각사의 상세한 기술동향은 1992/1993년도 IEDM(International Electron Devices Meeting) Technical Digest의 CMOS device Reliability section을 참조하기 바란다.

결론적으로, 향후 0.15 μ m급 transistor 개발은 위에서 언급한 바와같이 기존 구조의 개선에 의한 개발은 거의 한계에 달하였으므로, 새로운 구조를 가진 소자나 SOI 구조에 의한 구현등으로 실현할 수 있으리라 본다.

2. 2. 4 소자분리 기술

LOCOS(Local Oxidation of Silicon) 기술은 발명된 지 25년 이상이 지났지만 지금도 반도체 분야의 소자분리 기술로 널리 이용되고 있다. 그러나 최근 device가 더욱 미세화함에 따라 BB(Bird's Beak) 문제가 더욱 심각해져, pattern에 따라 active(transistor가 형성되는 silicon 영역)가 좁은 영역에서는 active pattern 형성이 어렵게 되거나, isolation width가 좁은 영역에서는 산화막이 충분히 길러지지 않는 현상이 발생된다. 전자의 경우는 device 형성이 어려울 뿐만 아니라 oxide 산화중 심한 local stress에 의한 defect 문제가 야기되며, 후자의 경우는 isolation 공정 이후 etching 공정으로 인해, oxide 두께가 얇아져 기능상 문제를 유발하기 때문에, 이를 억제키 위해 oxide 하부에 과다 doping을 하여야 하는 문제가 발생한다. 16M DRAM 세대 이후 LOCOS 구조를 변형시켜 보완하거나, isolation 폭이 좁아지더라도 깊이 방향으로 소자분리 능력을 향상시킬 수 있는 다양한 trench 구조가 채택되고 있다.

또한 아직 기술이 성숙한 단계는 아니지만, 이론적으로 0.1 μ m까지 완전한 isolation 및 transistor 문제를 해결할 수 있는 SOI(Silicon On Insulator) 구조에 대한 연구도 각사 활발히 진행되고 있는 실정이다. SOI 구조는 well 공정이 필요치 않고, 소자의 분리가 쉬워, submicron device의 결점을 보완할 수 있어, 향후 256M DRAM 이후 소자 개발 시 주목이 되는 기술 중의 하나다.

2. 2. 5 배선 및 평탄화 기술

반도체에서의 배선기술은 미세화를 위해 Lithography기술만큼이나 중요한 기술이다. 특히 다층배선 기술에서는 system업계의 다양한 요구속에서 memory와 logic의 기본 공정을 공통화하여 개발할 필요가 있다. 그러나, memory에 대표되는 미세배선, 미세 contact hole과, logic에 대표되는 배선층 수 증가 chip면적 증대를 포괄하는 신 기술의 공통분모 찾기가 용이하지 않다. 다층 배선의 관점에서 볼때, 속도기능을 첫째로하는 Bipolar LSI, ASIC분야에서는 이미 4~6층의 다층배선을 채택하고 있고, DRAM분야에서도 1M/4M DRAM 세대까지는 단층배선을 사용해 왔지만, 16M DRAM급 이상의 세대로 옮겨감에 따라, 기능향상을 위해 2층 혹은 3층의 다층배선 구조를 채택하고 있는 실정이다.

다층배선의 문제점은 device scaling됨에 따라 그림 7에서 보여주듯이, metal 배선층간의 미세배선 space의 매물 문제와, 공정상의 평탄도 부족으로 global 단차가 증가한다. 이로 인해 contact 및 Via hole의 aspect ratio가 증가해 Interconnection을 위한 metal 배선공정시에 어려움이 증대하였다. 또한 위의 문제점을 해결하기 위해 새로운 물질에 대한 deposition공정, 접착성, EM/SM(Electro/Stress Migration) 등에 대한 신뢰성이 또 다른 어려운 변수로 작용하고 있다.

평탄화 기술은, lithography의 DOF 및 배선 dry

etch의 margin확보를 위하여 필수 불가결한 것이다. 보통소자층은 BPSG reflow를 이용하여 평탄화를 이루며, global 평탄화는 SOG를 depo/etch back하고 TEOS/PEOX와 같은 CVD막질을 복합화하여 평탄화를 꾀하고 있다. 현행 SOG기술은 spin coating시 유동성이 적어, pattern이 조밀한 부분과 그렇지 않은 부분 사이에서 완전 flat한 surface확보가 어렵다. 이로 인하여 pattern의 조밀부위와 성긴 부위간에 global배선 단차문제를 초래한다. SOG 이외에 배선 평탄화 용으로 03-TEOS를 많이 사용하게 되는데, 두꺼운 막 형성시 신뢰성이 불충분하여, 단일 막으로 사용하지 못하고, 막질 특성이 뛰어난 plasma TEOS막위에 형성하게 된다. 이 때문에 03-TEOS도 특정폭의 배선 space보다 넓은 space에서는 평탄화 능력이 떨어지게 되어 다른 공정과 복합적으로 사용하거나 배선 space layout에 제약을 두어야한다. 향후 0.25 μ m 이하 D/R을 요하는 차세대 device를 위해, 내습성 및 crack에 강하며, 배선 측벽 부위에도 정착되면서, 미세 배선 공간내에 SOG유입 영역을 최대로 확보할 수 있는 하부 막질의 형성기술[7,8]과, etchback이 불필요하고 유동성이 좋은 SOG 도포 기술 및 신뢰성있는 03-TEOS의 막질 연구가 선행되어야 할 것이다.

배선의 단차 해소를 위한 평탄화 기술은, 최근 하층 막질인 oxide막 퇴적과 이온충격에 의한 sputter etch를 동시에 진행시키는 ECR-CVD 방법과, CMP (Chemical Mechanical Polishing)기술과 같은 신 기술의 실용화 및 연구 단계에 있다. ECR-CVD방법은 미세 space 매물 공정을 단독기술로 할 수 있는 가능성이 크므로 기대가 높고, CMP기술은 throughout이나 wafer 균일성, 오염, 이물질 제거기술 등의 단점도 있지만, 공정이 단순하고 특히 넓은 지역의 평탄화 및, dry etch로는 힘든 W/Au/Cu등의 metal 배선층의 pattern에는 아주 유용하여, memory나 logic분야에 채택하려는 움직임이 활발하다. 공정 단차로 생긴 aspect-ratio가 큰 contact 및 via hole은 현재 CVD-W으로 채우고 있으나, 점차 미세화 함에 따라, 이미 일부 DRAM maker에서 채택하고 있는 Al-reflow, collimated sputtering기술을 적극 도입하여 step coverage를 개선하는 노력도 필요로 할 것이다. 前述한 바와 같이 배선기술에서 가장 큰 문제는 배선재료의 EM/ SM신뢰성을 확보하는 문제이다. Al을 차세대에 연장하려는 노력의 일환으로, Al의 약점인 migration신뢰성의 문제점 대책으로 BM(Barrier Metal)을 contact에 사용하는 적층 구조를 채택하므로써, 0.6~0.3 μ m시대에는 거의 대

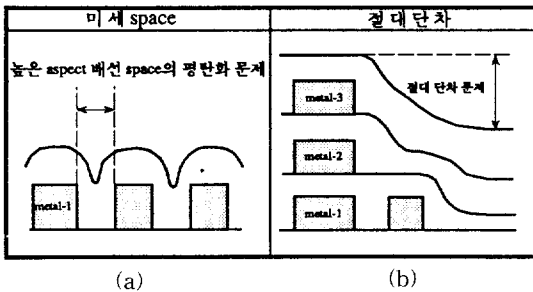


그림 7 배선 층간막 평탄화 기술문제
 (a) 미세 배선 space의 평탄화 문제
 (b) DRAM에서의 cell array영역과 주변회로 사이에서의 절대 단차 문제

Fig. 7 Planarization technology problem in inter-metallization.
 (a) Planarization problem in fine metal space.
 (b) Global step height difference between cell array and peripheral circuits in DRAM.

용 가능하다고 전망하고 있다. 그러나 향후 256M/1G급 DRAM에서 EM/SM을 보장할 수 있는 Au/Cu등 新 물질에 대한 연구 개발이 선행되어야 할 것이다. 결론적으로, 고집적화 될수록 배선기술에 대한 부담은 상대적으로 커지므로, 향후 cost절감을 위해 배선 공정의 단순화를 꾀하는 연구가 이루어져야 할 것이다.

2. 2. 6 공정원가 절감기술

DRAM을 포함한 반도체 산업이 해결해야 할 과제중 가장 심각한 것은 cost문제이다. sub-micron세대로 옮김에 따라 개발비 및 양산투자 비용이 엄청난 부담으로 증가하였다. 이러한 이유때문에 연구개발 단계에서 반도체의 양산성을 고려하여, cost를 삭감할 수 있는 공정기술에 주력할 필요성을 강조하며, 심지어는, DRAM의 고성능화보다는 低cost화를 우선해야 한다는 주장을 하는 maker도 있다. 여기에서 DRAM의 cost를 증가시키는 몇가지 중요한 요인을 찾아 그 대책에 관하여 간단히 논의해 보기로 한다.

첫째로, DRAM의 대용량에 따른 chip size가 每세대 약, 1.4배 증가하는 원인을 들 수 있다. 이에 대한 대책으로는 공정수 삭감, chip shrink 및 경제적으로 공정능력을 향상시키기 위한 wafer의 대구경화를 실시하는 것이다. 공정수 삭감 방안은 공정의 sequence를 바꾸거나 다른 他제품의 공정을 도입하여 공정을 단순화시키는 방법뿐만 아니라, 다품종의 LSI를 공통 공정으로 처리할 수 있는 신물질 개발 및 소자공정 개발의 간소화를 추진해야 할 것이다. wafer의 대구경화는 chip size의 증대에 따라 필연적인 것이며, 그림 2에서 제시했듯이 4M/16M DRAM으로 대용량화 함에 따라 wafer의 구경도 6 inch에서 8 inch로 대구경화 됨을 알 수 있다. 이러한 추세로 가면 64M/ 256M DRAM은 12 inch로 양산이 되어야 cost면에서 효과적일 것이다.

둘째로, 반도체 설비에 대한 원가 절감 방안으로 설비의 가동율을 향상시키고 세대간에도 가능한 동일 공정 장치를 사용할 수 있도록 공정 개발에 주력한다. 또한 wafer의 대구경화에 따른 single wafer system을 구축 하도록 한다. Single wafer system과 같이 cluster tool도 함께 구축하여 공정시간 단축 및 설비에서 기인된 공정 particle을 줄임으로써, 신뢰성, 소자기능 및 공정수율을 향상시킬 수 있다. 이외에 test 부문에서도 parallel방식을 도입하여 test시간을 단축하는 일도 cost절감의 일환이다.

셋째로, 개발cost를 줄이기위한 방안으로 연구체

제를 slim화 하여 효율을 향상시키고 일체화를 통해 제품 개발 기간을 단축한다. 또한 개발에 관해 他社와의 alliance를 적극 추진해야 할 것이다. 대표적인 例로 256M DRAM 개발을 IBM-Toshiba-Siemens, Hitachi-TI, 차세대 Flash Memory개발을 Fujitsu-AMD, Sharp-Inte, MPU 개발을 MIPS-NEC-Toshiba-Sony, Sun-Micro-systems-Fujitsu, HP-Hitachi-Oki와 같은 기업연합체가 이미 존재하고 있고 이러한 제휴의 기업형태는 모두 소개할수 없을 정도로 많다.

마지막 요소로 수율감소에 대한 대책은 chip의 redundancy 효율을 증대시키는 방안과, 超 세정 공정 기술을 개발하여 설비내의 particle 및 오염을 최소화 시킬 수 있도록한다. 초세정기술을 통하여 값싼 설비의 수명을 연장하고 particle 감소로 공정수율을 증대시킬 수 있을 것이다. 향후 DRAM은 대용량화/미세화 할수록 chip당 공정원가는 앞서 설명한 원인으로 증가 할 것이므로 cost절감을 위한 새로운 공정기술 및 신소재에 대한 연구가 필연적으로 수반되어야 할 것이다. 결국 DRAM 경쟁력도 low cost로 소자를 고성능화시키는 maker만이 살아 남을 수 있을것이다.

지금까지 몇 가지 중요한 공정기술 item을 선정하여 기술현황 및 향후 방향에 대하여 논의 하였지만, 이 외에도 차세대 기술개발시에는 well engineering, ion-implantation, 세정기술, 기관기술 및 FA(Failure Analysis) 기술방안 등에도 상세한 고려가 있어야 할 것이다.

3. 결 론

256M DRAM이 ISSCC에 발표됨에 따라 silicon IC의 한계라고 하는 1 G급 IC개발에 짐차 쫓점이 맞추어지고 있다. 이러한 기술개발 추이로 보면 그림 8에 제시한 바와 같이, 256M DRAM의 착수시키는 1990년 이었고, 1G DRAM은 1992년에 착수가 시작되어 1998년경에 개발이 완료되고, 양산 개시시기가 2004-2005년경이 될 것으로 예상된다.

그러나, 향후 DRAM기술은 단순한 공정기술개발 추진으로 양산 margin의 확보가 어렵고, 공정이 복잡하며, 또한 system의 다양화에 따른 제품요구가 강한 이유로 개발 cost가 높아져, 그에 대한 개발효과를 기대하기 어렵게 될 것이다. 따라서 앞서 일부 기술한 바와 같이 (1)제품 다양화에 따른 고도화된 신 설계기술 (2)scale-down에 따른 device의 특성 및 신뢰성, (3)etch/thin film에 대한 저온공정, (4)gate/capacitor에 대한 새로운 dielectrics물질개발 (5)shallow-junction기술 (6)평탄화

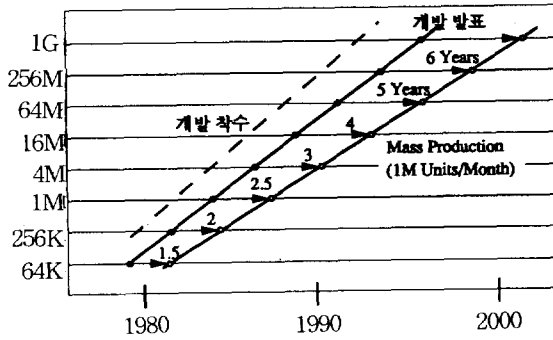


그림 8 DRAM의 연구개발 및 양산이전 추이
 Fig. 8 R & D and mass production trend of DRAM.

및 소자분리 기술 (7)배선기술 등에 대한 break-through가 선행되어야 할 것이다.

참 고 문 헌

[1] M. Kovanæri et al., IEDM Technical Digest, pp.348, 1978.
 [2] F. Horiguchi et al., IEDM Tehnical Digest, pp.324, 1987.
 [3] T. Ema et al., IEDM Technical Digest, pp. 592,1988.
 [4] K. Sagara et al., VLSI Technology Symposium pp. 10, 1992.
 [5] N. Shinmura et al., SSDM pp. 833, 1990.
 [6] 김홍균, 반도체 기술정보 7호, 통권 164호, 1993.
 [7] Y. Ikeda et al., IEDM Technical Digest, pp. 289, 1992.
 [8] M. Suzuki et al., IEDM Technical Digest, pp.293, 1992.

저자소개



박종우

1952년 7월 10일생. 1979년 2월 BS, MS Degree in Electrical Engineering, Yonsei University. 1977년 2월~79년 2월 한국과학 기술정보센터(KORSTIC) 연구원. 1979년 3월~1981년 5월 유한공업전문대학 전자공학과 교수. 1982년 7월~83년 5월 MRL(Materials Research Lab.) /Solid State Physics Dept., Pennsylvania State University, Engineering Dean's Research Fellow. 1983년 6월~88년 2월 Ph. D. in Electrical Engineering, Purdue University, Research Assistant. 1988년~92년 6월 IBM-USA Corp. in Semiconductor Technology Division. 1992년 7월~현재 삼성전자(주) 반도체부문 이사.