

Co/Ti 이중박막을 이용한 CoSi₂ 에피박막형성에 관한 연구

김종렬 · 배규식 · 박윤백* · 조윤성*

수원대학교 전자재료공학과
*현대전자(주) 반도체 사업부

A Study on the Formation of Epitaxial CoSi₂ Thin Film using Co/Ti Bilayer

Jong-Yul Kim, Kyoo-Sik Bae, Yun-Baik Park* and Yoon-Sung Cho*

Department of Electronic Materials Engineering, The University of Suwon, P.O.Box 77, Suwon 445-743

*Semiconductor Division, Hyundai Electronics, Ami-ri, Ichun-up, Ichun-gun, Kyunggi-do 467-800

초 록 전자빔 증착법을 사용하여 10nm 두께의 Ti과 18nm 두께의 Co를 Si(100) 기판에 증착한 후, N₂ 분위기에서 900°C, 20초 급속 열처리하여, Co/Ti 이중금속박막의 역전을 유도함으로써 CoSi₂ 박막을 형성하였다. 4점 탐침기로 측정된 면저항은 3.9Ω/□이었으며, 열처리 시간을 증가해도 이값을 유지하여 열적 안정성을 나타내었다. XRD 결과는 형성된 실리사이드는 기판과 에피박막을 갖는 CoSi₂상 임을 보였으며, SEM 사진은 평탄한 표면을 나타내었다. 단면 TEM 사진은 기판위에 형성된 박막층은 70nm 두께의 CoSi₂ 에피박막과 그위에 두개의 Co-Ti-Si 합금층등 세개의 층으로 되어 있음을 보였다. AES분석은, 기판상의 자연산화막이 열처리 초기, Ti에 의해 제거된후 Co가 원자적으로 깨끗한 Si 기판에 확산하여 CoSi₂ 에피박막을 형성할 수 있었음을 보여주었다. 700°C, 20초 + 900°C, 20초 이중 열처리를 한 경우, CoSi₂ 결정성장으로 면저항값은 약간 낮아졌으나, 박막의 표면과 계면이 거칠었다. 이 CoSi₂ 에피박막의 실제 소자에의 적용방안과 막의 역전을 통한 에피박막형성의 기제를 열역학 및 kinetics 관점에서 고찰하였다.

Abstract Ti film of 10nm thickness and Co film of 18nm thickness were sequentially e-beam evaporated onto Si (100) substrates. Metal-deposited samples were rapidly thermal-annealed(RTA) in the N₂ environment at 900°C for 20 sec. to induce the reversal of metal bilayer, so that CoSi₂ thin films could be formed. The sheet resistance measured by the 4-point probe was 3.9 Ω/□. This value was maintained with increase in annealing time upto 150 seconds, showing high thermal stability. The XRD spectra identified the silicide film formed on the Si substrate as a CoSi₂ epitaxial layer. The SEM micrographs showed smooth surface, and the cross-sectional TEM pictures revealed that the layer formed on the Si substrate were composed of two Co-Ti-Si alloy layers and 70nm thick CoSi₂ epi-layer. The AES analysis indicated that the native oxide on Si substrate was removed by Ti at the beginning of the RTA, and then that Co diffused to clean surface of Si substrate so that epitaxial CoSi₂ film could be formed. In the case of RTA at 700°C, 20sec. followed by 900°C, 20sec., the thin film showed lower sheet resistance, but rough surface and interface owing to CoSi₂ crystal growth. The application scheme of this CoSi₂ epi-layer to VLSI devices and the thermodynamic/kinetic mechanisms of the CoSi₂ epi-layer formation through the reversal of Co/Ti bilayer were discussed.

I. 서 론

VLSI MOS소자가 1μm이하의 스케일로 미세화되면서 소스/드레인 영역과 게이트 영역에서의 높은 직렬 및 접촉저항이 문제점으로 등장하였다¹⁾. 또한, VLSI소자에서 요구되는

얇은접합에서는 Al spiking때문에 기존의 Al 대신에 새로운 접촉 및 상호연결물질의 적용이 필요하게 되었다²⁾. 이에따라 비저항이 낮고, 열적, 화학적 안정성이 높은 금속실리사이드를 자기정렬 실리사이드화 (SALICIDE)를 통해 형성하려는 연구가 TiSi₂와 CoSi₂를 중심

으로 행하여져왔다^{3,4)}. 그러나 이들 실리사이드는 실리사이드/Si 계면이 거칠고, 면저항값이 불균일하며, 응집(agglomeration)에 따른 열적 불안정성으로 인해 소자에의 적용에는 어려움이 있었다. 이러한 문제점들은 Si기판 위의 자연산화막, 급속증착시의 잔여산소(residual oxygen), 실리사이드의 다결정구조 등에 기인한다⁵⁾. 따라서, 자연산화막과 잔여산소가 제거된 깨끗한 기판에 실리사이드 에피박막을 형성하면 이 문제점들이 해결될 것으로 기대된다^{6~10)}.

TiSi₂에 비해 CoSi₂는 Si과 같은 입방(cubic)구조이며 격자상수가 실리콘에 비해 1.2% 밖에 작지 않아 에피박막형성이 비교적 용이하다. 지금까지 CoSi₂에피 박막의 형성을 위해 고진공의 MBE를 이용하거나¹¹⁾, 높은 농도의 Co를 Si기판에 주입하고 열처리하는 방법⁷⁾ 등이 시도되었으나 실제 소자에의 적용에는 너무 비싸고 비실용적이다. 최근에 Co/내열급속을 Si기판에 증착하고 급속열처리(rapid thermal annealing, RTA)하여 막의 역전(reversal)을 통해 CoSi₂에피박막을 형성하는 방법(이하 "역전법"으로 표기)^{8~10)}이 시도되고 있다. 역전법에서는 내열급속의 산소진화력과 CoSi₂형성시 Co가 이동물질(moving species)임을 이용하여, 열처리시 내열급속이 먼저 산소를 환원하여 깨끗한 기판표면을 만든 후 Co가 확산하여 CoSi₂를 형성하게 한다.

역전법은 고진공을 필요로 하지 않으며, 기존의 VLSI제조공정을 변화시키지 않고 적용할 수 있다. 또한, 기존의 단일 Co박막의 열처리를 통한 CoSi₂ 형성시, 증착하는 Co두께를 최소화하여도, 3.63배 두께의 Si($t_{Si}/t_{Co} = 3.63$)이 파손될 위험이 있으며, 이때 3.49배 두께의 CoSi₂($t_{CoSi_2}/t_{Co} = 3.49$)가 형성되므로¹¹⁾, VLSI소자에 요구되는 두께의 CoSi₂박막을 얻기가 어려우나, 역전법에서는 Si기판에 도달하는 Co의 양이 중간 내열급속층에 의해 제한되므로, 과다한 Si소모로 인한 얇은 접합의 파손을 방지할 수 있고, 동시에 CoSi₂ 형성두께도 조절할 수 있다¹⁰⁾. 또한 내열급속으로 Ti를 사용하는 경우, 막의 역전으로 표면층으로 이동한 Ti층은 TiN을 형성할 수 있으며, 이 표면 TiN층은 CoSi₂와 Al사이의 확산장벽

층으로 이용할 수 있다¹²⁾.

본 연구에서는 Si(100)기판에 10nm 두께의 Ti와 18nm 두께의 Co를 증착한 후 급속열처리할 때, 열처리 조건에 따른 박막의 전기적 특성, 열적 안정성, 길정구조, 계면구조를 비교하여, 막역전을 통해 급속이중박막으로부터 에피박막이 형성되는 기제(mechanism)의 규명과 역전법의 실제소자에의 적용가능성을 조사하였다.

II. 실험 방법

소스와 드레인영역에서의 CoSi₂ 에피박막형성을 연구하기 위하여 비저항이 10~20Ω·cm인 4인치 P형(100) Si 웨이퍼를 기판으로 사용하였다. 웨이퍼를 10:1 HF 용액으로 세척한 후, 전자빔 증발증착기(EDWARD AUTO 306)를 사용하여, 5×10⁻⁶ torr 이하의 진공하에서 10nm 두께의 Ti박막과 18nm 두께의 Co박막을 연속으로 증착하였다. 증착된 시편은 질소(N₂) 분위기에서 (1) 500~1000°C 20초간 RTA 또는 (2) 700°C 20초 RTA 후 900°C 20초 후속 RTA를 실시하여 비교하였다. 또, 열적안정성을 조사하기 위하여 900°C에서 20~150초 동안 RTA하였다.

열처리한 시편의 면저항은 4점탐침기(4-point probe)로 측정하고, 박막의 길정구조와 조성은 X선회절기(XRD)로 조사하였다. 박막의 두께와 형태(morphology)는 투과전자현미경(TEM)을, 표면상태는 주사전자현미경(SEM)을 이용하여 관찰하였다. 박막의 깊이에 따른 원소분포에 대한 분석은 Auger전자분광기(AES)를 이용하였다.

III. 결과 및 고찰

단일 코발트층을 실리콘 기판에 증착하고 열처리하는 기존의 공정의 경우, 약 350°C에서 초기상인 Co₂Si가 생성되기 시작하고, 온도를 증가하면 이 초기상이 CoSi로 상변환을 하며, 550°C 이상이 되면 CoSi가 최종상인 CoSi₂로의 상변환이 시작된다¹³⁾. 코발트 실리사이드의 초기상인 Co₂Si와 중간상인 CoSi의 비저항은 각각 60~130μΩ·cm와 90~170μΩ·cm이고 최종상인 CoSi₂는 15~25μΩ·cm이다¹³⁾. 따라서 코발트 실리사이드의 비저항의 크기는 CoSi₂상의 양에 의해 결정된다. 그럼

1은 Co/Ti이 증착된 시편을 500~1000°C 온도범위로 질소분위기에서 20초 열처리한 시편의 면저항(sheet resistance)의 변화를 보였다. 면저항은 550°C에서 최고값으로 증가하였다가 그이상의 온도에서 점차 감소하여 900°C 이상의 온도에서는 3.9~5.0Ω/□으로 일정하였다. 이결과에 의하면, 역전법을 이용한 경우도 기존의 공정과 마찬가지로, 500°C이하에서는 Co₂Si와 CoSi상이 주로 형성되며, 550°C에서 비저항이 높은 CoSi상이 가장 많이 생성되며, 그이상의 온도에서는 비저항이 낮은 CoSi₂상이 형성되기 시작함을 추정할 수 있다. 이와 관련하여, 실리콘 기판위의 Co/Ta을 열처리한 시편을 XRD로 분석한 이전의 연구¹⁰⁾에서도 이와 유사한 결과를 보인 바 있다. 한편, 700°C 20초 열처리 후 900°C 20초 이중 열처리를 한 경우(B)의 면저항값은 900°C 20초 단일열처리한 경우(A)의 3.9Ω/□와 비교하여 약간 낮은 값(3.0Ω/□)을 보였다. 이것은 다음의 XRD 결과에 비추어 CoSi₂의 결정 성장에 기인한 것으로, Co 단일 박막을 이용한 실험¹²⁾에서도 관찰된 바 있다.

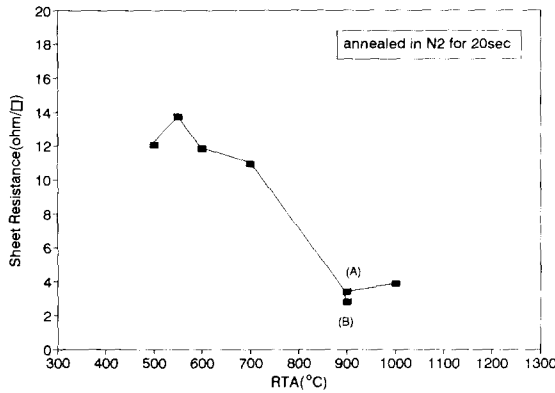


Fig. 1. The changes of the sheet resistance as a function of annealing temperature for 20 sec. RTA.

그림 2에 900°C에서 열처리 시간을 20초로부터 150초까지 단계적으로 늘였을 때의 면저항의 변화를 보였다. 면저항은 열처리 시간이 증가해도 변화가 없으며, 이는 형성된 CoSi₂박막이 열적으로 매우 안정함을 보여준다. 기존의 Co단일박막에 의해 생성된 CoSi₂박막의 면저항은 1000°C에서 60초 이상 열처

리¹⁰⁾하거나, 열처리 온도가 900°C~1100°C가 되면¹³⁻¹⁴⁾ 급격히 증가하는데, 이는 실리콘사이드-Si 계면이 거칠고 다결정구조를 하고 있어서, 열처리시간이 길어지면 계면에너지를 최소화하려는 실리콘사이드박막의 응집이 그 원인으로 알려져 있다^{13,14)}. 반면에 열처리 온도나 시간이 1100°C나 120초까지 증가해도, 다결정의 면저항은 일정하거나, 심지어는 감소하고^{12,15)} 900°C일때 10⁵초 이상 열처리하여야 현저한 면저항의 증가가 있다는 상반된 실험결과¹⁶⁾도 있다. 이차이는 열처리 초기에 형성된 박막의 결정립의 크기, 계면저항의 정도에 기인하는 것으로 판단되어진다. 즉, 후자^{12,15,16)}의 경우 비교적 결정립이 크고, 계면이 평탄한 결과, 응집이 느리게 진행되어 면저항의 저하가 억제될 수 있었다. 그림 2의 결과도 후자의 경우에 속한다.

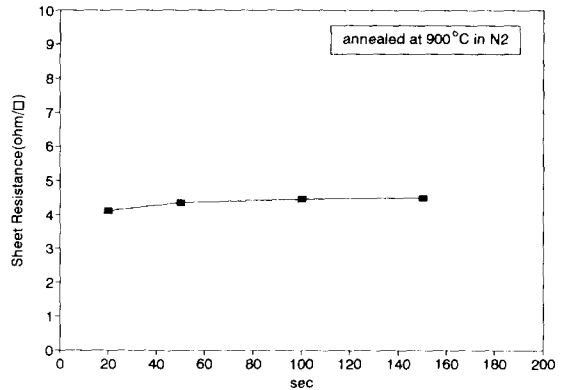


Fig. 2. The changes of the sheet resistance as a function of annealing time for 900°C RTA.

그림 3은 Co/Ti 이중박막을 (a) 증착후 열처리하기 전(as-deposited), (b) 단일 열처리(A), (c) 이중 열처리(B)한 시편에 대한 XRD 결과이다. 열처리하기 전에는(그림 3-(a)) Si기판 피크만이 나타나는데, 이는 증착된 Co와 Ti이 비정질 상태임을 보여준다. 단일(A) 및 이중(B)열처리를 한 경우, 기판피크인 (200)Si외에 CoSi₂(200) 피크가 나타나는데, 이는 CoSi₂ 에피박막이 성장하였음을 의미한다. 이때 (100)계면에서의 orientation 관계는

(100) Si // (100) CoSi₂

(110) Si // (110) CoSi₂

가 성립된다⁹⁾.

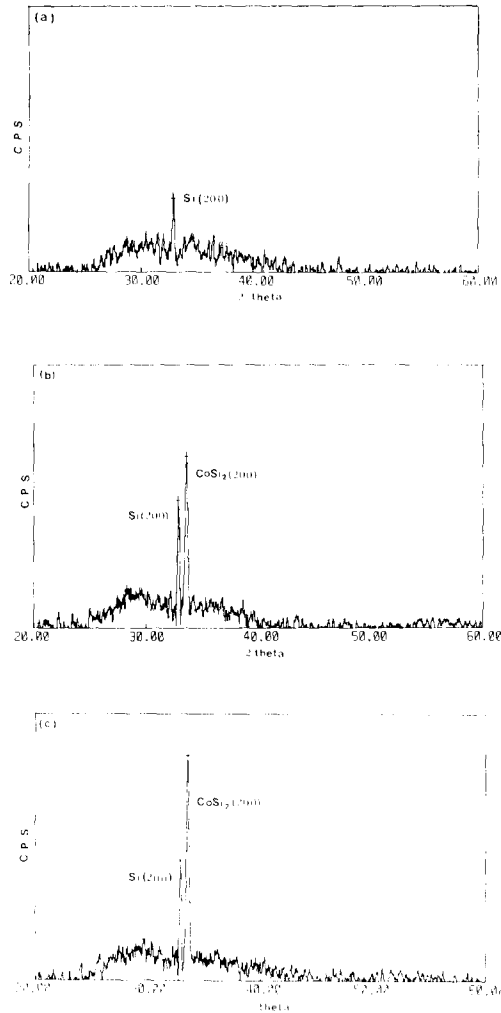


Fig. 3. XRD patterns:(a) as deposited Co/Ti bilayer. (b) after RTA at 900°C for 20 sec. and (c) after RTA at 700°C for 20 sec. + 900°C for 20 sec.

위의 (a) (b) (c)조건에 대한 AES 깊이분석을 그림 4에 나타내었다. 증착 직후의 시편(그림 4-(a))에서 산소원자가 Si층과 Co층 사이의 Ti층에 집중되어 있음을 볼 수 있다. 이 산소는 자연산화막에 의한 것까지 증착

중 포획된 것으로 Ti에 용해되어 존재하는 것으로 보인다. 증착일치리를 하면(그림 4-(b), (c)) Si 기판원자는 표면쪽에 있는 Co층으로 확산하고, Co원자는 Ti층을 통하여 Si기판층으로 이동한다. 이때, Si와 Co의 농도는 Ti층에서 급격한 감소를 보이는데, 이는 Si와 Co가 Ti층을 통과할 때 중간재(intermediate phase)를 형성하였다가 다시 확산되기 때문이다¹⁰⁾. 한편, 산소를 포함한 Ti층은 상대적으로 표면쪽으로 이동하여 결과적으로 막의 역전이 일어나게 되었다.

그 결과, (1) 다량의 Si와 Co외에 소량의 Ti가 섞여있는 표면층과, (2) 다량의 Si와 Co만이 존재하는 기판쪽의 내층, (3) 이 두층 사이에 Ti와 산소외에 Si와 Co가 섞여 있는 중간층등 세개의 층이 형성되었음을 알 수 있다. 내층은 CoSi₂ 층이며, 표면층은 CoSi₂외에도 복잡한 여러 minor 복합체와 합금고용체가 섞여있으며, 중간층은 산소가 고용된 Ti위

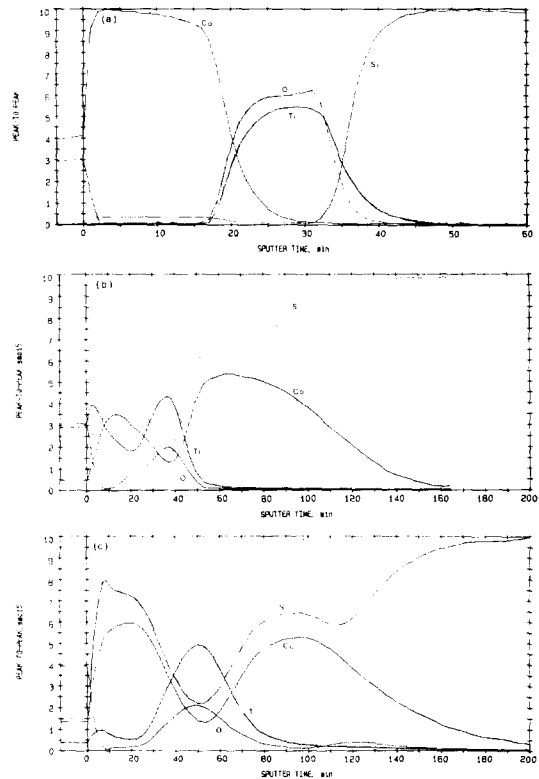


Fig. 4. AES depth profile : (a) as deposited Co/Ti bilayer. (b) after RTA at 900°C for 20 sec and (c) after RTA at 700°C for 20 sec. + 900°C for 20 sec.

주의 고용체가 비정질형태로 남아 있다¹⁰⁾. 그런데, CoSi₂ 박막중도 Co와 Si의 조성비율이 깊이에 따라 일정하지 않다. 따라서, 내층에는 CoSi₂ 외에 비정질의 minor 상이 소량 섞여있는 것으로 판단된다. 이중열처리시(그림 4-(c)) Co의 기판내 확산 깊이가 늘어났으며, Si의 표면층에로의 확산량도 늘어났다.

그림 5는 단일(A) 및 이중(B)열처리한 시편의 SEM 표면사진이다. 단일 열처리하였을 때는 표면은 평평하여 전지역에서 균일한 반응이 일어났음을 보여준다. 그러나, 이중 열처리의 경우, 표면은 기질과 구상의 입사형상이 현저하다. 이는 그림 4의 AES결과에서 보듯이, Ti층을 통과하여 표면으로 확산되는 Si량이 증가하여 표면층에 새로운 CoSi₂가 부분적으로 형성하거나, 기존의 CoSi₂결정립이 성장하여 생긴것이다.

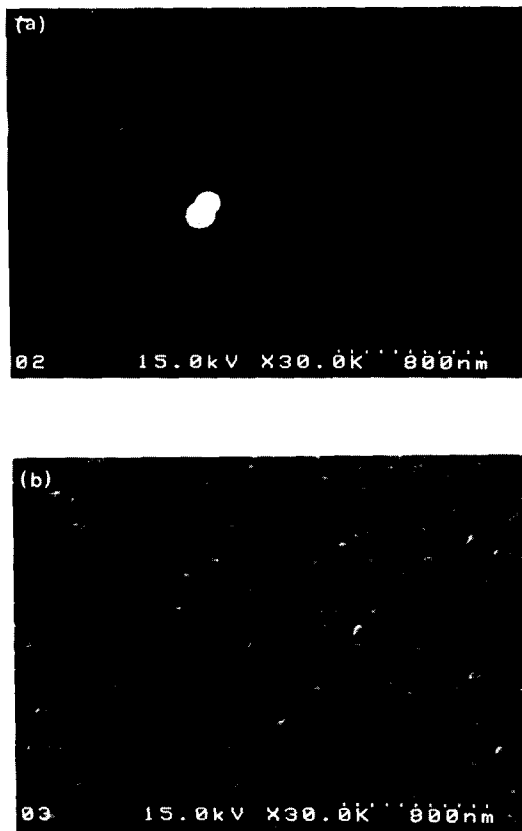


Fig. 5. Surfacial SEM micrographs : (a) after RTA at 900°C for 20 sec. and (b) after RTA at 700°C for 20 sec. + 900°C for 20 sec.

그림 6은 증착직후, 단일(A) 및 이중(B)열처리한 시편의 TEM 단면사진이다. 그림 6-(a)에서 증착후의 Co와 Ti의 두께는 각각 18nm와 10nm이며, Si와 Ti, Ti와 Co의 계면

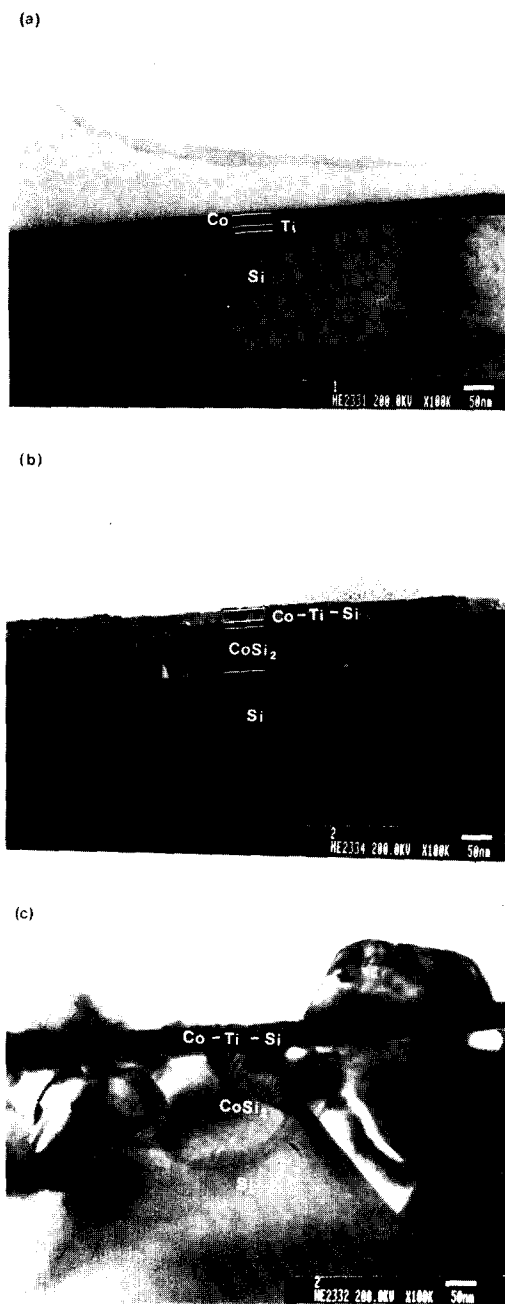


Fig. 6. Cross-sectional TEM micrographs : (a) as-deposited Co/Ti bilayer. (b) after RTA at 900°C for 20 sec. and (c) after RTA at 700°C for 20 sec. + 900°C for 20 sec.

은 선명하고 일직선을 이루고 있음을 알 수 있다. 단일 열처리를 한 경우(그림 6-(b)), Si 기판위에 70nm 두께의 CoSi_2 박막층, 25nm 두께의 표면층, 그리고 그 사이에 5nm 두께의 중간층등 세개의 층이 형성되어 있음을 볼 수 있는데, 이는 AES 결과와도 일치한다. 그런데 Hsia등²⁾은 Co/Ti 이중박막으로 부터 다결정 구조의 Ti-Co-Si 표면층(1:1:2의 화학조성)과 단결정인 CoSi_2 에피박막만 형성되었다고 보고하였다. 본 연구의 XRD결과에 의하면, 형성된 결정상은 CoSi_2 뿐이며(이 결과는 별도의 glancing angle XRD에 의해서도 확인됨), AES(그림 4) 및 TEM(그림 6) 결과는 표면층은 화학조성이 상이한 두개의 층으로 되어 있음을 명확히 보여준다. 또 본 실험의 경우, CoSi_2 박막은 Si 기판과 에피관계를 갖지만 다결정구조를 하고 있다. 이러한 차이점은 기판표면의 깨끗한 정도, 증착시의 진공도, Co/Ti 박막 두께의 상이에 기인 하는 것으로서, Ti 층이 너무 두꺼워 Si기판에 도달 하는 Co 양이 균일치 못하고, Si 기판에 남아 있는 자연산화물 때문에 CoSi_2 박막이 단결정으로 균일성장을 하지 못한 것으로 판단된다.

그림 6-(b)에서, CoSi_2 박막층의 표면은 비교적 평탄하나, Si 기판과의 계면은 굴곡이 크며($\pm 10\text{nm}$), 특히 삼중점(triple point)에서는 박막의 두께가 작은 것을 볼 수 있다. CoSi_2 박막의 두께 70nm는 VLSI소자에서 요구되는 30~50nm¹⁷⁾보다 크지만, Co와 Ti의 증착 두께를 조절하면 원하는 두께의 실리사이드박막을 얻을 수 있다. 측정된 면저항($3.9 \Omega/\square$)은 형성된 세개의 층중 CoSi_2 박막에 의한 것이 대부분이므로⁸⁾, CoSi_2 박막의 두께를 고려하면 비저항은 $27 \mu\Omega \cdot \text{cm}$ 가 된다. 이 값은 보고된 최소값($10 \sim 17 \mu\Omega \cdot \text{cm}$)⁸⁾보다는 큰데, 이는 CoSi_2 층 내에 잔존하는 minor 상의 영향 때문이다.

이중 열처리를 한 경우(그림 6-(c)), 내층은 기판쪽으로, 표면층은 바깥으로 결정성상이 조대하게 일어났다. 이는 열처리 시간이 길어져, 표면층의 Co는 기판쪽으로, 기판 Si는 표면으로 확산이 증대되어, 그 결과 CoSi_2 박막의 결정성상이 촉진된 때문으로서, AES 결과(그림 4)에서 확인된 바와 같다. 특기할 것은 성장한 결정립이 Si기판표면과 나란하게

나 약 55°의 각도를 하고 있다는 점이다. 이러한 형태의 결정성상은 Si과 격자불일치가 0.4% 밖에 되지 않는 NiSi_2 의 경우에도 나타난다¹⁸⁾. 이 55°(정확히는 54.7°)를 한 변은 에너지가 낮은 {111}면이다¹⁸⁾. 표면층에서도 부분적으로 섬(island)모양의 결정이 표면쪽으로 성장하였다. 이러한 결정성상은 그림 1에서 나타난 바와 같이 약간의 면저항 감소를 가져오는 장점¹⁹⁾도 있지만, 박막의 표면과 계면이 거칠어져 집적저항증가등²⁰⁾의 전기적 성질을 저하시키므로, VLSI 소자에의 적용에는 바람직하지 않다. 위에서 언급한 바와 같이, VLSI 소자의 집적으로서의 적용을 위해서는 단결정 CoSi_2 에피박막형성이 가장 바람직한데 증착전 Si 기판표면의 효과적 세척과 Co/Ti 박막두께비(thickness ratio)를 조절하면 가능하리라 사료된다.

박의 역전에 의해 이중금속박막으로 부터 실리사이드 에피박막이 형성되는 기제는 현재로는 정확히 밝혀지지 않았으나⁸⁻¹⁰⁾, 두 금속의 산화에너지, 금속과 Si의 상호용도, 확산시 이동불질등의 관점에서 이해될 수 있다. 그림 7에 내열금속의 산화물 형성에너지를 나타내었다²¹⁾. 산화력은 VIA 족에서 IVA 족으로 갈수록 커지며, 특히 IVA 족인 Ti, Zr, Hf은 Si의 산화력보다 커서, SiO_2 를 환원할 수 있다. 반면, Co 등의 VIII 족(near-noble metal)의 산화력은 IVA 족과 마찬가지로 Si보다 낮다²⁾. 또, 산소의 용해도도 1000°C를 기준하여 IVA족이 6at.% 이상이나, VIII족은 0.1at.% 이하이다²⁾. 따라서 열처리 초기에는

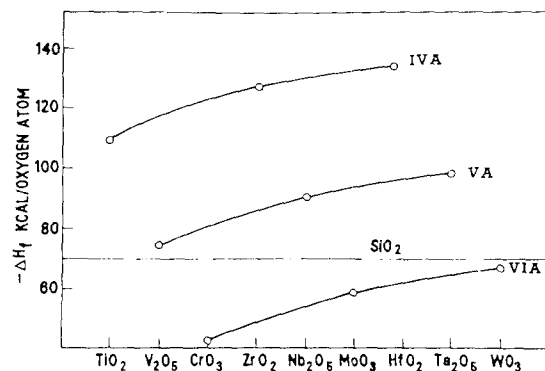


Fig. 7. A Plot of heats of formation (ΔH_f) per oxygen atom of various oxides of groups IVA., VA and VIA elements²¹⁾.

Si 기판과 접촉하고 있는 Ti이 기판 표면에 자연산화막으로 존재하는 산소를 환원하여 고용하거나 TiO₂를 생성함으로써, 산화물이 제거된 깨끗한 기판 표면을 만든다.

이때 Co, Ti, Si의 상호확산이 일어나는데, 여러형태의 고용체와 중간반응 생성물이 형성될 수 있다. 표 1의 Co, Ti, Si에 대한 확산계수(D)에 의하면, 900°C를 기준으로 Co의 Ti 내의 확산계수(diffusion coefficient, D)가 가

장 높다. 즉, Co의 Ti층으로의 확산이 제일 먼저 일어난다. 한편, Co-Ti 상평형도에 의하면, 확산되는 Co양이 증가함에 따라 Ti 층은 β-Ti, 여러형태의 Co-Ti 합금, β-Co의 순으로 상변환이 일어난다. CoSi₂ 형성에 참여하는 Co는 이 β-Co로 부터이며, 자연산화막이 제거된 Si 기판에 도달하는 이 Co의 양은 Co과 Ti의 상대적 양에 따라 틀리나, β-Co의 Ti용해도가 5%에 지나지 않으므로 제한적이다.

Table 1. Parameters of diffusion in Co, Ti and Si^{2,20)}

Diffusing Element	Material	D, (cm ² /sec)	E _d (KJ/mole)	Temp. Range (°C)	D at 900°C (cm ² /sec)
Co	β-Co	0.50	273.8	772 ~ 1048	3.2 × 10 ⁻¹³
Co	Ti	1.2 × 10 ⁻²	128.1	900 ~ 1600	2.4 × 10 ⁻⁵
Co	Si	9.2 × 10 ⁻⁴	269.8	—	8.8 × 10 ⁻¹⁶
Ti	α-Ti	6.4 × 10 ⁻⁵	122.7	690 ~ 850	2.2 × 10 ⁻¹³
Ti	β-Ti	3.6 × 10 ⁻⁴	130.6	900 ~ 1540	5.4 × 10 ⁻¹⁰
Ti	Si	2.0 × 10 ⁻⁵	144.6	—	7.2 × 10 ⁻¹²
Si	Si	154	448.4	855 ~ 1175	1.6 × 10 ⁻¹⁸
Si	α-Ti	4.4 × 10 ⁻⁷	105.2	650 ~ 800	9.0 × 10 ⁻¹²

열처리 초기, Co가 기판에 도달하기전에 Ti은 이미 Si과 접촉하고 있었으므로, Ti 실리사이드가 우선적으로 형성될 수 있을 것으로 생각되어진다. 그러나, 표 2에서 보듯 Ti 실리사이드의 초기형성장인 TiSi₂의 형성에너지는 44.8KJ/gr.atom인데 비해, Co-Ti의 혼합(mixing) 및 화합물 형성에너지는 46KJ/gr.atom 이상이므로²²⁾, TiSi₂ 형성은 억제되고, Co의 Ti 층으로의 확산에 따른 Ti-Co 고용체 및 화합물이 우선적으로 형성된다. 일단 확산 속도가 빠른 Co가 Si기판의 전표면에 도달하면, Ti 층은 Si기판과의 접촉이 차단되므로 TiSi₂

는 형성될 수 없다. 그러나 증착된 Ti층이 너무 두꺼우면 일부의 Ti은 β-Ti의 형태로 Si과 접촉한 상태로 남아서 TiSi₂를 형성할 수 있다. 따라서, TiSi₂형성의 억제를 위해서는 증착 Ti의 두께의 조절이 필요하다. 반면, CoSi₂ 및 TiSi₂의 형성 에너지와 활성화 에너지(또는 형성 온도)의 차이는 막의 역전을 통한 CoSi₂형성에 큰 영향을 미치지 않는 것으로 보여진다.

실리사이드의 초기형성장인 Ti의 경우에는 TiSi₂이나, Co인 경우 Co₂Si(orthorhombic)이며, 이로부터 후속상인 CoSi(cubic, a = 0.44nm)

Table 2. Thermodynamic and growth kinetic data for various silicides^{2,21)}

Silicide	Formation Temp. (°C)	Activation Energy(KJ/mole)	Growth Rate	Moving Species	Heat of Formation (KJ/metal atom)
Co ₂ Si	350~500	144.6	t ^{1/2}	Co	39.0
CoSi	375~500	183.1	t ^{1/2}	Si	47.3
CoSi ₂	550	190.0	—	Co	33.1
Ti ₅ Si ₄	500	—	—	—	72.5
TiSi	550	173.5	t ^{1/2}	Si	64.9
TiSi ₂	600	209.1	t ^{1/2}	Si	44.8

와 CoSi_2 (cubic, $a = .54\text{nm}$)가 순차적으로 형성된다. 그러나, 결정구조와 격자상수의 격차가 큰 Co_2Si 와 CoSi 의 상변환을 통해 에피층의 CoSi_2 가 형성되기는 어렵다²⁾. 따라서 Co가 기판표면에 도달하였을 때는 이미 온도가 550°C를 넘어 있어서, CoSi_2 의 형성이 중간단계 없이 일어남을 가정할 수 있다. 이 경우, Co 원자는 Si격자의 sublattice 위치만 점유하면 기판 Si와 에피관계를 갖는 CoSi_2 를 생성할 수 있다³⁾. 이상의 결과에 미루어, 막의 역전에 따른 CoSi_2 에피막막 형성과정은 (1) Co의 Ti 내 높은 확산도, (2) TiSi_2 형성에너지 보다 높은 Co-Ti 혼합 및 복합체 형성에너지, (3) 적절한 증착 Ti의 두께가 가장 중요한 요소(parameter)로 보여진다.

기판위에 CoSi_2 가 형성되면서, 기판 Si의 표면으로의 확산(out-diffusion)도 일어난다. Si은 CoSi_2 층을 통해 확산하여⁴⁾, Ti중간층과 Co 표면층에 도달한다. 이때, 900°C를 기준한 Ti의 Si고용도는 0.8~1.1%에 불과하나, Co의 Si고용도는 13%나 되어⁵⁾, AES 결과(그림 4)에 나타난 바와 같이 소량의 Si만이 Ti에 고용되거나 TiSi_2 를 형성한다. 이와 동시에, 표면층의 Co도 Ti위주의 이 중간층에 확산되어 CoSi_2 , Co-Ti, Co-Ti-Si 등의 복합체를 만든다. 한편, Co 위주의 표면층으로 확산한 Si은 양론적으로 충분하게 되면 CoSi_2 를 형성한다. 이상의 개관적 모형은 막막과 벌크의 열역학적 차이점, Co-Ti-Si 삼상계에 대한 상호확산 이론 등을 고려하고 보다 많은 실험을 통해 보완되어야 한다.

VI. 결 론

1) Co/Ti 이중금속막막을 900°C 20초 급속 열처리하여 면저항이 3.9~5 Ω/\square 이고 일직으로 안정된 CoSi_2 에피막막을 형성하였다. 이는 산화력이 큰 Ti이 자연산화막을 환원하여 깨끗한 Si기판표면을 만들고, 이곳에 확산도가 빠른 Co가 이동하여 Co와 Ti막막의 위치 역전을 일으키면서, CoSi_2 를 만들기 때문이다.

2) Co가 Ti층을 통하여 기판 Si에 도달하므로 원자이동량이 자기억제된다. 그 결과 형성되는 CoSi_2 의 두께가 제한되어 70nm 두께의 막막이 형성되었다. Co와 Ti의 증착두께를 조절하여 보다 얇은 CoSi_2 막막형성이 가능하

다. 이는 또한 Si소모량의 최소화를 의미하며, 따라서 실리콘사이드형성시 얇은 접합을 파괴하지 않는 이점도 있어 VLSI MOS 소자제작에 적합하다.

3) 그러나, 생성된 CoSi_2 막막은 다결정이며 Si 기판과의 계면이 거칠었다. 증착전 기판을 보다 효과적으로 세척하고, Co와 Ti의 증착두께를 조절하면, 계면이 평탄한 단결정 CoSi_2 막막형성이 가능할 것으로 판단된다.

4) CoSi_2 에피막막위에 Ti이 많은 내층과 Co가 많은 표면층이 동시에 형성되었다. 이들은 다양한 조성을 한 Co-Ti-Si 혼합 및 복합체로서, CoSi_2 에피막막의 소자적용에는 불필요하므로 에칭되어야 한다.

5) 700°C 20초 + 900°C 20초 이중열처리를 한 경우, CoSi_2 결정성장으로 면저항값은 낮아졌으나 계면과 표면은 매우 거칠었다.

6) 열처리 공정중 주된 확산원자는 Co와 Si이었으며, 막의 역전에 따른 CoSi_2 에피막막 형성과정은 (1) Co의 Ti내 높은 확산도, (2) TiSi_2 형성에너지 보다 높은 Co-Ti 혼합 및 복합체 형성 에너지, (3) 적절한 증착 Ti의 두께가 가장 중요한 요소로 보여진다.

후 기

본 연구는 1992/1993년도 교육부 학술연구 조성비와 서울대학교 반도체 공동연구소(ISRC)의 도움으로 수행되었기에 감사함을 드립니다.

참 고 문 헌

1. K.K.Ng and W.T.Lynch, IEEE Trans. ED-34, 503 (1987).
2. S.P.Murarka, *Silicides for VLSI Applications*, Academic Press, Inc., New York, U.S.A., (1983).
3. 김영옥, 이내인, 고종우, 김인권, 인성태, 이종식, 송세안, 한국재료학회지, 3(2), 158 (1993).
4. B.-S. Chen and M.-C. Chen, J. Appl. Phys., 72(10), 4619 (1992).
5. K.N.Tu and J.W.Mayer, *Thin Films: Interdiffusion and Reaction*, Wiley-Interscience, New York, U.S.A., 359 (1978)

6. J.M.Gibson, J.L.Bastone and R.T.Tung, Appl. Phys. Lett., 57, 45 (1987)
7. M.F.Wu, A. Vantomme and G. Langouche, Appl. Phys. Lett., 57, 1973 (1990).
8. S.L.Hsia, T.Y.Tan, P. Smith and G.E. McGuire, J. Appl. Phys., 72(5), 1864 (1992).
9. M. Lawrence, A. Dass, D.B.Fraser and C.-B. Wei, Appl. Phys. Lett., 58(12), 1308, (1991)
10. 변정수, "코발트/내열금속의 이중박막을 이용한 코발트 실리사이드 박막의 형성에 관한 연구", 서울대학교 무기재료공학과 박사학위 논문 (1993).
11. S.P.Murarka, D.B.Fraser, A.K. Sinha, H.J. Levinstein, E.J.Lloyd R. Liu, D.S.Williams and S.J.Hillenius, IEEE-Trans, ED-34, 2108 (1987).
12. 이석운, 민강익, 주충기, 전자공학회논문지, 29A, 127 (1992)
13. S.P.Murarka, D.B.Fraser, A.K.Sinha and H.J.Levinstein, IEEE, J. Solid State Circuits SC-15, 474 (1980).
14. Z.G.Xiao, G.A.Rozgonyi, C.A.Canovai and C.M.Osburn, Proc. of MRS, Vol. 202, 101 (1990).
15. M. Tabasky, E.S.Bulat, B.M.Ditchek, M.A. Sullivan and S.C.Shatas, IEEE Trans, ED 34, 548 (1987).
16. 이석운, 민강익, 주충기, 전자공학회논문지, 29A, 700 (1992)
17. C.M. Osburn and A. Reisman, J. Electron. Mater., 16, 233 (1987).
18. D. Fathy, O.W.Holland and J. Narayan, J. Appl. Phys., 58, 297 (1985).
19. S.P.Murarka, J. Vac. Sci. Tech., 17, 775 (1980).
20. S. Mrowec, *Defects and Diffusion in Solids, An Introduction*, Elsevier, N.Y. U.S.A., 391 (1980).
21. C-H. Jan, C-P. Chen and Y.A. Chang, J. Appl. Phys., 73, 1168 (1993).
22. M. Setton and J.V.Spiegel, Thin Solid Films, 156, 351 (1988)
23. S.A.Chambers, S.B.Anderson, H.W.Chen and J.H.Weaver, Phys. Rev., B34, 913 (1986).