

<연구논문>

실리콘 박막의 Integrity가 ONO(Oxide/Nitride/Oxide) 유전박막의 전기적 성질에 미치는 영향

김동원 · 라사균* · 이영종*

경기대학교 재료공학과
한국과학기술원 전자재료공학과

(1994년 4월 11일 접수)

Effects of the Integrity of Silicon Thin Films on the Electrical Characteristics of Thin Dielectric ONO Film

Dong Won Kim, Sa Kyun Rha* and Young Jong Lee*

Dept. of Materials Science and Engineering, Kyounggi University

*Dept. of Electronic Materials Engineering, Korea Advanced Institute of Science and Technology

(Received April 11, 1994)

요 약 - $\text{Si}_2\text{H}_6\text{-PH}_3$ 혼합기체를 사용하여 증착된 *in-situ* P-doped 비정질 실리콘과 SiH_4 기체를 사용하여 증착한 후에 As^- 이온주입에 의해 도핑시킨 다결정 실리콘 박막을 하부전극으로 하는 캐패시터를 형성하였다. 여기서 유전박막층은 자연산화막, 화학증착된 실리콘질화막 및 질화막의 산화에 의해 형성된 O-N-O 구조를 갖는 것이었다. 두 종류의 하부전극에 따른 캐패시터의 전기적 특성을 조사하였다. 전기적 특성으로는 정전용량, 누설전류, 절연파괴전압 및 TDDB 등이었다. 이 가운데 정전용량, 누설전류 및 절연파괴전압은 하부전극에 따라 큰 차이를 보이지 않았다. 그러나 음의 전장 하에서의 TDDB 특성은 *in-situ* P-doped 비정질 실리콘이 하부전극인 캐패시터가 As^- 이온주입 실리콘이 하부전극인 것에 비해 더 우수하였다. 이와 같은 TDDB 특성의 차이는 하부전극 실리콘의 integrity 차이로 인한 자연산화막의 결함 정도의 차이에 기인하는 것 같다. 이를 뒷받침하는 것으로 표면에 접하는 결정립계의 밀도와 표면 조도를 들 수 있으며, 이들의 차이를 주사전자현미경 표면사진과 투과전자현미경 단면사진으로 확인하였다. Shallow junction을 유지하는데도 *in-situ* P-doped 비정질 실리콘은 만족할 만한 결과를 보이며, 박막 자체의 면저항값도 낮출 수 있어 초고집적 회로의 캐패시터 전극으로서 이용될 수 있는 것으로 평가되었다.

Abstract - Capacitors with different lower electrodes were fabricated, and the lower electrodes were made of *in-situ* P-doped amorphous silicon film chemically deposited using a gas mixture of $\text{Si}_2\text{H}_6\text{-PH}_3$ and of poly-Si film deposited using SiH_4 decomposition and doped with As^- ion implantation. Thin dielectric layer was a O-N-O structure which is composed of natural oxide, CVD silicon nitride and the oxide formed on the silicon nitride, sequentially. Several electrical characteristics of the capacitors were investigated. The electrical characteristics include capacitance, leakage current, dielectric breakdown field and TDDB. Among these, there was no difference in the capacitance, leakage current and dielectric breakdown between the two capacitors. However, TDDB under negative bias showed great difference. The TDDB of *in-situ* P-doped amorphous Si capacitor was superior to that of As^- ion-implanted poly-Si capacitor. This seems to be caused by the integrity of silicon films used as lower electrodes on which oxide is grown naturally. The degree of imperfection in the natural oxide depends on the density of grain boundary reaching the surface and the surface roughness of silicon films. The integrity of oxide grown on the *in-situ* P-doped amorphous silicon seems to be better than that on the As^- ion-implanted poly-Si. As for shallow junction, the application of the *in-situ* P-doped amorphous silicon to the lower electrode would not lead to a deep junction although phosphorus is used as a dopant. It is prospected that

in-situ P-doped amorphous silicon film deposited using a $\text{Si}_2\text{H}_6\text{-PH}_3$ gas mixture will be used as a capacitor electrode in ULSI.

1. 서 론

저압화학증착법에 의해 제조되는 실리콘 박막은 반도체 소자의 캐패시터 전극으로 이용되고 있다. 실리콘 박막 위에 형성되는 얇은 유전박막으로서는 polyoxide, oxide-nitride-oxide(ONO) 등이 이용되고 있으며, 특히 실리콘 박막 바로 위에 형성되는 산화막의 특성은 실리콘 박막의 증착온도[1-3], 도핑방법[1,2,4-7] 등에 크게 의존하는 것으로 알려져 있다. 따라서 우수한 전기적 특성을 갖는 얇은 유전박막을 얻기 위해서는 실리콘 박막의 완전한 결정성, smooth surface 등이 요구된다.

최근 실리콘 박막의 도핑방법에 따라 얇은 유전박막의 전기적 특성을 비교한 연구결과가 발표되어 왔다[8,9]. 이에 따르면 대체로 POCl_3 기체에 의한 확산도핑법과 *in-situ* P-doping법에 따라 전도체화된 실리콘 박막에 대한 특성 비교가 주류를 이루고 있다. 초고집적 메모리 소자의 캐패시터는 하부전극이 Si junction에 접촉되어 있으므로 하부전극인 화학증착 실리콘 박막의 도핑공정이 shallow junction 형성에 영향을 미칠 수도 있다. 따라서 shallow junction을 유지하고 bit-line 접촉부분의 junction과의 대칭성을 유지하기 위하여 Si에서의 확산계수가 비교적 작은 As를 도펀트로 사용하고 있다. As를 도핑하는 방법으로는 이온주입이나 AsH_3 기체를 이용한 *in-situ* doping[10]법이 적용되는데, 전자의 방법이 일반적이며, 공정조건이 비교적 용이하여 많이 사용되고 있다.

한편, Si_2H_6 의 분해에 의해 증착되는 비정질 실리콘 박막은 열처리 후에 비교적 안정된 내부구조와 smooth한 표면을 유지하게 된다. 특히, PH_3 기체를 동시에 주입하여 형성하는 *in-situ* P-doped 실리콘 박막은 균일한 P 도핑에 의해 높은 전도도를 얻을 수 있으므로 이온주입 도핑에 비해 박막 integrity를 높일 수 있다. 따라서, 본 연구에서는 초고집적 반도체 기억소자의 캐패시터에서 하부전극을 두 종류, 즉 SiH_4 분해에 의해 화학증착된 다결정 실리콘 박막에 As^+ 이온을 주입하여 형성한 것과 $\text{Si}_2\text{H}_6\text{-PH}_3$ 혼합

기체를 써서 *in-situ* P-doped 비정질 실리콘 박막으로 형성한 것으로 하였으며, 이들 하부전극 위에 ONO인 얇은 유전박막을 형성하여 전기적 특성을 비교 분석하였다. 캐패시터의 전기적 성질로는 정전용량, 누설전류, 유전체 파괴전압 및 신뢰성 시험이 조사되었다. 하부전극의 종류에 따른 Si junction의 깊이와 하부전극 자체의 면저항도 조사되었다. 전기적 특성의 차이를 설명하기 위해 하부전극 실리콘 박막의 표면 조도 및 결정성장 특성 등을 주사현미경(SEM) 및 투과전자현미경(TEM)으로 조사하였다.

2. 실험방법

저압화학증착(LPCVD)에 의해 실리콘 박막을 형성하기 위해 $\text{Si}<100>$ p-type 웨이퍼를 기판으로 사용하였다. 실리콘 박막은 두 가지로서, 증착과 동시에 인의 도핑되는(*in-situ* P-doped) 비정질 실리콘과 증착 후에 As^+ 이온주입에 의해 도핑되는 다결정 실리콘이었다. 각각의 박막은 hot wall 수직로(ASM-100 PRO, Japan)와 수평로(TEL, Japan)를 이용하여 증착하였다. *In-situ* P-doped 비정질 실리콘 박막은 $\text{Si}_2\text{H}_6\text{-PH}_3$ 혼합기체로부터 증착하였으며, 이때 증착온도는 504°C , 증착압력은 0.5 Torr였다. 또한 도핑되지 않은 다결정 실리콘은 SiH_4 기체의 분해에 의해 증착되었으며, 증착온도는 630°C , 증착압력은 0.2 Torr였다. 표면 및 단면형상 관찰이나 junction의 깊이를 조사하기 위해서는 실리콘 박막을 직접 Si wafer위에 화학증착하였으며, 박막의 두께 및 면저항(sheet resistance) 측정을 위해서는 Si 웨이퍼 위에 먼저 100 nm 두께의 열산화막을 성장시킨 후 실리콘 박막을 증착하였다.

DRAM cell에서 캐패시터의 하부전극, 즉 스토리지 노드는 현재까지는 주로 As^+ 이온주입 도핑된 다결정 실리콘 박막으로 제조되고 있다. 본 연구에서는 다결정 실리콘 외에 *in-situ* P-doped 비정질 실리콘을 하부 전극으로 하여 여러가지 물성과 전기적 특성을 비교하였다. 실리콘 박막의 두께는 nanospectrometer를 이용하여 측정하였다. 실리콘 박막의 두께는

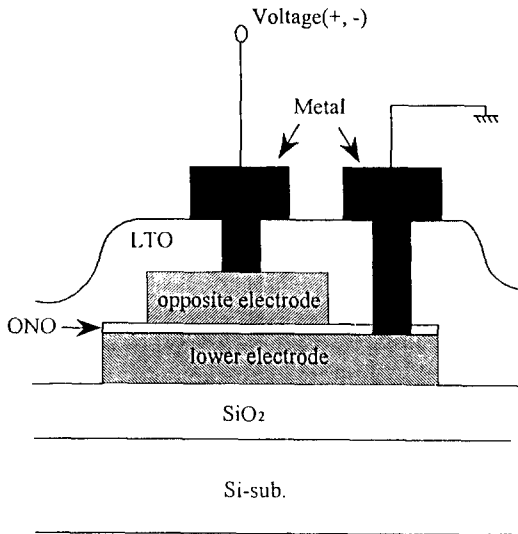


그림 1. Schematic of the capacitor.

따로 명시되지 않는 한 200 nm로 고정시켰다. 먼저 항은 doping된 실리콘 박막을 900°C, N₂ 분위기에서 약 1시간 동안 열처리한 뒤에 four point probe법으로 측정하였다. 두 종류의 박막에 대하여 표면형상은 주사전자현미경(SEM)으로 조사하였으며, 단면관찰은 투과전자현미경(TEM)으로 하였다.

하부전극이 캐패시터의 전기적 특성에 미치는 영향을 조사, 비교하기 위하여 그림 1과 같이 기존의 웨이퍼 공정에 따라 캐패시터를 제조하였다. 먼저 실리콘 웨이퍼 위에 약 400 nm의 열산화막을 형성한 뒤 하부전극이 될 실리콘 박막을 증착하였다. 물론 실리콘 박막은 *in-situ* P-doped 비정질 실리콘과 As⁻ 이온주입 도핑된 다결정 실리콘 두 종류이다. 하부전극은 기존의 사진식각 기술로 그림 1과 같이 한정(define)이 되며, etching 후에는 7 nm 두께의 실리콘 질화막을 증착시키고 이를 산화시켜 표면에 실리콘 질화막을 50 nm(on bare Si)를 형성시켜, 최

종적으로 native oxide/nitride/oxide 적층된 O-N-O 구조를 갖는 얇은 유전체(thin dielectric)가 형성된다. 반대편 전극은 200 nm 두께의 *in-situ* P-doped 비정질 실리콘 증착 후 900°C에서 1분간 RTA처리를 하여 형성하였다. 이들 역시 사진식각 기술로 한정한다. 그 후에 저온화학증착 산화박막(LTO)을 덮고 하부 및 상부 전극에 접촉 hole을 내어 금속선과 접촉시켜 그림 1과 같은 캐패시터를 완성하였다. 본 실험에서 사용된 캐패시터의 면적은 135,040 μm²였다. 상기와 같이 제조된 캐패시터로부터, 정전용량(capacitance)은 LCR meter로, 누설전류(leakage current) 및 절연과괴전장(dielectric breakdown field) 등은 HP4145 parameter analyzer(휴렛팩커드사)로 측정하였다. 캐패시터 유전체의 신뢰성을 비교하기 위해 TDDB(time dependent dielectric breakdown)가 조사되었다.

한편, 실리콘 박막에 존재하는 도펀트의 양과 증착층 아래의 실리콘 웨이퍼에서의 junction 깊이는 SIMS(secondary ion mass spectrometer)를 이용하여 조사하였다. SIMS 분석을 위해서는 5 kV의 O⁻ 이온빔이 적용되었다. SIMS depth profile로부터 이미 두께를 알고 있는 실리콘 증착층에서의 sputtering rate와 기판 실리콘에서의 sputtering rate가 근사적으로 같다는 가정하에 junction 깊이를 결정하였다.

3. 결 과

표 1은 하부전극이 *in-situ* P-doped 실리콘 박막(#1) 및 As⁻ 이온주입 도핑된 실리콘 박막(#2)인 두 종류의 캐패시터에서 조사된 전기적 성질들을 비교한 것이다. #1 캐패시터의 단위 면적당 정전용량이 약 5.5 fF/μm²이고, #2 캐패시터는 약 5.1 fF/μm²였다. 정전용량으로부터 환산된 유효 절연막 두께(T_{ox})는 #1, #2 캐패시터에서 각각 6.3, 6.8 nm였다.

표 1. 하부전극의 도핑방법에 따른 축전지의 특성비교

Lower electrode doping method (specimen #)	Capacitance (fF/μm ²)	Effective Thickness (nm)	Density of leakage current at 1.65 V(A/cm ²)	Breakdown Field at 1.0×10 ⁻⁵ A/cm ² (MV/cm)	50% failure TDDb at 1.65 V (Hour)
<i>In-situ</i> P-doped a-Si (#1)	5.5 ± 0.21	6.3 ± 0.24	2.0 ± 0.07 × 10 ⁻⁹	8.6 ± 0.28	6.1 × 10 ⁵
Poly-Si + As ⁻ /I (#2)	5.1 ± 0.28	6.8 ± 0.38	2.4 ± 0.09 × 10 ⁻⁹	8.4 ± 0.31	8.6 × 10 ³

인가전압이 +1.65 V 일때의 누설전류 밀도나 인가 전류밀도가 $1.0 \times 10^{-5} \text{ A/cm}^2$ 일때의 절연막파괴전장

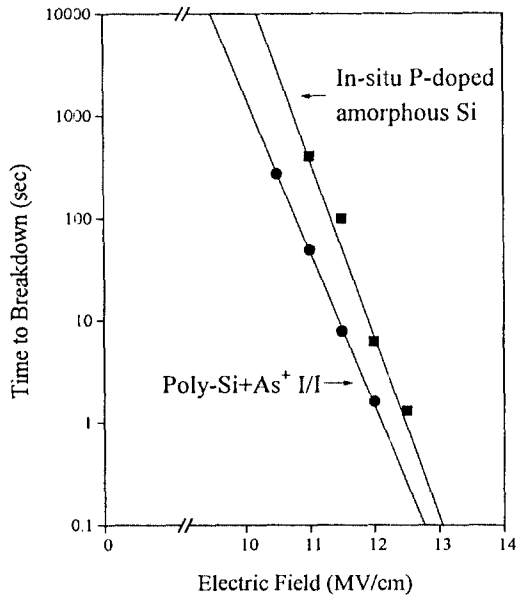


그림 2. Negative effective electric field dependence of time to breakdown (50% cumulative failure) in constant electric field TDDB for ONO films formed on the *in-situ* P-doped amorphous Si and As⁺ ion-implanted poly-Si films.

은 #1과 #2에서 큰 차이가 없는 것으로 나타났다. 그러나 일정 전압(-1.65 V)하에서의 50% failure TDDB는 #1에서 6.1×10^5 시간인 반면 #2에서는 8.6×10^4 시간에 불과하였다. 캐패시터의 상부전극에 음의 전압을 가하였을 때 절연층의 50% 누적 파괴율에 이르는 시간을 인가한 전압에 따라서 plot한 결과를 그림 2에 제시하였다. 모든 인가전압에 대하여 *in-situ* P-doped 비정질 실리콘 박막을 하부전극으로 하는 캐패시터의 TDDB 값이 As⁺ 이온주입된 다결정 실리콘 박막이 하부전극인 캐패시터의 값보다 높으며, 그림 2에서의 기울기로 보아 낮은 인가전압 일수록 그 차이가 커지는 것으로 보인다.

그림 3의 (a)와 (b)는 각각 *in-situ* P-doped 실리콘 박막과 증착 후에 As⁺ 이온주입 도핑한 실리콘 박막을 900°C, 1시간 동안 열처리한 후의 표면 형상을 주사전자현미경 사진으로 나타낸 것이다. 사진으로부터 *in-situ* P-doped 실리콘 박막의 표면이 이온주입 도핑된 실리콘 박막의 표면에 비해 평평한 것으로 관찰된다. 한편 위와 같은 시편의 단면 투과전자현미경 사진을 각각 그림 4의 (a)와 (b)에 제시하였다. *In-situ* P-doped 실리콘 박막에서 조대한 결정립과 평평한 표면이 관찰되는 반면, As⁺ 이온주입 도핑된 실리콘 박막에서는 전반적으로 결정립의 크기가 작고 모재 부근에서의 결정립의 크기와 표면부에서의

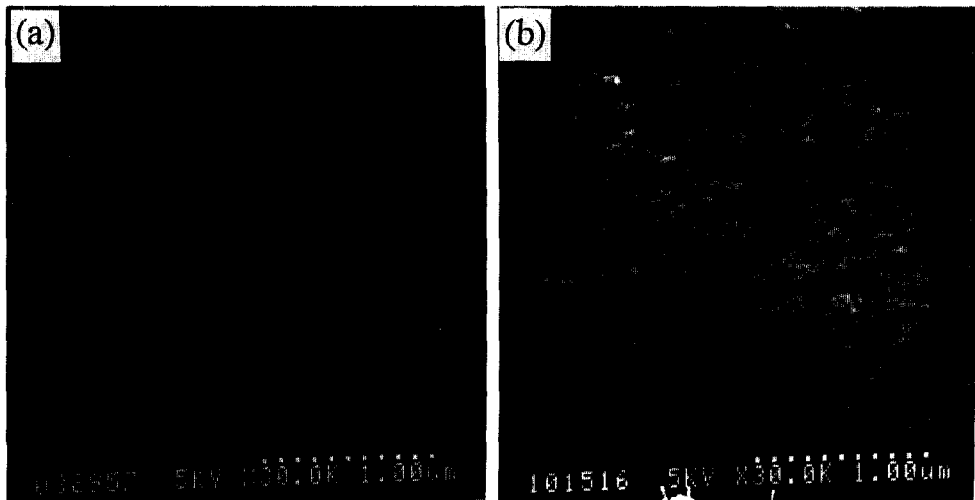


그림 3. Scanning electron micrographs(SEM) of the surface morphologies for (a) the *in-situ* P-doped amorphous Si and (b) As⁺ ion-implanted poly-Si films, respectively. The films were annealed at 900°C for 1 hour in N₂ atmosphere.

결정립의 크기가 불균일하게 나타난다. 뿐만 아니라 표면상태 역시 평평하지 못하고 rough한 것으로 관찰된다.

그림 5의 (a)와 (b)는 각각 하부 전극이 *in-situ* P-doped 비정질 실리콘 박막 및 As^+ 이온주입에 의해 도핑된 다결정 실리콘 박막인 캐패시터에서 전장이 가해진 상태에서의 시간에 따른 누적 파괴율을 나타낸 것이다. 양의 전압이 가해질 때는, 두 경우 비슷한 양상을 보이며 — As^+ 이온주입 도핑된 다결정 실리콘의 경우 약간의 *enfant failure*가 관찰되기는 하지만 — 유전박막이 *intrinsic*하게 파괴되는 경향을 나타낸다. 그러나 음의 전압이 가해질 때는 As^+ 이온주입 도핑된 다결정 실리콘 하부전극 캐패시터의 경우 유전박막의 결함에 의한 파괴 양상을 보이고 있다. 이와는 달리 *in-situ* P-doped 비정질 하부전극의 경우는 가해진 전압의 극성에 무관하게 *intrinsic* 파괴 양상을 나타내고 있음을 그림 5의 (b)에서 알 수 있다.

4. 고 찰

일반적으로 비정질 상태의 실리콘은 준안정 상태이며 충분히 anneal된 다결정 실리콘에 비해 자유 에너지가 높다. 즉, 비정질 실리콘이 다결정 실리콘에 비해 5×10^{-3} eV/atom 정도 더 높은 것으로 알려져 있다[11]. 따라서 실리콘 박막을 600°C 이상의 임의 온도에서 열처리하면 비정질에서 결정으로 전이하게 되며 이때의 구동력은 계의 자유에너지 차이로 인식되고 있다. 결정화가 이루어진 실리콘일지라도 후속 열처리에 의해 미세한 결정립이 재배열 혹은 성장하는 재결정 현상이 발생하기도 한다. 일반적으로 같은 온도에서 같은 시간동안 열처리할 때 처음 상태가 비정질인 경우가 다결정인 경우보다 최종결정립의 크기가 더 크게 된다[12].

그림 4의 (a)에서 비정질 실리콘이 열처리 후에 매우 큰 결정립이 형성된 것을 보여주었는데 이는 다음과 같은 몇가지 이유 때문인 것으로 생각된다. 첫째로, Si_2H_6 이 실리콘의 source로서 사용되어 보다 낮은 온도(504°C)에서 증착되었으므로 실리콘의 비정질 정도(degree of amorphization)가 매우 크다. 따라서 결정화의 구동력이 크다. 둘째로, 증착시에

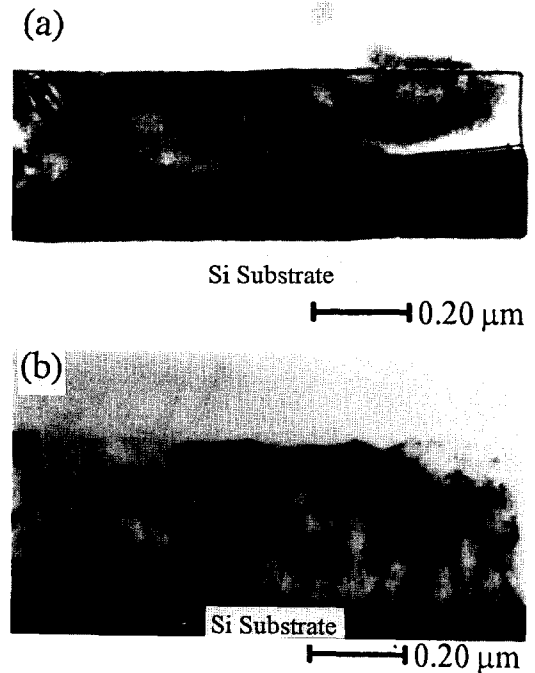


그림 4. Cross-sectional transmission electron micrographs(X-TEM) of (a) the *in-situ* P-doped amorphous Si and (b) As^+ ion-implanted poly-Si films, respectively. The same specimens as Figure 3.

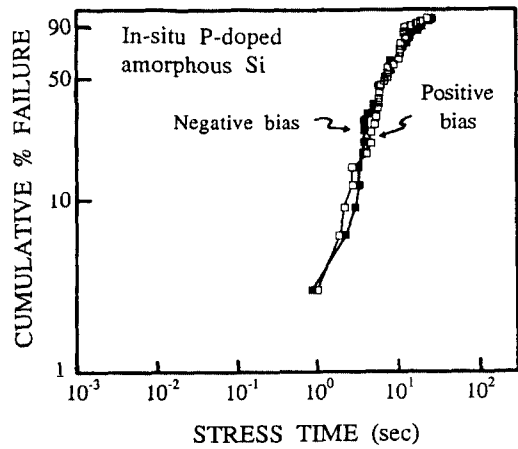
인이 균일하게 incorporate됨으로써 아직 활성화되지 못한 도펀트 때문에 실리콘의 Fermi-energy가 shift되며, 이는 실리콘 내에 점결함(공공 또는 interstitials) 농도를 증가시켜 Si 원자의 확산계수를 크게 만든다[13,14]. 결과적으로, 이는 입계의 이동도를 크게 하여 결정립 성장을 조장한다. 그림 4의 (b)는 도핑되지 않은 다결정 실리콘에 As^+ 이온주입 후에 열처리한 박막의 단면 TEM인데 전반적으로 결정립 크기가 (a)에 비해 작다. As^+ 이온주입을 하면 표면 부근에서는 구조적으로 disorder 상태로 되며 열처리를 하면 결정립이 성장하게 되는데 이로 인해 표면 부근에서의 결정립 크기와 모재와의 계면 부근보다 더 크게 나타난다. 표면이 rough한 이유는 열처리 시에 결정립 성장에 의한 것이기 보다는 증착후에 원래 있었던 표면 구조가 거의 그대로 유지된 것으로 생각된다. 단위 표면에 접하는 결정립체 밀도가 높을수록 자연산화막 두께의 불균일과 실리콘과 자연

산화막 간의 계면에서 asperity가 증대되므로 국부적인 전기적 취약점(electrical weak spots)이 많아진다. 또한 실리콘 표면 구조는 그 위에 형성되는 산화막의 tunneling current나 절연 파괴전압에 영향을 미치는 것으로 알려져 있다[15]. 본 실험에서도 As⁺ 이온주입된 실리콘 박막의 표면은 *in-situ* P-doped 비정질 실리콘 박막의 표면에 비해 rough하고 구조적 결함도 많은 것처럼 보인다. 그러나 표 1에서 제시한 결과에 따르면 누설전류나 절연파괴전압에 있어 두 가지 실리콘 박막의 경우 큰 차이가 없었다.

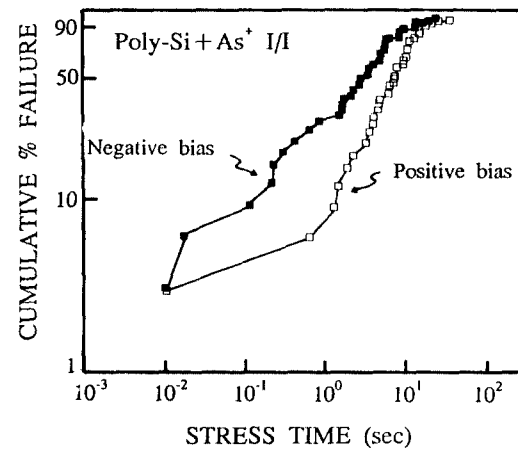
이는 실리콘과 산화막과의 계면 결함 정도가 큰 차이가 없다는 것을 나타낸다. 그런데, 표 1과 그림 1에서 알 수 있듯이 유전박막의 신뢰성에서는 차이를 보이고 있다. 최근에 발표된 연구결과들에 따르면, polyoxide의 특성이 캐패시터의 유전박막 신뢰성(TDDB)에 큰 영향을 미치게 됨을 알 수 있다. 특히, O-N-O박막을 유전체로 하는 경우 하부전극 위에 형성되는 polyoxide의 integrity가 음의 전압이 가해진 상태에서의 TDDB특성에 영향을 미치는 것으로 알려져 있다[9].

본 연구에서 적용된 유전 박막은 적층된 구조로서, 하부전극 위에 형성된 자연산화막, 화학증착된 실리콘 질화막, 그리고 질화막의 산화 과정 중에 형성되는 산화막으로 된 O-N-O구조이다. 따라서 하부전극의 종류에 따라 적층 유전박막에서 quality의 차이를 보이는 것은 자연 산화막층이다. Naito[9]는 POCl₃ 기체를 이용한 P 도핑된 실리콘 박막과 *in-situ* P doped 실리콘 박막 위에서 자란 자연 산화막의 quality는 후자의 경우 더 우수한 것으로 평가한 바가 있고 이를 두 종류의 하부 전극에 따른 TDDB특성의 차이로 설명했다.

그림 4에 제시된 두 종류의 실리콘 박막 단면 TEM으로부터 관찰된 표면 상태의 차이는 곧 그 위에 자라는 산화막질의 차이로 나타나게 된다. 즉, smooth한 표면을 갖는 *in-situ* P-doped 실리콘 박막 위에 형성된 ONO의 하부 산화막은 결함이 없는 양질의 산화막인데 반해, 표면이 rough하고 접하는 결정입계가 많은 As⁺ 이온주입 실리콘 박막위에서 형성된 산화막은 결함을 갖는 것으로 생각된다. *In-situ* P-doped 비정질 실리콘 박막을 하부 전극으로 한 캐패시터에서 stress시간에 따른 유전박막의 누적 파괴율 거동이 양과 음의 전장에 대하여 큰 차이가



(a)



(b)

그림 5. Cumulative failure-stress time relations in TDDB for ONO films on (a) the *in-situ* P-doped amorphous Si and (b) As⁺ ion-implanted poly-Si films, respectively.

없음을 그림 5(a)에서 알 수 있는데, 이는 ONO의 하부 산화막질이 상부 산화막질과 거의 대등하게 우수하다는 것을 나타낸다. 반면, As⁺ 이온주입 도핑된 다결정 실리콘 하부전극 캐패시터에서는 양의 전압 하에서의 누적파괴율 거동만이 그림 5(a)와 같은 거동을 보일 뿐, 음의 전압하에서는 전형적인 결함에 의한 유전체 파괴 거동을 보이고 있음을 그림 5(b)에서 알 수 있다. 이는 다음과 같이 설명된다. 즉, 음의 전장이 가해질 때, 상부 실리콘 전극에서 방출되는 전자가 상부산화막을 tunneling하고 질화막은

표 2. 하부 전극의 도핑 방법에 따른 전극의 면저항과 접합 깊이 비교

Doping Method of Lower Electrode	$R_s(\Omega/\square)$ of 200 nm Si film	$X_j(\mu\text{m})$
In-situ P-doped a-Si	90	0.25
Poly-Si + As ⁺ I/I	350	0.24

Poole-Frenkel 기구에 따라 이동하여 하부 산화막에 이르면 내부결함 때문에 전자의 가속이 유발되어 하부산화막에 의한 유전박막 내의 전도성이 증가되어 절연과피가 일어난다[9]. 양의 전장이 가해질 때는 반대로 하부 실리콘 전극에서 전자가 방출되고 하부 산화막을 tunneling하게 되는데, 이 경우 하부 산화막의 결함이 tunneling 전류에 미치는 영향은 미미하므로 전체 유전박막의 누설전류에 미치는 영향은 거의 없는 것 같다.

이상에서 고찰한 바와 같이, *in-situ* P-doped 비정질 실리콘 박막은 캐패시터의 하부전극으로서 As⁺ 이온주입 도핑된 다결정 실리콘 박막에 비해 우수한 신뢰성을 보여주고 있다. 그러나 실제 적용시에(DRAM을 예로) 하부전극은 스토리지 노드로서 Si의 junction에 직접 접촉이 되며, 이때 후속 열처리에 의해 P-doped 박막 내에 도펀트가 Si으로 확산되어 junction 깊이가 증가될 가능성이 있다. 표 2는 P-type Si 웨이퍼에 먼저 5.5×10^{15} ions/cm², 40 KeV 조건으로 As⁺ 이온주입하여 junction을 형성하고 언급한 두 종류의 실리콘 박막 전극을 200 nm두께로 입힌 후 950°C에서 1시간 동안 열처리한 후 SIMS profile로 조사한 junction 깊이를 비교한 것이다. 상기조건에서 형성된 junction 깊이는 *in-situ* doping의 경우 0.25 μm , 그리고 As⁺ 이온주입의 경우 0.24 μm 로 차이가 없다. 대개 하부전극 형성후 열처리 온도는 950°C를 넘지 않는다. 또한 표 2에 함께 제시되었듯이 전극의 면저항 측면에서 *in-situ* P-doped 비정질 실리콘 박막의 경우가 90 Ω/\square 으로 비교적 낮아 high frequency에 대응도가 높고 소자의 오동작을 줄일 수 있다. 또한 *in-situ* 도핑방법은 이온주입 도핑 방법에 비해 단차가 심한 초고집적 소자에서도 쉽게 사용되며, 도핑할 때에 실리콘 박막층이 damage를 받지 않을 뿐 아니라 후속 열처리에 의해 도펀트의 활성화가 가능하기 때문에 damage를 줄이기 위한 고온의 annealing 과정이 필요없다는 장점들을 지니고 있다. 따라서 *in-situ* P-doped 비정질

실리콘 박막은 차세대 high density DRAM 캐패시터의 하부전극으로 적용될 수 있다.

5. 결 론

ONO를 유전박막으로 하고 하부전극의 실리콘 박막이 다른 두 종류의 캐패시터에서 정전용량, 누설 전류 및 절연과피전압 등은 하부전극에 무관하게 대등한 특성을 보였다. 그러나 음의 전장 하에서의 TDDB는 *in-situ* P-doped 비정질 실리콘을 하부전극으로 하는 캐패시터가 As⁺ 이온주입 실리콘이 하부전극인 것에 비해 약 2 order 정도 더 길었다. 이와 같은 TDDB 특성의 차이는 하부전극 실리콘의 integrity 차이로 인한 자연산화막의 결함 정도의 차이에 기인하는 것으로 설명되었다. *In-situ* P-doped 비정질 실리콘은 비록 P를 도펀트로 사용하는 것이지만, deep junction을 유발하지는 않으며, 박막 자체의 비저항도 낮출 수 있으며, 단차가 심한 구조에서도 사용이 가능하기 때문에 초고집적 회로의 전극으로서 적용에 적합한 것으로 평가된다.

감사의 글

본 연구는 한국과학재단의 핵심전문연구비(과제 번호: 931-0800-019-1)에 의해 수행되었으며 이에 감사드립니다.

참고문헌

1. M. Sternheim, E. Kinsbron, J. Alspector, and P. Heimann, *Mat. Res. Soc. Symp. Proc.* **130**(8), 1735 (1983).
2. L. Faraone, R. Vibronnek, and J. McGinn, *IEEE Trans. Electron Devices* **ED-32**, 577 (1985).
3. G. Harbeke, L. Kransbauer, E. Steigmeir, A. Widmer, H. Kappert, and G. Neugebauer, *RCA Rev.* **44**, 287 (1983).
4. H. Huff, R. Halvorson, T. Chiu, and D. Guterman, *Mat. Res. Symp. Proc.* **127**(11), 2482 (1980).
5. P. Heimann, S. Murarka, and T. Sheng, *J. Appl. Phys.* **53**(9), 6240 (1982).
6. D. Brown and C. Barile, *J. Electrochem. Soc.* **130**, 1597 (1983).
7. R. Marcus, T. Sheng, and P. Liu, *Mat. Res. Soc.*

- Symp. Proc.* **129**, 1282 (1982).
8. M. Hendriks and C. Mavero, *J. Electrochem. Soc.* **138**(5), 1466 (1991).
 9. Y. Naito, Y. Hirofuji, H. Iwasaki and H. Okada, *J. Electrochem. Soc.* **137**(2), 635 (1990).
 10. M. Arienzo and A. C. Megdanis, *IEEE Trans. Electron Devices* **ED-33**, 1535 (1986).
 11. K. Zellama, P. Gemain and P. A. Thomas, *J. Appl. Phys.* **50**, 6995 (1979).
 12. K. Park, S. Batra, S. Banerjee and G. Lux, *Mat. Res. Soc. Symp. Proc.* **182**, 159 (1990).
 13. D. W. Kim, *J. Korean Vac. Soc.* **2**, 99 (1993).
 14. C. P. Ho and J. D. Plummer, *J. Electrochem. Soc.* **126**, 1523 (1979).
 15. K. S. Yi, D. H. Cho, J. Y. Lee, K. S. Nam, S. W. Kang and J. H. Lee, *Mat. Res. Soc. Symp. Proc.* **182**, 315 (1990).