

행되고 있으며, 현재 국내 연구환경은 R&D 수준에서 일부 소자개발이 이루어지고 있고, 전자부품종합기술 연구소에서는 1996년 까지 10GHz급 변조기를 상용화할 예정으로 추진중에 있다.

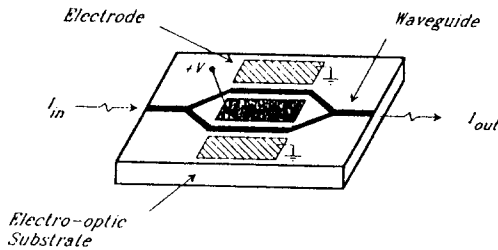


그림 4. Mach-Zehnder 간섭형 광 변조기

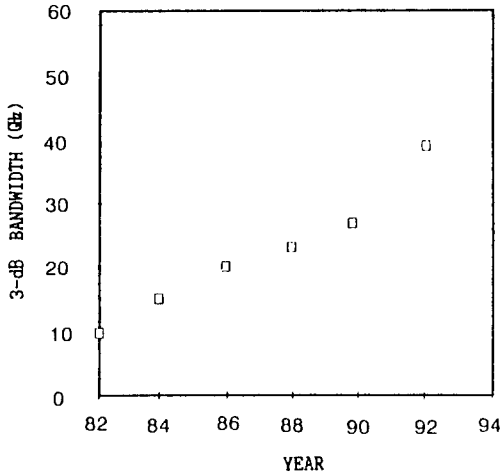


그림 5. 광변조대역폭의 향상과정

2) 광감쇠기

광출력이 강할 수록 장거리를 전송할 수 있지만 이미 설정된 설계 조건상에서 수광소자에 입력되는 신호가 클 경우에는 에러가 발생할 우려가 있다. 따라서 광시스템 설계시 최소치로 설계하여도 전송마진에 여유가 있을 경우 계산된 만큼의 양을 광감쇠기로 감쇠시켜야 한다. 광감쇠기는 입사한 광의 강도에 대해 일정량의 광손실을 부여하여 감쇠된 광을 출력시키는 부품으로서, 주로 수광소자에 입사하는 광강도를 최적의 값으로 조정하기 위한 장치로 이용된다.

기능면에서 볼 경우, 광에 일정한 감쇠량을 부여한 고정광감쇠기와 감쇠량을 가변할 수 있는 가변광감쇠

기로 크게 분류된다. 가변광감쇠기는 주로 수광소자의 감도 특성 측정을 위한 광수신기로의 입력 level 조정 등을 위해 사용되며, 고정광감쇠기는 매우 큰 입력에 의해 수광회로가 파괴될 우려가 있을 때나 광전송로의 손실 등의 조정에 이용된다. 고정광감쇠기의 제조는 가변광감쇠기와 비슷하지만, 일반적으로 중계기에 내장되든가 또는 시스템의 일부로 이용되는 것이 많기 때문에 소형, 경량화가 요구된다.

광감쇠는 광의 일부분을 물질에 흡수시켜 감쇠하는 방법이 일반적이며, 이것은 유리 위에 투과율(반사율) 변동이 적은 금속막을 증착시켜 실현하고 있다. 금속막으로는 Ni과 Cr의 화합물 등이 이용되며 광의 감쇠량은 막 두께에 의존한다.

광감쇠기는 오래전부터 미주, 일본, 유럽을 중심으로 기술개발이 진행되어 왔으며, 2000년대 광부품의 폭발적인 증가에 대비해 다양한 기능과 신제품 개발에 박차를 가하고 있다. 지금까지 선진국에서 제품화된 광감쇠기의 대표적인 형태 및 기능을 보면 다음과 같다. 먼저 air gap을 이용한 초기의 광감쇠기로 두 광섬유 사이에 air gap을 주어 광감쇠를 일으킨 형태이다. air gap의 범위는 0 ~ 100mm 정도로서 간격의 크기에 따라 감쇠량은 증감한다. 또는 back reflection을 줄이기 위해 광섬유 끝면을 경사면 연마한 형태가 제품화되고 있다. 그 다음은 광학 렌즈를 이용한 형태로 두 광학계 렌즈 사이에 형성된 평행광선을 외부 차단체로 직접 차단하여 광강도를 변화시키는 형태의 광감쇠기와 또는 두 광학계 렌즈 사이에 형성된 평행광선을 ND 필터로 광 강도를 변화시킨 형태의 광감쇠기가 있다(그림 6). 끝으로 ferrule 사이에 ND 필터를 삽입한 형태로써 ferrule을 절단한 후 그 사이에 금속막(Ni-Cr)이 입혀진 유리 또는 polyester 박막을 넣어 광을 감쇠시키는 형태의 광감쇠기가 있다. 이때 유리의 반대편은 AR coating하여 back reflection을 줄여준다. 여기에서 2개의 ferrule면 사이에서의 반사광이 입사측 광섬유로 되돌아 가지 않도록 경사면을 만들고, 경사각도는 가공성, 수율 및 접촉손실을 고려할 때 광축의 수직 방향에 대해 8°로 하는 것이 적절하다.

국내에서는 금성전선에서 제작된 고정감쇠기가 있으나 아직 큰 시장이 형성되지 않고 있다. 금성전선의 광감쇠기는 분배합과 한 세트 구성하여 광 커넥터를 연결함과 동시에 감쇠량 설정에 따라 감쇠시킬 수 있는 특징을 갖는다. 이외에 전자부품종합기술연

‘93년 말 부터 광학 렌즈를 이용한 가변광감쇠기 및 고정광감쇠기의 시제품을 개발중에 있다.

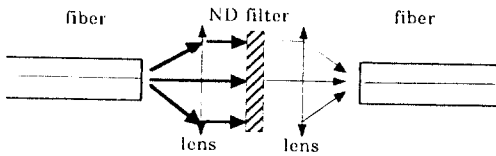


그림 6. 렌즈 사이에 ND 필터를 삽입한 광감쇠기

3) 광커넥터

광커넥터는 광섬유가 탈착 가능한 접속 부품으로 광섬유 코드와 통신기기 내에서 사용된다. 광섬유를 플러그 내의 ferrule에 정렬한 후 플러그를 adapter에 삽입하여 광선로를 접속 및 연장시키는데 이용되는 부품이다. 용도별로 보면 플라스틱 몰드형 커넥터는 다중모드 섬유에 응용이 되며 광 데이터 링크등을 시작으로 민수용, 군수용에 많이 쓰이며 금속 ferrule을 사용한 커넥터는 각종 광전송 방식에 사용되고 있다. 이러한 종류의 커넥터는 종래 전기계통에서와 같이 U링과 플러그인형 커넥터가 개발되어 넓게 응용되고 있다.

광커넥터는 유리 섬유용 커넥터와 플라스틱 섬유용 커넥터로 크게 나눌수 있다. 전자는 장 중거리, 고중속 전송 시스템에 사용되고 있으며 ferrule이 고정밀인 것이 특징이다. 후자는 단거리, 중저속 전송 시스템에 사용되며 플라스틱 성형품이 주류이다.

광커넥터의 기본구성은 광섬유를 내장하는 플러그부와 이부분을 정렬하는 adapter부로 나뉘어져 있다. 광 커넥터는 손실 특성을 향상시키기 위하여 주로 플러그 부분을 높은 정밀도로 가공시키는데 노력하여 왔다. 이 제조 기술은 플러그 외경의 중심과 섬유 코어의 중심축을 다중모드 섬유에서는 수 μm 이하, 단일모드 섬유에서는 1 μm 이하로 억제하는 기구로서 플러그 내에서 코어 중심부를 모니터하여 코어심을 나오게 하는 방법과 이중 편심관을 이용한 방법으로 대표되는 조심형(調心形) 및 높은 정밀도로 가공한 정밀노즐 플러그와 세라믹 캐피러리형 플러그로 대표되는 무조형(無調形) 플러그의 2개열로 대표된다.

광커넥터는 1960년 대에 개발되어 현재에는 주로 단심 광커넥터를 중심으로 시장이 형성되어 있다. 광전송 시스템 초창기부터 현재까지 국내에서 사용되고 있는 광커넥터 형태는 KT의 광분배함 규격에 적용된

biconic type이 있으나 현재 성능이 우수한 여러종류의 커넥터가 개발되어 규격을 재검토할 필요성이 높은 실정이다. 국내에서는 한국통신, 한국전자통신연구소, 대한전선, 대우통신, 삼성전자 및 금성전선이 개발 일부 양산 판매중이지만 일부를 제외하고는 조립생산의 형태로 독자적인 핵심기술 개발은 미비하다.

광커넥터는 국내에서 현재 생산되는 유일한 광수동 부품이지만 국내수요의 기반 약화로 각 업체별 생산량이 미약한 편이다. 특히 ferrule에 사용되는 zirconia ceramic가공기술은 전무한 상태여서 전량 수입에 의존하고 있다. 결국 이부분에 의해 커넥터의 단가가 달라진다고 볼 수 있다. ferrule 제조 기술을 갖고자 국내 각 업체에서 상당한 노력을 하고 있으며 조만간 성공할 수 있으리라 본다. 현재 상용화되어 사용되는 제품은 많지만 그중 AT&T사의 ST, NTT의 SC type이 대표적이라고 볼 수 있다. ST type의 경우 전세계에 2천만개 이상이 보급되어 있는 상태이며, SC type의 경우는 ST type 보다 늦게 개발되었지만 고밀도 실장, 다심으로의 확장으로 좋은 평가를 받아 급성장 중에 있다. 또한 아직 수요측면에서는 널리 보급되어 있지는 않지만 유럽에서 최신 개발중인 EC type이 있어 앞으로는 세계시장에 많은 변화가 예측된다.

광커넥터는 광전송 시스템 분야뿐 아니라 CATV, 일반 OA기기, 음향기기등 적용 범위가 광범위하여 광산업이 발달할 수록 그 수요는 함께 증가할 것이다.

4) 광커플러

광커플러는 광섬유를 전파하는 광출력을 2개 이상의 광섬유에 분배하거나 반대로 2개 이상의 광섬유를 전파하는 광출력을 하나 이상의 광섬유에 합성하는 광회로 부품의 하나이다. 이러한 광커플러는 분배 합성하는 형태에 따라 크게 트리(tree)형 광커플러와 스타(star)형 광커플러로 분류할 수 있으며, 재료에 따라 미세광학소자형, 광섬유형 및 광도파로형으로 분류할 수 있다. 이러한 기능을 가진 광커플러는 현재 광LAN, 광계측기기 및 광센서에 이용되고 있으며, 최근에는 EDFA(Erbium Doped Fiber Amplifier)의 부품으로 수요가 증가하고 있다.^{[1][2]} 2000년대에는 광통신분야의 B-ISDN, N-ISDN 및 광CATV 등의 광가입자망과 광LAN 등의 네트워크를 위한 광회로부품으로 이용이 급증할 것으로 전망된다.

현재 상용화된 광커플러는 다중모드 및 단일모드

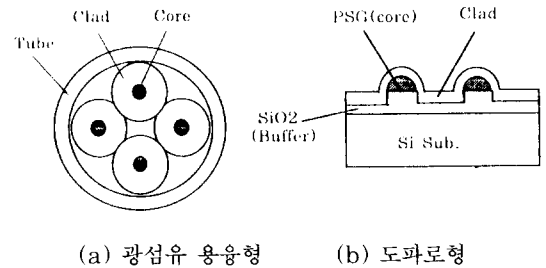
계의 광섬유형, 광도파로형 및 미세광학소자형이 있으며 분배 결합수는 1X2, 2X2, 1X4, 트리(1XN), 스타(NXN) 형태의 것이 있다. 이 중에서 2X2계 광섬유광커플러가 가장 널리 쓰이고 있다. 최근에는 트리 및 스타형의 광도파로가 상용화 되고 있다. 그림7은 광섬유형 및 도파로형 광커플러의 구조를 보여주고 있다. 광섬유형 광커플러의 경우 excess loss 0.2dB 이하, 분지편차 2% 내외이다.

광커플러의 해외 기술수준은 성숙단계로써 현재 다양한 제품이 상품화되어 있고 광도파로구조 및 집적화를 이용한 특성향상, 고기능화 및 저가격화를 위한 기술개발이 계속되고 있다. 특히 광섬유의 개발에 따라 단파장 다중모드화이버용, 1.3 μm 대 단일모드 광섬유형 및 1.55 μm 대 단일모드 광섬유형 광커플러가 상품화되어 이용되고 있고, 최근에는 편광유지광섬유를 이용한 광커플러가 개발되어 상품화되어 있다. 한편 재료 및 분지단자수에 따른 관점에 보면 초기에는 렌즈 및 half mirror 또는 프리즘 등을 이용한 1X2형의 미세광학소자형이 쓰였다. 그러나 가공이 어렵고 구조가 복잡하며 생산성이 낮아 특수용도에만 이용되고 있다. 현재 가장 널리 사용되고 있는 것은 인장에 의한 용융테이퍼(fused taper)기술을 이용한 광섬유형으로 2X2를 기본으로 하여 16X16 까지 상품화되어 있다. 4X4 이상의 경우 주로 2X2를 기본으로한 네트워크구조이다. 단일공정으로는 최대 4X4 혹은 1X7 광커플러가 상품화되고 있으며, 4X4 이상의 광커플러에 대한 연구도 꾸준히 되고 있는 편이다¹⁴⁾. 광섬유형 광커플러는 비교적 경제적이고 특성이 우수한 장점이 있으나, 4X4 이상의 분지단자가 어렵고 집적화가 어려운 단점이 있어 이에 대한 특성 개선 및 광도파로를 이용한 소자의 개발이 이루어지고 있다. 특히 광도파로형은 광학유리계, Si계, 유전체계 및 화합물반도체 재료 등의 기관을 이용하기 때문에 집적화가 용이하고 대량생산을 할 수 있어 향후 광커플러로서 주목을 받고 있다. 광도파로형의 경우 저가격화가 가능한 유리계 및 집적화에 유리한 Si계의 개발 및 상품화가 이루어지고 있다. 이러한 광도파로형 광커플러는 LPCVD 및 이온교환법등을 이용한 도파로공정기술 및 패키징기술이 요구되는데, 특히 광섬유와의 정렬을 위한 고도의 패키징기술개발이 관건이되고 있다.

국내의 경우 산업체, 학계 및 연구소에서 광커플러의 관련 기초기술은 축적되어 있다고 볼 수 있다. 전

자통신연구소, 한국과학기술연구원 및 전남대 등에서 광도파로 기술개발 경험이 있으며, 특히 전자통신연구소를 중심으로 Si계 및 광학유리계 광도파로형 광커플러 및 관련 기술개발이 이루어지고 있다. 또한 금성전선, 삼성전자 및 한국과학기술원에서 광섬유형 광커플러를 개발한 경험이 있으며, 최근 전자부품종합기술연구소에서 광섬유형 광커플러 개발을 본격 추진하고 있다.

향후 광커플러는 광통신용 부품으로서 광섬유형과 광도파로형이 가격과 특성면에서 경쟁을 할 것으로 보여진다. 전송파장 측면에서는 1.3 μm 및 1.55 μm 를 동시에 전송할 수 있는 광대역 광커플러가 요구되고 있다. 결국 광커플러의 개발의 초점은 B-ISDN 가입자를 위한 저가격화, 저손실 및 고집적화의 제품개발이 필요하고 이러한 제품만이 국제시장의 수요에 부응할 수 있을 것이다.



(a) 광섬유 용융형 (b) 도파로형

그림 7. 광커플러

5) 광섬유/케이블

1966년 처음 실리카 유리를 이용한 광섬유이론이 발표된 이래 현재까지 급속히 발달해 온 광섬유는 현재 사용되고 있는 동축케이블에 비해 광대역성, 저손실, 소형 및 경량성 및 안정성 등의 장점으로 그 응용이 급격히 증가하고 있는 추세이며 N-ISDN이나 B-ISDN 서비스, CATV를 통한 영상서비스 등의 고속, 광대역, 장거리 전송이 필요한 공중통신망의 중계시스템에 있어 광섬유 기술은 필수적이다. 또한 전력, 철도 등의 사무용 통신, LAN통신, 제어계측 시스템에까지 그 영역이 확대되고 있어 고도정보화사회의 중추기술로 급부상되고 있다.

광섬유는 굴절율이 다른 두 매질 간의 차이에 의한 빛의 전반사를 이용하기 위해 굴절율이 높은 코어부분, 그 보다 낮은 굴절율의 클래드, 그리고 보호코팅(silicon, UV, acylate)로 구성되어 있다. 광섬유를

분류하는 방법에는 여러 방법이 있으나 매질의 종류나 코어의 굴절률 및 전파되는 빛의 모드(mode)에 의해 분류되는 것이 일반적이다. 현재 광섬유 제조에 가장 널리 이용되고 있는 재료는 가시광에서 적외선 영역에 걸쳐 전송손실이 적어 장거리, 대용량의 광통신에 적합한 석영계 광섬유이다. 또한 높은 강도, 안정성과 피로(fatigue)를 높이기 위한 다성분 유리계 광섬유, 단거리 전송망이나 저가격용 통신용에 사용되는 플라스틱 광섬유 그리고 분산시프트화이버 및 Er 첨가 증폭화이버 등과 같은 특수 광섬유가 있다. 특히 석영계 광섬유보다 값이 싼 플라스틱 광섬유는 유연하게 구부릴 수 있으며 경량이어서 광학 센서 및 디스플레이 장식, 단거리 광전송시스템에 사용된다. 다음의 표 1은 석영계 광섬유의 종류와 일반적인 특성을 나타낸 것이다.

표 1. 석영계 광섬유의 종류 및 특성

구분	특 성			
	다중모드	단일모드	인입모드	인입모드
직경 (μm)	코어	85, 100	50, 62.5	8, 10
	클래드	140	125	125
굴절률 비(코어-클래드)	1.5 - 2.0 : 1	1 이하 : 1	0.3 이하 : 1	
전송대역 (MHz)	< 100	100-1300	>1000	
전송손실(dB)	3 - 3.5(0.85μm)	2 - 3(1.3μm)	0.3 - 0.5(1.3μm)	
	소용량 통신, 1.4V	0.5 - 0.7(1.55μm)	0.2 - 0.3(1.55μm)	
용도	소용량 통신, 고속 통신망	중용량 통신, 고속 통신망	대용량 통신, 장거리(수십 km) 통신망	

광섬유는 특성상 기계적 외부요인(인장력, 압축력 등)과 환경적요인(온도, 습도 등)에 의해 전송특성의 저하가 나타나므로 광섬유의 사용시 피복으로 하여금 외부환경에 대한 안정성을 추구하여야 하며 광섬유의 원래 특성을 유지하기 위해 광케이블 구조설계를 염두에 두어야 한다. 케이블은 구조별로 표준형, slot형, 리본형과 용도별로 관로형, 직배용, 수저용, 해저용, 인입형 그리고 사용위치별로 옥내용, 옥외형 케이블로 구분할 수 있다.

광섬유의 특성을 결정 짓는 변수들은 코어의 크기 및 이심률, 전송손실, 분산, 강도, 피로특성 등이 있으며 광섬유의 개발은 위와 같은 변수를 최적화하기 위한 방향으로 전개된다. 특히 석영계 광섬유에서 전송손실을 낮추기 위하여 불소화합물 유리를 코어로 한 다성분 광섬유가 주목 받고 있다. 이는 안정성 면에서 열악하나 장파장대에서 매우 낮은 전송손실을 가질 것으로 예상되며, 기존의 석영계의 백배 이상이

나 되는 거리를 중계 할 수 있어 차세대 장거리 통신망의 광섬유 재료로서 각광받을 것이다. 그러나 현재 기술상의 한계로 인해 장거리 광섬유의 제조가 불가능하여 단거리용으로 개발되고 있는 중이다. 한편 플라스틱계의 광섬유는 PMM(polymethyl methacrylate)계인데, 120-130°C의 내열성을 가진 PC(plastic clad)계가 개발되어 자동차용을 목표로 하고 있으나 고온하에서의 불안정한 출력으로 인해 신뢰도가 충분치 않아 이에 따른 보완이 연구중에 있다. 석영계 광섬유의 코아에 희토류 원소인 Er 이온을 첨가한 EDF(Erbium Doped Fiber)는 1.55 μm 파장의 빛이 입사하고 LD로 Er 이온의 흡수파장의 빛을 펌핑하여 입사광신호를 증폭하는 광섬유이다. EDF에 관한 개발은 기존의 광섬유가 지닌 단순한 전송기능에서 광신호 증폭기능을 지닌 광섬유로 앞으로 개발과 응용이 더욱 더 가속화될 것이다.

6) TBF/WDM

광섬유의 저손실(0.2dB/km)특성과 광대역성, 반도체 레이저 및 주변 소자의 발달로 인해 전송 용량의 증대와 무중계 거리의 확장을 중심으로 발전되고 있는 광전송 기술은 서로 다른 전송 속도의 음성, 데이터 및 영상 정보등을 단일망으로 제공하는 고속의 광대역 종합정보통신망(B-ISDN)구축의 핵심 기술로서 기대되고 있다. 기존의 전송 방식에서의 전송 용량 증대는 펄스 변조의 속도를 증가시키는 것으로 대응해 왔으며, 다채널 전송은 시분할다중화(Time Division Multiplexing : TDM)방식을 사용하고 있다. 그러나 이러한 방식으로는 전송속도 10Gbps 정도가 기술적, 경제적 한계인 것으로 생각되고 있으며, 정부가 추진중인 2015년까지 100Gbps급 광전송을 실현하기 위해서는 새로운 기술이 도입되어야 한다. 이에 우선적으로 고려될 수 있는 것이 광섬유의 넓은 전송 대역폭을 이용한 파장분할 다중화(Wavelength Division Multiplexing : WDM)와 광주파수다중화(Optical Frequency Division Multiplexing : OFDM)전송방식이다. 채널간 파장간격이 수십 ~ 수백nm 정도로 전송신호의 대역폭보다 훨씬 넓은 경우를 WDM, 인접 채널간의 파장간격을 더욱 좁혀 1nm 정도일 때를 dense WDM이라 하며, 채널간 주파수 간격이 전송신호의 대역폭과 유사한 경우를 OFDM이라 한다. WDM/OFDM 전송 시스템에서 원하는 채널의 선택을 위해서는 빠른 속도와 높은 안정성을 갖는 가변 주파수/파장 필터

(Tunable Bandpass Filter : TBF)가 반드시 필요하게 되며 광필터의 성능 향상과 다양화는 광다중화 방식의 발전을 가능케하는 요소가 된다.

가변광필터(TBF)에 의한 WDM/OFDM 전송 방식은 매우 좁은 대역폭을 갖는 광원을 사용하여 광주파수 및 위상에 정보를 실는 coherent방식으로서 광섬유의 광대역 특성과 광파의 높은 주파수대에서 파장 및 주파수 분할 다중화를 통한 전송 및 교환 용량의 증대가 가능하며, TDM 방식에서의 고속화의 한계를 극복할 수 있다. 한편, 가변광필터는 증폭기에 의해 생성된 광대역 잡음 요소를 감소시켜 신호 대 잡음비를 증가시키고, 동시에 증폭된 많은 신호들로부터 한 파장의 레이저를 선택하는 것이 가능하며, 또한 주파수 표류에 의한 특정 레이저의 주파수 추적과 lock이 가능하다. 이러한 특성으로 인해 무중계 거리의 확장을 위해 많은 연구가 지속되고 있는 광섬유 증폭기에 응용이 크게 기대되고 있다.

가변광필터는 Fabry-Perot 간섭계 또는 Mach-Zehnder 간섭계를 이용하여 제작 가능하며 높은 finesse와 기계적 안정성등의 장점이 있는 광섬유 Fabry-Perot 필터가 주로 많이 사용되고 있다. 광섬유 Fabry-Perot 필터는 두개의 마주하는 광섬유의 단면에 고 반사율의 mirror 코팅을 하여 공진기를 구성한 후, 특정 공진 길이에서 원하는 파장의 빛이 방출되도록 하는 방식으로 공진기 길이와 공진기 내부의 굴절율, 그리고 mirror의 반사율에 의존한다. 일반적으로 Fabry-Perot형의 가변광필터 설계시 고려해야될 사항은 다음과 같다. 먼저 finesse는 어느 한 채널이 이웃 채널에 의해 간섭받지 않으면서 동시에 얼마나 많은 채널이 사용될 수 있는지를 나타내는 지표로서 mirror 반사율과 평평도(flatness), 입사빔의 평형에 의존하며 전형적으로 20에서 500 사이의 값을 갖는다. 또 다른 중요한 parameter로는 Free Spectral Range(FSR)로 중첩없이 자유로이 가변 가능한 파장범위를 나타내며 공진기의 내부 굴절율과 공진길이 그리고 사용 파장의 함수로 정의된다. 크기는 사용용도에 따라 차이는 있으나 20에서 150nm 사이의 값을 갖는다. 필터의 대역폭(FWHM)은 FSR과 finesse의 비로 주어지며 필터를 통해 허용되는 최대 입력 채널 대역폭에 해당된다.

가변광필터에 의한 WDM 및 OFDM 전송방식은 DFB, DBR 그리고 다른 좁은 선폭(linewidth) 레이저의 등장과 광커플러 및 광섬유 증폭기등과 같은

주변 소자의 공급이 가능함에 따라 점대점(point-to-point)전송의 범주를 넘어선 광가입자 루프나, 다중 접속(multi-access)통신망 등 새로운 통신망 구성에의 응용을 기대하게 되었고 미국과 일본, 영국등을 중심으로 전송 실험 예가 보고되고 있다. 가변 광필터는 주로 광섬유 Fabry-Perot형을 중심으로 연구 개발되고 있으며 채널선택의 방식에 따른 다양한 연구결과가 발표되고 있다. 광필터가 채널 선택성을 갖기 위해서는 필터 cavity의 공진 조건을 변화시켜야 한다. PZT 변위 소자에 의한 공진 거리의 변화와 cavity내 grating의 입사각 변화를 이용한 방식으로는 미국의 Micron Optics사와 E-TEC사, 영국의 Queensgate사, 그리고 캐나다의 JDS-FITEL사 등에서 개발되어 제품화 되고 있다. 일본의 Santec사에서는 cavity내의 굴절률 변화를 이용하여 편파에 무관한 특성의 제품이 최근 발표되었고, 미국의 Advanced Optonics사에서는 cavity내에 액정을 넣어 인가전압에 따른 굴절률의 변화를 이용한 편파 무의존성 가변광필터가 개발되었다.

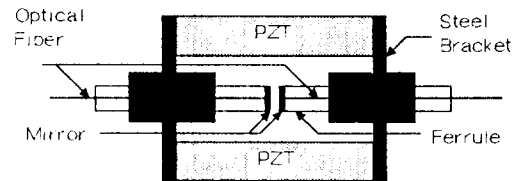


그림 8. 광섬유 Fabry-Perot 필터의 구조 (Micro-Optics사)

Ⅲ. 광전부품관련 시장개황

국내에서 정보통신관련 광부품 및 소자들의 시장이 아직 본격 형성된 것은 아니다. 정보처리분야에서는 각종 시스템의 잇단 개발로 소요 부품들의 시장도 형성되어 가고 있는 상황 이지만, 통신관련분야에서는 현재 추진되고 있는 국가주도의 각종 광통신 관련 계획들이 차질 없이 진행되어 본격 서비스가 시작되는 2000년을 전후한 시기에 가서는 광통신 관련 부품들의 시장규모가 상당 수준으로 팽창될 것임에는 틀림이 없을 것이다. 그림 9는 1989년 부터 1997년 까지의 광통신(Fiber-Optic Communication) 관련 소

요 광부품(능동 및 수동)의 전체적인 세계 시장 규모를 지역별로 나타낸 것이다. 지역별 점유율을 보면 북미, 서유럽 및 태평양 연안국의 순으로 되어 있는데 태평양 연안국의 거의 대부분은 일본이 차지하고 있다고 해도 과언은 아니다. 참고로 일본의 경우를 예로들면 1992년 현재 광전산업 전체생산액은 3조5천여억엔이며 1993년 추정예측치는 이보다 약 8% 증가된 3조 8천여억엔 으로 집계되고 있다. 이중 분야별 증가율을 보면 통신분야가 13%, 정보처리분야가 7.5% 이고 에너지 활용분야가 약 1% 증가하는 것으로 되어 있으며, 또한 광전부품(소자) 분야의 증가율이 12.7% 이고 광기기 및 장치 분야의 증가율이 6.4%로써 전체적으로는 통신분야의 광전부품이 괄목할 만한 증가율을 보이고 있음을 알 수 있다.

소자를 각각 한국전자통신연구소와 전자부품종합기술연구소를 중심으로 기술이 개발되고 있다.

표 2. 일본의 통신용 광부품 생산동향

(단위 : 백만엔)

항 목	1990년 실적	1991년 실적	1992년 실적	1993년 예측	1998년 예측
통신용 LD	19,252	21,778	24,100	25,758	64,395
통신용 LED	5,618	5,586	6,123	6,294	15,735
통신용 PD	9,371	10,000	9,819	11,033	27,582
소 계	34,241	37,364	40,041	43,085	107,712
광변조기	1,199	1,067	741	756	1,890
광콘넥터	22,100	20,908	19,821	11,524	28,810
광커플러	720	1,023	822	851	2,128
광감쇠기	1,630	1,561	1,271	1,165	2,913
광화이버	115,974	127,470	117,662	126,905	317,263
WDM	721	1,044	890	824	2,060
소 계	142,344	153,073	141,207	142,025	355,064

(출처 : 일본광산업기술진흥협회)

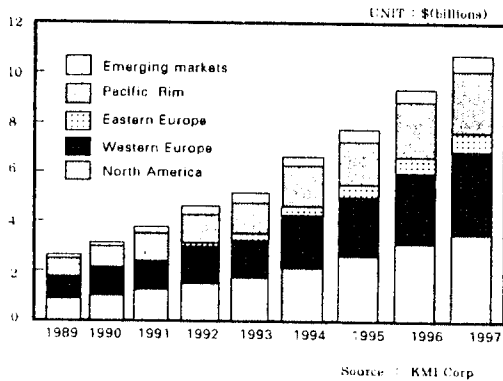


그림 9. 광섬유 통신관련 광부품의 세계 지역별 시장현황(출처 : KMI Corp)

표 2는 본고에서 언급한 주요 통신용 광소자들의 시장규모를 이해하기 위해 일본의 시장을 분석한 자료이다. 이 표에서 1998년의 시장 규모는 연평균성장율 12%를 일괄 적용한 것이다. 일본에서의 주요 광수동부품의 주요 용도별 최대 수요처를 살펴보면 1990년 기준 광커플러는 사설통신분야에 약 48%, 광변조기와 광필터는 공중통신분야에 각각 약 49% 및 61%로 되어있다. 정보처리용과는 달리 통신용 광소자의 국내 시장은 아직 본격적으로 형성된 상황이 아니기 때문에 그 규모를 정확히 예측하기는 힘들며, 국가차원의 광통신망 계획이 실용단계에 접어들면 그 규모는 상당한 수준이 될 것이다. 현재 국내에서는 B-ISDN 프로젝트의 일환으로 광능동소자와 광수동

일본의 기술이 우리보다 한발 앞서 있는 것은 사실이지만 시장 구조 및 제반 여건이 우리와 유사한 점이 많고, 더욱이 일본도 아직 본격적인 광통신 서비스가 시작된 것은 아니다. 따라서 현재 우리나라에서 추진중이거나 계획중인 광통신기술개발 관련 국가 프로그램들의 차질없는 진행이 이루어진다면 국내 광산업의 시장은 머지 않은 2000년대 초반에 이르러서 본격 성장기에 접어들 수 있을 것이다. 기술선진국에서도 일반적으로 2005년에서 2015년 사이를 정보통신산업의 최대성수기로 전망하고 있다.

IV. 맺음말

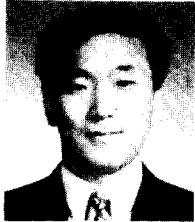
이상에서 우리는 정보통신용 몇가지 광부품들의 기술동향과 시장현황에 대하여 알아보았다. 선진국들은 장래 국가산업의 최우선과제로 국내 지역간은 물론 국가간 정보통신망의 구축을 위해 매진하고 있다. 기술선진국들은 자체 축적된 기반기술과 요소기술에서부터 시스템응용기술까지 경쟁력있는 기술력을 과시하고 있지만, 우리나라의 현실로는 몇가지 부분적인 기술을 제외한다면 아직도 해결하고 넘어야 할 문제

들이 산적해 있다. 특히 첨단기술관련 어느 산업 어느 분야를 막론하고 그 요소기술이라 할 수 있는 부품기술이 취약한 우리로써는 현실을 좀더 냉철하게 분석하고 좀더 경쟁력 있는 대응방안을 강구하여 21세기 고도 정보화 사회에서 결코 나오되는 일이 있어서는 안되겠다. 광전자 산업육성의 측면에서 볼 때 시스템 제조업체 마다 각각의 부품 하청업체를 두고 있는 지금까지의 한국적인 관습에서 벗어나야 할 것이다. 즉, 여러 시스템 업체가 공동으로 활용할 수 있는 부품제조 전문 중소기업체를 육성함으로써 부품업체에게는 단위경제 규모의 시장을 보장하여 주고, 시스템 업체에서는 이를 통해 부품의 제조단가를 낮출 수 있게 하여 기술 및 가격에서 경쟁력이 있는 핵심 부품을 공급 받는 상호 공조관계를 유지하도록 정책적으로 유도하여야 할 것으로 본다. 이를 위해 학계와 연구소에서는 기업이 필요로 하는 원천 기술을 선도적으로 개발하여 기업의 생산현장에 직접적용이 가능하도록 배후지원을 부단히 하여야 할 것이다. 정부도 기업이 의욕을 갖고 기술개발에 임할 수 있도록 하기 위하여는 관련 국가 프로젝트의 기업참여를 적극유도 지원하고, 아울러 최신 해외 기술정보를 수집 및 분석하여 그 결과를 국내 기업에 조속히 전파 보급하는 등 정보산업기술발전을 위한 일선에서 정보에 늦는 우를 범하게 하여서는 안될 것이다.

參 考 文 獻

- [1] 1992年度 用語委員會 報告書, 日本光産業技術振興協會 1993.
- [2] 光技術動向調査報告書, 日本光産業技術振興協會 1993.
- [3] 光産業の 動向(生産規模, 構造, 動向), 日本光産業技術振興協會 1993.
- [4] 阿部英雄, '93 光産業豫測便覽, (株)富士キメラ總研 1993.
- [5] 김득영, 화학물반도체 에피성장기술개발(연구보고서, 전자부품종합기술연구소 1993)
- [6] 김득영, 신동호, 윤대원, 정보통신용 InP계 응용광소자 구조연구, TELECOMMUNICATIONS REVIEW 통권27호, Vol. IV p56(1994)
- [7] John M. Senior, Optical Fiber Communications(Principles and Practice 2nd Ed.) Prentice Hall 1992.
- [8] Gerd Keiser, Optical Fiber Communications, 2nd Ed, McGraw-Hill 1991.
- [9] J. Wilson and J. F. B. Hawkes, Optoelectronics:an Introduction, Prentice-hall 1983.
- [10] W.Griffin, Passive components for the Subscriber Loop, SPIE, vol.1363, 40(1990).
- [11] Y.K.Chen, S. Sien, and J.W. Liaw, Hybrid Transmissive Optical Star Couplers with Gain Using Fiber Amplifier, IEEE Photon. Tech. Lett., vol.5, No.2, 230 (1993).
- [12] D.B.Mortimore and J.W. Arkwright, Monolithic Wavelength-Plattened 1X7 Single-mode Fused Coupler, Electron Lett., vol.25, No.9, 606 (1989).
- [13] Optronics No. 3 p47(1994).
- [14] 윤대원, 수동광부품개발 연구계획서 (unpublished, 전자부품종합기술연구소)

筆者紹介



金 得 寧

1958年 8月 24日生

1991年 2月 동국대학교 물리학과 (박사)

1985年 8月 동국대학교 물리학과 (석사)

1980年 2月 동국대학교 물리학과 (학사)

1992年 3月 ~ 1994年 현재 전자부품종합기술연구소 광전부품연구실 선임연구원

주관심 분야 : 화합물반도체 광소자, 수동광소자



申 東 浩

1961年 1月 22日生

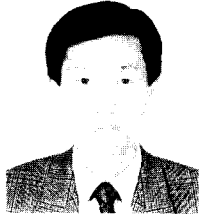
1985年 2月 충남대학교 물리학과 (학사)

1992年 2月 ~ 1994年 현재 전자부품종합기술연구소 광전부품연구실 전임연구원

1989年 12月 ~ 1992年 1月 금성산전 주안연구소 광반도체 Gr. 연구원

1988年 4月 ~ 1989年 10月 광전자 중앙연구소 광소자연구실 연구원

주관심 분야 : 반도체레이저, 광커플러, Integrated Optics.



尹 大 源

1949年 10月 14日生

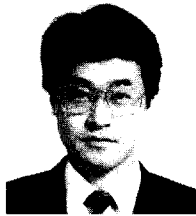
1988年 12月 Texas A&M University (박사)

1984年 8月 Texas A&M University (석사)

1971年 2月 한양대학교 전자공학과 (학사)

1991年 11月 ~ 1994年 현재 전자부품종합기술연구소 광전부품연구실장
 1989年 1月 ~ 1991年 4月 현대전자산업주식회사 반도체연구소 수석연구원
 1975年 5月 ~ 1982年 4月 금성정밀공업주식회사 중앙연구소 기정
 1973年 7月 ~ 1975年 4月 국방과학연구소 연구원

주관심 분야 : Integrated Optics, Filter Optics, Semiconductor Processing.



林 永 敏

1959年 11月 25日生

1992年 2月 인하대학교 대학원 응용물리학과 (박사)

1985年 2月 인하대학교 대학원 응용물리학과 (석사)

1983年 2月 인하대학교 응용물리학과 (학사)

1992年 3月 ~ 1994年 6月 현재 전자부품종합기술연구소 광전부품연구실 선임연구원

주관심 분야 : 수동광부품, 광감쇠기

주문형 반도체 설계기술

柳 泳 昱

(株)瑞斗로직 代表理事

1. 서론

'90년대 중반에 들어오면서 memory 기술은 더욱 발전 속도를 높여서 16M DRAM의 양산단계에 들어 갔고, 64M DRAM은 양산 준비단계이고, 256M 및 1G DRAM은 연구개발단계에 있다. 또한 memory 와 대응되는 CPU는 Intel의 80486 (약 100만개 transistor)을 거쳐서 Pentium은 300만개 이상의 transistor를 집적시켰다. RISC형인 SUN Microsystems의 Micro SPARC 2 chip도 이에 못 지 않은 집적도를 가졌고, 다음의 CPU에서는 약 1,000만개 transistor를 집적 시킬 것으로 예상된다.

주문형 반도체인 gate array나 standard cell 방

식의 IC는 90년 초의 10만 gate 크기를 지나서, 50 만 gate 이상을 설계 및 제조하는 기술이 상용화 되고 있다. 이를 지원하기 위한 EDA 기술은 '90년초 에 Hardware Description Language (HDL)를 이용한 설계 기술이 점차 보급되기 시작했고, 이를 뒷받침하여 종래의 gate 수준의 tool로 변환시켜 주는 논리합성 tool이 근자에 가장 많이 쓰이고 있다. VHDL 이상의 영역에서 Electronic System Design Automation (ESDA) tool들이 대두되고 있다. 이상의 결과를 요약해 보면 (표 1)과 같다.

근자의 CICC, DAC, ASIC Conference등 중요 학술대회에서 거론되는 중요한 요점은 더욱 더 커지는 시스템 수준의 설계를 얼마나 빨리 정확하게 집적 회로 Chip을 만들어 낼 수 있겠는가 하는 것이다.

표 1. 90년대의 Memory, 논리소자&ASIC 기술 전망

년		1989	1990	1991	1992	1993	1994	1995	1996	1997	1998	1999	2000
DRAM	비율	8K	16K	32K	64K	128K	256K	512K	1M	2M	4M	8M	16M
	설계	0.8um	1.0um	1.2um	1.5um	1.8um	2.0um	2.5um	3.0um	3.5um	4.0um	4.5um	5.0um
	1tcho	4인	4인	4인	4인	4인	4인	4인	4인	4인	4인	4인	4인
	전면	5인	5인	5인	5인	5인	5인	5인	5인	5인	5인	5인	5인
Logic	CISC	10 MIPS	20 MIPS	40 MIPS	80 MIPS	160 MIPS	320 MIPS	640 MIPS	1280 MIPS	2560 MIPS	5120 MIPS	10240 MIPS	20480 MIPS
	RISC	40 MIPS	80 MIPS	160 MIPS	320 MIPS	640 MIPS	1280 MIPS	2560 MIPS	5120 MIPS	10240 MIPS	20480 MIPS	40960 MIPS	81920 MIPS
	구분수	30~40	50~60	70~80	90~100	110~120	130~140	150~160	170~180	190~200	210~220	230~240	250~260
	집적도	50%	60%	70%	80%	90%	100%	110%	120%	130%	140%	150%	160%
ASIC	비율	10K	20K	40K	80K	160K	320K	640K	1280K	2560K	5120K	10240K	20480K
	설계	1.0um	1.2um	1.5um	1.8um	2.0um	2.5um	3.0um	3.5um	4.0um	4.5um	5.0um	
	1tcho	4인	4인	4인	4인	4인	4인	4인	4인	4인	4인	4인	
	전면	5인	5인	5인	5인	5인	5인	5인	5인	5인	5인	5인	
EDA	HDL	Verilog	Verilog	Verilog	Verilog	Verilog	Verilog	Verilog	Verilog	Verilog	Verilog	Verilog	Verilog
	EDA	Verilog	Verilog	Verilog	Verilog	Verilog	Verilog	Verilog	Verilog	Verilog	Verilog	Verilog	Verilog

시스템 수준에서 주문형 설계를 해야 한다면, 그 아래 수준의 회로 설계는 오히려 표준형으로 하여, 시스템 수준에서 최적화하고, 또 같은 분야의 다른 시스템 설계에도 쓰이게 하는 것이 적절하다는 주장이 대두되고 있다. Synopsys 사장인 Art de Geus는 '93년 ASIC Conference에서 일백만 gate ASIC을 설계 하기 위해서, HDL로 설계하고, high level synthesis를 사용하여, 큰 function(LSI-VLSI급) block으로 짜맞추는 것이 현실적인 방법이라고 제안하였다. '94년도 DAC의 panel에서는 현재의 주문형 IC설계 능력을 높이기 위해서 EDA 기술의 전면적인 개량이 필요하다고 지적되었다.

한편 HDL을 이용한 top-down 설계 방식은 90년 초반부터 정착되었다. 근래에 논리합성된 결과를 실제 Chip으로 제작하기 전에 빨리 모형을 만들어 보거나, 보드 수준에서 software 또는 다른 hardware와의 동작을 확인하기 위해서, FPGA 모형을 쓰거나 logic emulation 기술을 쓰는 경향이 늘어난다.

주문형 반도체 설계에서는 그 집적도가 올라가면서 생기는 문제점과 속도가 올라가고 소자 크기는 점점 줄어드는 문제로 생기는 현상을 해결해야 한다. 전자 는 높은 집적도를 가지는 digital 회로를 어떻게 빠른 시간내에 정확히 설계해 내느냐 하는 것인데, 자연스럽게 종래의 gate 수준 설계 방식보다는 상위 수준의 설계 방식을 채택하게 된다. 대다수의 주문형 반도체 IC는 이 방식을 택하게 되고, 또 상당히 자동화 된 설계 tool을 이용하게 된다.

후자 문제에서는 digital 회로 자체도 필요한 경우에는 analog 회로로 해석을 해야하고, device나 연결선의 parameter 추출 및 model화도 중요하다. 일부 자동화 하는 tool들이 만들어 지고 있으나, 대부분 종전의 수동으로 하는 회로 simulation 수준에 머물고 있고, 실제 많은 인력이 드는 부분이다.

여기서는 대부분의 주문형 IC 설계 방식인 고집적 digital 회로 설계에 대해서 고찰하고, 향후의 발전 방향을 알아본다.

II. HDL을 이용한 Top-down 설계 방식

'90년대 전반기부터 본격적으로 쓰이게 된 top-down 설계방식은 주문형 반도체의 복잡도가 수만수

십만 gate로 올라가면서 거의 필수적으로 되었다. 많은 게이트의 설계를 단시일내에 할 수 있는 장점에 비해서, 새로운 tool을 배워야 하고 또 잘 정립되지 않은 환경에 어려움을 겪을 수 있다. 종전의 Schematic Capture/editing 방식에 비해서 훨씬 설계능력을 발휘할 수 있으므로 채택하지 않을 수 없다.

Top-down 설계방식에서는, 설계자가 HDL이나 큰 기능 block(HDL 생성 가능한)을 이용하여, 목표 시스템의 구조나 기능을 설계한다. 여기서 생성된 HDL은 논리합성(자동)을 거쳐서, 잘 입증된 종전의 EDA 환경으로 넘어간다. 그림 1에서 VHDL Simulation 및 Synthesis는 전체 EDA 환경의 머리 부분에 해당된다. HDL을 이용한 설계는 종전의 gate 수준 설계에 이용되던 Software 및 Hardware model을 HDL 수준에서 이용하고, 또 역시 gate 수준의 netlist를 simulation 하는데 필요한 가속기도 쓰인다. 기본적으로 HDL Simulator에 HDL code를 입력하고 오류 정정을 하는데 필요한 Source Code Debugger가 필요하다. 논리회로 합성기는 HDL을 논리회로로 바꾸어 주고, 쓸려고 하는 ASIC 또는 특정 Library로 최적화시켜준다.

또한 종래의 gate 수준 tool 환경으로 넘어가기 위해 필요한 test기능을 넣기도 하고, test vector를 자동으로 만들어 주기도 한다. 또한 device 크기가 submicron으로 내려가면서, pin-to-pin delay나 interconnection delay를 layout에서 추출하며, 논리합성툴로 입력하여, 사전에 timing 및 path delay 점검하게 한다. 또 delay를 고려한 논리 회로 합성을 유도한다.²⁾

현재 산업체에서 주로 쓰이는 HDL은 VHDL과 Verilog가 있다. VHDL은 미국 국방성에서 개발하여 IEEE 표준 1076으로 87년도에 지정되었고, '92년도에 수정안이 만들어졌다. Verilog는 OPEN Verilog International(OVI)에 의해서 관리되며, 여러개 회사들이 VHDL tool 보다 먼저 Verilog simulation 및 synthesis tool을 개발하여 보급하였고, RTL 이하의 설계용으로 주로 쓰인다. VHDL은 언어의 표현력이 풍부하여 Behavioral 수준에서 많이 이용되며 점차 ASIC 반도체 회사들이 Library model을 지원해 나가고 있다. VHDL과 Verilog의 특징 비교를 간단히 (표 2)에 보았다.³⁾

VHDL vs. VerilogVHDL과 Verilog의 보급 현황을 (그림 2)에 보았다.⁴⁾ VHDL simulator와 Verilog

EDA Environment in 1990s

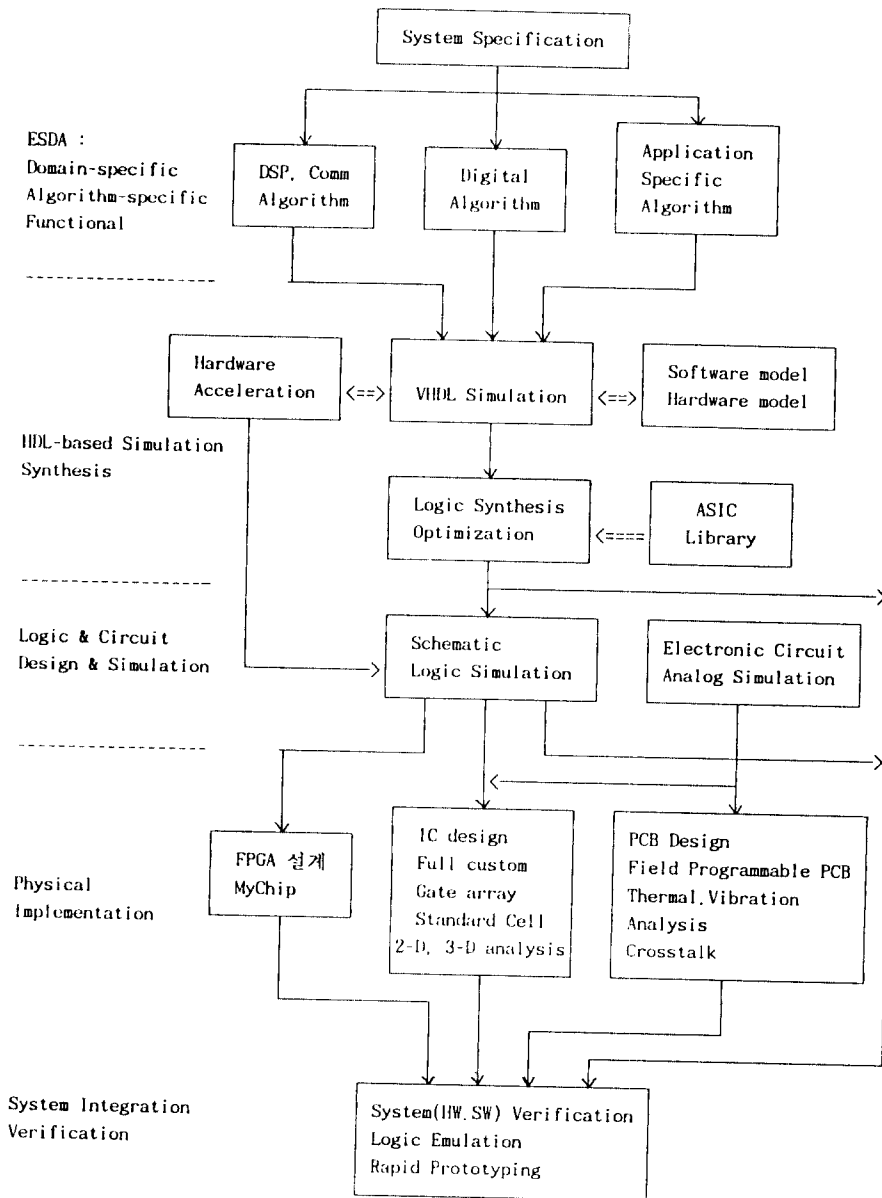


그림 1. 1990년대의 EDA환경

는 1992년에 각각 5000 copy 정도가 보급되었고, '93년에는 각각 7500 copy 및 6000 copy로 되고, '96년에는 21,000 copy 및 9,000 copy로 늘어날 것으로

전망한다. 또 전세계적으로 100,000여개로 추산되는 HDL사용대상과제에 약 10% 정도(93년)가 HDL을 사용하고 있다고 추산한다. 미국에서는 사용율은 급히

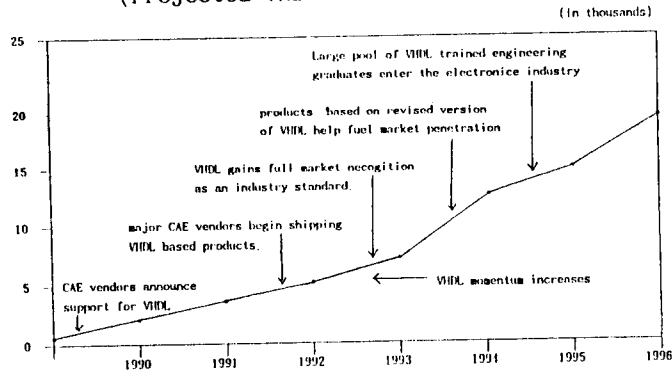
증가하여 '93년에 50%, '96년에 75%가 HDL 이용한 설계를 할 것이라고 추측한다.

논리합성은 HDL 근거한 설계에 필수적인 기술이다. 이는 HDL로 기술된 코드를 논리적으로 동등한 gate 수준으로 바꾸는 과정과, gate 수준으로 바뀌어진 netlist를 회로의 동작속도와 실리콘 면적에 대해서 최적화하는 과정으로 되어있다. '80년대 초에 연필과 종이로 한달에 한사람이 약 300개의 설계를 했고, '85년경에는 회로 입력 톨을 이용하여서 약 1000개의 gate를 설계할 수 있었다. '90년대 초에는 논리합성 톨을 이용하여서, 한달에 약 4-5000gate을 설계할 수 있게 능력이 향상되었다. 앞으로 더욱 높은 수준의 HDL code를 합성할 수 있는 기술이 개발되어 설계의 생산성이 높아질 것이다. 또 HDL을 이용한 설계는 논리합성기의 능력에 따라서 같은 HDL code를 이용하여서 여러 FPGA device 및 ASIC에 맞추어 합성하므로써 code를 재사용 할 수 있고, 목적에 잘 맞는 device나 foundary를 고를 수 있다.

표 2. VHDL vs. Verilog

	VHDL	Verilog
Brevity (Lines of Code)		V
Ease of Learning (Time to become proficient)		V
Safety (Prevent/catch programming errors)	V	
Expressiveness (Ability to build in new constructs/primitives that make sense)	V	
Manage Complexity (Build reusable library)	V	
Configuration (eg. Ability to declare UART pins depending on design goals)	V	
Performance of Underlying Tools		V
Availability of Gates/libraries		V

(Projected Installed Base of VHDL)



Projected installed base of Verilog HDL

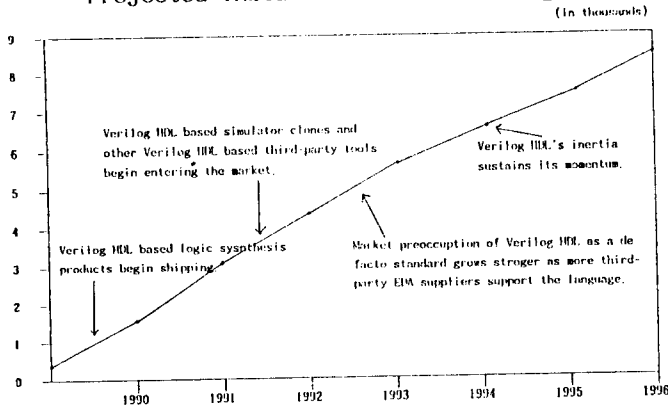


그림 2. Verilog 및 VHDL 보급 전망

Ⅲ. ESDA를 이용한 설계방식

'90년대초에 HDL을 이용한 Top-down 방식은 종전의 Schematic 입력을 이용한 설계방식에 비해서, 생산성을 수배 올려놓았다. 그러나 chip의 집적도 향상에 비해서는, 아직 설계기술의 향상은 아주 늦은 편이다.

IC 제작 능력의 발달과 설계 기술의 생산성 향상을 (그림 3)에 보였다.^[4] 반도체 제조기술은 '80년 초에 비해서 '92년에는 약 39배의 집적도를 향상시켰다. 한편 설계 기술은 Schematic editing 및 logic simulation, 그리고 논리 합성기술의 개발에 힘입어 7배의 성능향상을 가져왔으나, 2000년까지 그 격차는 비례적으로 여전하리라 본다.

근래에 ESDA 툴들은 알고리즘 또는 기능 수준에서 설계를 그림으로 입력하여, 이를 Behavioral 수준에서 Simulation 하고, 그 설계 결과를 VHDL로 출력하게 한다. (그림 1)에 ESDA 툴의 개념을 보였는데, 주로 한정된 영역에서 잘 정의된 알고리즘을 처리하게 한다. 통신 또는 digital 시스템의 설계를 위한 이 분야의 tool들이 개발되어 있다. 또 근자에는 무선통신 부문, multi media 부문에 응용되는 ESDA 기술도 선보이고 있어서 응용영역이 넓어지고 있다. 입력은 그 분야에 많이 개발되어 있는 Library를 이용한 flow diagram을 그려서 한다. 또다른 입력 형식은 state diagram, Truth table, boolean equation등 설계자가 익숙하게 쓰는 형식을 취하게 한다. 출력은 바로 gate 수준으로 가지 않고, VHDL이나 Verilog로 한다.

ESDA를 VHDL을 통하여 실제 세계로 연결해 주는 합성 기술은 더욱 중요해지고, 많은 연구개발이 진행되고 있다. Behavioral Synthesis는 대체로 datapath 합성이나 scheduling에 그쳤으나, 점차 성능을 향상시키며 면적을 최소화 하는 경향이 지속된다. 또 추가적으로 controller inferencing, memory inferencing 등이 개발되며 architectural 및 logic 합성기술과 통합되어 진다. 또 더욱 효율적인 Chip layout을 얻기 위해서, layout-driven Synthesis도 '94년 DAC에 선을 보였다.

(그림 3)에서 보는 바와 같이 '90년대 후반기의 설계 생산성을 높이기 위해서, 시스템 또는 알고리즘 수준의 설계를 자동화 하는 ESDA 기술의 발전은 필

수적이다. 이를 보완하기 위해 ASIC 회사들의 library에 종래의 LSI-VLSI급의 core cell들이 지원되어야 하고, 또 상위 수준의 Behavioral description 들이 이러한 core cell에 직접 mapping 되게 하는 것도 해결해야 할 문제들 중의 하나이다.

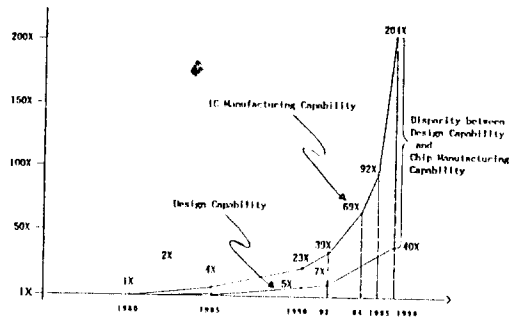


그림 3. IC 제조 기술과 설계 기술의 발전 비교

Ⅳ. Rapid Prototyping

Time-to-market을 줄이려는 제품 개발자들이 요구에 부응하여 PLD 기술은 '90년대에 들어와서 갑자기 주목을 받으며 성장하고 있다. 특히 FPGA는 시스템 설계자들이 자신의 설계 내용을 자신의 작업대 위에서 모형을 만들어 볼 수 있는 편리성 때문에 각광을 받고, 수만-수십만개의 대량 제작이 아닐 경우에는 양산으로 까지 쓰인다. 또 PLD는 ASIC을 만들기전에 동작 확인을 해보게 하고, Programmable Interconnect Board는 보드상에서 부품의 상호 연결도를 바꾸면서 모형을 꾸며 볼 때에 쓰인다.^{[5],[6]}

이러한 소자들의 기본 기술은 Programmable Hardware이다. (그림 4)에서 보면, '70년대 초반부터 '80년대 말까지 마이크로프로세서의 발전이 있었고, '70년대 말에서 '90년대 중반까지 PLD의 발전이 있었고, '90년대 초에 탄생한 Programmable Interconnect Component는 2005년경까지 성장하리라 예측하고 있다.^[8] 이러한 기술 경향을 유추하면 2000년대 초기에 Programmable System이 개발되어서 그후 15년-20년간 유용하게 발전해 나갈 것이라는 추측도 가능하다.

ASIC 또는 시스템의 Rapid Prototyping은 이러

한 Programmable Hardware를 이용하여 손쉽게 할 수 있다. 하나의 Project에 여러 사람이 관계하거나, ASIC을 만들기 전에 hardware 상호간의 기능 점검을 하고, 또 ASIC이나 PCB가 완성되기 전에 필요한 Software를 개발하거나, 사전에 운용시험을 해 볼 수 있게 한다. ASIC gate수가 수만개 이상이 되고, 음성, 영상 등을 처리하는 주문형 chip은, 상당 부분 상위 응용 program이나 다른 chip과 통신하기 위한 firmware 등이 필요하게 된다. 또 현재의 FPGA는 대개 10,000 gate 미만의 회로를 집적할 수 있는데, 그 이상의 gate에 대해서는 여러개의 FPGA를 써야 한다. 10만-20만 gate의 회로를 10-30개의 FPGA로 분할해 넣는 것은 여간 어렵지가 않다. 각 FPGA에 적절한 gate수의 회로를 할당하면서, FPGA 소자간의 상호연결선을 최적화 해야 하기 때문이다.⁷⁾

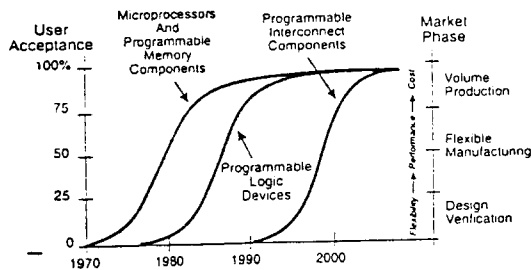


그림 4. The Programmable Hardware Evolution.

FPGA를 이용한 견본이나 logic emulator를 이용한 emulation은 거의 실제 시스템 속도를 내면서 기능 시험을 할 수 있게 한다. 현재의 Software Simulator는 그 vector 값이 좀 크면, simulation time이 1-2주로 늘어나서 비효율적이다. Hardware Accelerator가 Simulator의 200-300배 정도가 빠르다고 해도 수십시간이 걸리게 된다. 따라서 응용 software를 돌려서 기능을 확인해 보기 위해서는 FPGA를 이용한 prototype을 제작해서 시험하거나 Logic emulator를 써서 emulation을 해야 한다. 이때 logic emulator의 속도는 정상 시스템 속도의 1/2-1/5정도이다.

Logic emulation은 chip 제작전에 system 및

software를 입증하여 시장에 먼저 제품을 낼 수 있는 장점이 있다. (그림 5)에 보인 것과 같이 종전의 순차적인 설계 방식은 실리콘 chip이 먼저 제작되어야 하고, 이 chip을 이용하여 PCB제작을 한 후에 Software를 얹어서 시험을 한다. 이 때 실리콘 chip의 동작에 문제가 있으면, 그 개발기간은 엄청나게 늘어난다. 한편 Logic emulator를 이용한 동시적인 설계 입증 방법은, Software개발, PCB 보드 개발 및 IC 개발을 같은 기간안에 동시에 진행할 수 있어서, 전체 개발기간을 엄청나게 줄일 수 있다. 가장 시간이 걸리고 위험도가 높은 실리콘 chip을 제작하기에 앞서 emulation으로 시험하여 이상이 있으면 emulator를 다시 프로그램하므로써 그 기능을 고칠 수 있다.

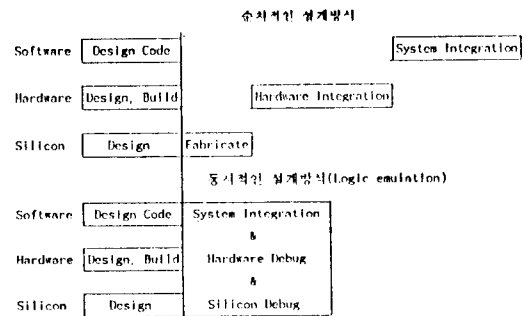


그림 5. 종전 설계 방식과 Logic emulation을 이용한 경우

V. 설계 예

주문형 반도체 제품의 많은 예가 time-to-market 을 고려하여 FPGA로 설계 제작하고 있다. 또 생산량이 많아 지면 FPGA에서 Gate Array등으로 변환해 주는 서비스도 제공되어, 주문형 chip 개발의 어려움을 해소해 주고 있다.

근래의 ASIC Conference, DAC 등의 학술대회에서 (그림 1)에서 보인 것과 같은 ESDA 설계환경을 이용한 설계 예가 많이 발표되고 있다. 또한 CPU 개발, PC Chip set 개발, image등 multimedia chip 개발 등에서 Logic emulation 기술을 써서 사

전에 응용 Software를 다 운용해 보는 경향이다. 특히 Intel, SUN, HP, Silicon Graphics, AMD 등의 CPU 개발회사는 Logic emulation 기술을 잘 활용하고 있다.

국내의 연세대학교 ASIC 설계 공동연구소에서 개발한 32-bit RISC CPU인 SPARK(SPK611)은 Verilog를 이용하였고, VLSI Technology의 ASIC Library를 사용하여 단시일내에 개발하였다. SUN Microsystems SPARC chip과 호환되게 하여, 세계 시장에 호환하여 쓸 수 있는 CPU 개발에 대한 가능성을 보여주었다.^[9]

KAIST에서 개발한 32-bit RISC인 그림들은 VHDL을 이용하면서, 위의 경우와 같이 VLSI Technology의 ASIC Library를 써서, Top-down 설계방식으로 여러사람이 대형 설계 작업을 공동으로 완성하였다. SPARK과는 반대로 자체적으로 사양을 결정하여 만들었고, VHDL을 이용한 Top-down 설계 방식을 썼으나, ASIC Vendor의 Library로 mapping 하는 부분의 기술이 채 미숙된데서 오는 어려움을 겪었다. 저자가 말한대로 대형 project의 설계 방법이 중요했으나 설계들의 미완으로 시물레이션의 어려움이 있었고, 한편 Simulation의 중요성을 경험하였다.^[10]

근래에 KAIST에서 Intel의 부동 소수점 연산기인 80387과 호환인 연산 Chip을 개발하였는데, Verilog model로 충분히 simulation한 다음에 VLSI Technology의 ASIC Chip으로 제작하였다. 한편 Intel의 마이크로프로세서 80386과 호환인 CPU Chip을 설계 제작하기 위해서, Verilog로 SPARC 10에 model을 한 후 80386 motherboard의 CPU Chip을 대체하는 logic emulation 기법을 쓰고 있다.^[11] 즉 SPARC 10과 386 주기판 사이에 interface 보드를 만들어서 제어 신호와 데이터 신호를 주고 받게하고, 주기판의 80386 Chip 대신에 SPARC 10에 들어있는 80386 Verilog model 이 CPU 기능을 대신하는 것이다. 이 Verilog 80386 model에 MS DOS를 올리고, 응용 program을 돌리면서, 386 model의 오류를 찾아내고 있다. 충분한 emulation을 하면 호환되는 386 CPU를 얻는 것은 문제 없다고 본다. Software model을 이용한 emulation은 hardware emulator에 비해서 1/10,000 정도의 낮은 속도로 운영되는 단점이 있다. SPARC 10 대신에 Hardware Accelerator를

쓰면 속도가 100배 이상 빨라질 것이고, Hardware emulator는 실제 속도의 1/2에서 1/5로 가속된다. 개발시기의 완급에 따라 투자의 효율성을 고려해야 하겠지만, Hardware 가속기는 gate 당 \$0.5정도이고, Hardware emulator는 대체로 \$1-2.5로 가격이 비싸진다. KAIST의 Software model emulator는 시간 여유가 있고, 연구개발비의 제약이 있는 경우 해볼만한 방법이다.

인천대학교에서는 VHDL을 이용해서 RISC를 설계하고, 이를 FPGA에 구현하는 방법으로 교육용 시스템을 설계 제작했다.^[12] 대학교에서 VHDL modeling, RISC CPU 설계, Logic Synthesis, 그리고 FPGA 실현을 하는데 필요한 모든 자료를 담고 있다.

서두로직에서는 CCITT G.721 표준규격인 ADPCM를 ESDA tool을 이용한 Top-down 설계 방식을 썼는데, ASIC Chip제작을 하기전에 logic emulation을 하여서 사전에 기능상의 오류를 전부 제거하였다^[13]. 총 5개 회사의 EDA Tool 6종을 이용하여 설계를 하였는데, EDA 분야의 표준화가 잘 되어 있어서 VHDL 및 EDIF를 이용하여 설계 자료를 주고 받는데에 별 문제가 없었다. 사용된 틀은 floating point DSP 설계용 tool, fixed point DSP 설계용 tool, VHDL Simulator, VHDL 논리합성기, logic emulator, 또 LSI Logic 회사의 Sign off simulator인 MDE 등이다.

이상의 설계예에서 보듯이 국내의 주문형반도체 설계 방식도 ESDA, VHDL, Verilog를 이용한 top-down 방식을 많이 채택하여, 설계상의 유연성, 공동설계자간의 협력, Tool간의 data 수수 문제를 해결했고, chip 제작 전에 충분한 simulation 및 emulation을 거쳐서, 시간을 단축하고 또 chip 제작시에 성공확률을 높이고 있다. '89년부터 국내에 도입된 VHDL도 근자에 산업체, 국가연구소, 대학교에 급격히 보급되고 있어서, 새로운 설계 방식에 대한 인력양성과 기술 발전의 도약 단계에 있다고 본다.

VI. 결 언

반도체 기술의 발전에 따라 설계 기술 특히 빠른 시간내에 사용자의 주문에 맞추어 설계해야 하는 주

문형 반도체 설계 기술은 생산성 향상이 절실하게 되었다.

더욱 많은 시스템 설계자들이 더욱 많은 게이트 수의 주문형 Chip을 설계해야 하고, 경쟁에 대비하여 남보다 빠르게 그리고 정확하게 설계해야 하는 것이다. 결과적으로 관련된 EDA Tool의 성능향상이 되어야 하고, 또 경쟁에 이기기 위하여 더 많은 투자도 하게 된다.

VHDL은 표준형 hardware 설계 언어로서, 시스템 수준의 알고리즘을 설계하거나, 반도체 설계자들이 주로 관심 있는 RTL, 게이트 수준, 스위치 수준까지를 다룰 수 있게 되어 있다. 많은 EDA 회사들이 VHDL에 관련된 ESDA, Simulation 및 Synthesis tool들을 경쟁적으로 개발하여, 그 성능을 개선하고 있다. 또 반도체 회사들은 ASIC Library들이 이들 VHDL 설계를 잘 지원할 수 있게 만들고, 더 큰 설계를 쉽게 하기 위해서 cell들의 크기를 LSI 및 VLSI 급으로 크게 올리고 있다.

Time-to-market을 맞추기 위해서 FPGA를 이용한 rapid prototyping 또 logic emulation 기술이 발달하고 있다. 설계는 더욱더 시스템 수준에서 하고, 실현은 바로 ASIC으로 해내는 경향이다. 여러가지 설계 예에서 보듯이, ESDA 및 HDL로 된 설계는 곧 바로 반도체 회사의 Sign-off tool로 연결되어 처음 설계한 Chip이 바로 동작율이 상당히 높다. Top-down 설계방식을 지원하는 EDA Tool이 안정되고, ASIC Vendor의 library 지원이 좋다는 것을 입증한다. 국내의 설계 기술은 수년 격차로 선진국을 따라가고 있으나, 아직 실제 제품면에서는 더욱 많은 차이가 있다. 새로 설계를 시작하는 과제나 신규연구직이나 또 대학교에 새로운 설계방식을 보급하는 것이 중요하다. 즉 새로운 인력은 새로운 방식을 쉽게 받아들일 수 있으므로, 선진국과의 격차를 줄일 수 있는 기회가 된다고 생각한다.

한편 소자의 크기가 0.3-0.1 um으로 줄어들고, PCB 보드상에서 clock 속도가 100MHz 이상으로 되면서 발생하는 noise, crosstalk, timing 문제를 해결하기 위해 Signal Integrity용 tool들도 많이 등장하고 있다. 또 analog 및 digital을 한꺼번에 처리하는 mixed-mode simulator, 10만개 이상의 transistor를 switch 수준 simulation하는 tool들도 device 크기가 작아지거나, 집적도가 높아지면서 필요하게 된 틀들이다.

參考文獻

- [1] '90年代의 電子技術預測 日本通商産業省 技術預測分科會, 1990年 11月 20日
- [2] Lisa Maliniak "Submicron ASIC Tools Enhance Predictability" Electronic Design, pp61-68, April 18, 1994.
- [3] Bill Arnold "Turning to HDLs for Fast Design Relief" ASIC & EDA, pp54-66, June 1993.
- [4] Ronald Collet "ASIC Design in the 1990s : Tools, Technologies and Tradeoffs" Nikkei Electronics Asia, pp39-45, October 1992.
- [5] Wayne Datwyler "Reducing ASIC Design Risk Using Programmable Logic" Paper Proceedings, The 4th PLD Design Conference, pp1.1.2.A, April 1994.
- [6] Ajeet Singh "Use of Aptix Programmable Interconnect System for Developing DSP-Based Systems" Paper Proceedings, The 4th PLD Design Conference, pp1.1.1.B, April 1994.
- [7] Ray Wei "A Software Solution to FPGA-based ASIC prototyping" Electronics Engineer, pp46-49, November 1993.
- [8] Aptix Data Book, pp1, February 1993.
- [9] 이문기2 "32비트 SPARK RISC Controller의 특징 및 응용" 전자공학회지 Vol. 20 No. 11, pp1180-1189, Nov. 1993.
- [10] 경종민 "32-bit RISC 그림돌 시스템의 동시공학설계" 전자공학회지 Vol. 20 No. 11, pp1190-1197, Nov. 1993.
- [11] 경종민 교수 연구실 방문 KAIST, 전기 및 전자공학과, 1994년 2월.
- [12] 이승우, 조중휘 "VHDL을 이용한 마이크로 프로세서의 FPGA 구현" 전자공학회지 Vol. 20 No. 11, pp1198-1204, Nov. 1993.
- [13] Young-Uk Yu, et al "ASIC Implementation of 32 kbit/s ADPCM" International Conference on VLSI and CAD 1993, pp350-353, Nov. 1993.

筆者紹介



柳 泳 昱

1973年 한양대학교 전자공학과 졸업

1975年 한국과학기술원 전기 및 전자공학과 졸업

- 1975年 ~ 1977年 한국과학기술원연구원 (KIST), 반도체기술개발 센터
- 1977年 ~ 1981年 한국전자기술연구소, LSI 설계실, 실장
- 1982年 ~ 1985年 한국전자기술연구소, 미국사무소, 소장
VLSI Technology, Inc., Design Center 근무
- 1985年 ~ 1989年 한국전자통신연구소 자동설계기술개발부, 부장
- 1989年 ~ 1990年 Valid Logic Systems, Inc. 한국지사, 지사장
- 1990年 ~ 1994年 현 (주)서두로직 대표이사