

개인휴대 통신기기의 저전력 프로세서

趙 威 德, 黃 聖 圭

電子部品綜合技術研究所 ATEL 事業團

1. 서론

최근에 폭발적인 수요를 보이는 이동통신 전화기와 차세대 이동통신 서비스로 각광받고 있는 PCS(Personal Communication System) 서비스가 점차 가시화 되고 있다. 이러한 개인휴대 통신기기인 이동전화기 및 PCS 단말기는 간편한 휴대를 위한 소형경량화 기술과 더불어 특히 단말기의 장시간 휴대 동작을 위한 전력소모 최소화로 전지(battery)의 사용시간을 최대화하는 전력소모에 대한 지능적 제어기술을 필요로 하고 있다. 개인휴대 통신기기에 응용되는 전지 성능은 현재 니켈-카드뮴(nickel-cadium) 전지의 경우 1와트-시간에 20watts-hour¹ 정도이며 향후 5년내에 약 30% 이상의 성능개선²은 어려울 것으로 예상된다. 이러한 전지성능은 결국 휴대통신기기의 무게와 부피에 직접적인 영향을 미친다. 따라서 휴대통신기기의 제한된 전지성능에 대해 장시간 휴대 동작을 위해서는 저전력 소모 기술 응용이 필수요소가 되었으며 특히 개인휴대 통신기기의 핵심부인 baseband를 구성하는 신호처리 프로세서 및 CPU 등의 저전력 설계기술이 매우 중요하다.

'90년대에 들어 이동통신 전화기 가입자의 급격한 증가는 기존의 아날로그 이동통신 시스템으로는 수용의 한계를 노출하여 디지털 이동통신을 위한 새로운 시스템. 예를들어 GSM(Global System for Mobile communications), 아날로그/디지털 혼용 AMPS, 디지털 AMPS, DCS1800, DECT, PHP-JDC(Japanese Digital Cellular), CDMA 시스템 등이 출현하여 시스템 구조, 변조방식, 데이터 전송율 및 동작주파수 등에 대한 표준화 준비가 활발히

진행되고 있으며, GSM을 비롯한 일부 디지털 이동통신 시스템은 현재 상용 서비스가 진행되고 있다.

그림 1은 디지털 이동전화기의 개략적인 블럭도로서 핵심 IC와 기능을 나타냈다. 디지털 이동전화기는 변조방식, 채널호출 및 교정, 디지털 음성부호화, 에러정정 등의 차원에서 기존 아날로그 방식에 비교해 판이하게 다르며, 그림에 보인바와 같이 주요 핵심부품은 baseband 디지털 신호처리를 위한 DSP와 음성의 디지털/아날로그 상호변환을 위한 ADC (Analog-Digital Converter), DAC(Digital-Analog Converter) 그리고 시스템 제어를 위한 콘트롤러(controller) 및 baseband 신호의 무선전송을 위한 RF(Radio Frequency) front-end 등으로 구성된다.

예를들어 TDMA(Time Division Multiple Access) 방식의 GSM은 네트워크 용량 확장성과 시스템의 표준을 목적으로 하며 이동통신 환경하에서 가능한 부가서비스-SMS(Short Message Services), 무선호출(paging), 팩스 등의 서비스도 가능하다. GSM 이동전화기의 경우 디지털 음성전송을 위한 음성부호화의 RPE-LTP(Regular Pulse Excitation-Long Term Prediction) 알고리즘은 64kbps의 입력 음성 데이터를 13kbps로 압축하며, 채널 데이터의 에러방지 및 정정을 위해서 길쌈부호(convolutional encode), Viterbi 복호(decode) 방식을 이용하며, 연속위상 변조(continuous phase modulation)방식인 GMSK(Gaussian Minimum Shift Key) 변조에 의해 baseband 신호를 RF단을 이용하여 900MHz대의 무선전송을 한다. 이와같은 GSM의 baseband 신호처리와 관련된 음성부호화, 변복조, 채널 등화기능 등은 단말기 제조회사마다 약간의 차이는 있지만 일반적으로 DSP를 이용하여 신

호처리 알고리즘에 의존한 소프트웨어적인 방법으로 구현한다. 채널부호와 기타 필요한 기능은 하드웨어로 직접 구현하며, 시스템 제어를 위한 메모리가 내장된 마이크로 프로세서가 필수적으로 이용되며, 일부 회사에서는 채널 관련 하드웨어와 마이크로 프로세서를 단일 칩으로 구현하려는 추세이다. 또한 음성의 디지털 전송 및 아날로그 재현을 위한 ADC와 DAC가 이용된다.

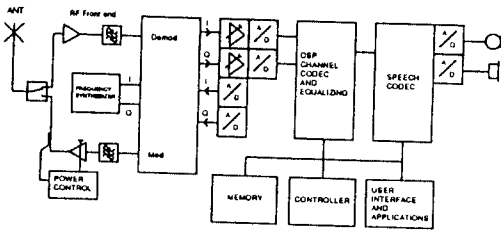


그림 1. 디지털 이동전화기의 개략적인 블럭도

GSM 이동전화기의 baseband 관련 IC 기술은 통화시간의 최대화와 휴대 간편성을 도모하기 위한 소요 부품수의 감소 및 전력소모의 지능적 제어기술 등의 동향을 나타내고 있다. 현재는 RF 및 아날로그 front-end를 제외한 baseband 구성에 디지털 신호처리 프로세서, CPU 등을 비롯한 5~6개 이상의 IC가 소요되나 GSM 이동전화기 칩 관련 제조사의 계획을 보면 94년 전반기내에 2~3개의 IC로 구현될 예정이다. 또한, 이동전화기의 대부분의 칩이 5V 공급전압에서 동작하고 있으나, 일부 IC들은 예를 들어 Analog Device의 AD7015는 이미 3.3V로 동작전압이 낮아져 시스템의 저전력 소모에 기여하고 있으며, 여타 기능의 IC들도 빠른 시일내에 동작전압이 3.3V로 이동할것으로 기대된다. 또한 복잡한 신호처리 관련 알고리즘을 처리하는 DSP 및 시스템 제어기능의 마이크로 프로세서도 전력소모를 줄이기 위해 power down mode 혹은 sleep mode 등으로 불리는 지능적 제어기술을 이용하여 이동전화기 대기상태에서 DSP 및 마이크로 프로세서의 전력을 active mode의 5% 정도 전력소모를 갖는 저전력 상태를 유지하여 이동전화기의 고성능 및 장시간 휴대동작에 기여하고 있다. 이러한 이동통신 단말기 및 시스템에 소요되는 IC시장은 1990년에는 약 1억5천만불, '90년 대 후반에는 약 15억불 정도로까지 예상된다.³⁾

본고에서는 개인휴대 통신기기의 신호처리부 및 디지털회로 설계에 응용가능한 저전력 소모 CMOS회로 설계기술의 개략적인 개요와, 논리회로 유형, 시스템 회로구조 및 알고리즘이 저전력 소모에 미치는 영향 등에 대해서 간략히 고찰한다.

II. 저전력 CMOS회로 설계기술

1. CMOS회로에서 전력소모 최소화 기술

CMOS회로에서 전력소모는 동적 전력소모(dynamic power consumption), 단락회로 전류(short circuit current)와 누설전류(leakage current)에 의한 전력소모의 3가지⁴⁾ 성분으로 대별할수 있으며 식(1)과 같이 표현가능하다. 여기서 P_t 는 전력소모 천이(transition) 발생확률, CL 은 부하 커패시턴스(load capacitance), V 는 전압스윙(swing)으로 공급전압, V_{dd} 와 거의 동일한 크기이며, f_{clk} 는 클럭주파수, I_{sc} 는 단락회로 전류성분, I_{lc} 는 기판(substrate) 누설전류를 의미한다.

$$P_{total} = P_t (C_L \cdot V \cdot V_{dd} \cdot f_{clk}) + I_{sc} \cdot V_{dd} + I_{lc} \cdot V_{dd} \quad (1)$$

식(1)의 첫항은 동적 전력소모, 둘째항은 CMOS에서 pMOS와 nMOS가 동시에 도통(turn-on)되는 순간의 전원공급선에서 접지로 직접흐르는 단락회로 전류에 의한 전력소모⁵⁾를 의미하며, 세째항은 기판 누설전류 및 MOS의 subthreshold 특성에 관련된 전력소모 성분으로써 반도체 제조공정기술과 직접적인 관련⁶⁾이 있다. 이상의 CMOS회로의 전체 전력소모에서 동적 전력소모 성분이 가장 크기 때문에 식(2)와 같이 CMOS회로의 전력소모를 동적 전력소모 성분만으로 간단히 표현할수도 있다.⁷⁾

$$\begin{aligned} P_{total} &\approx C_L \cdot V_{dd}^2 \cdot f_{0-1} \\ &= C_L \cdot V_{dd}^2 \cdot P_{0-1} \cdot f \\ &= C_{EFF} \cdot V_{dd}^2 \cdot f \end{aligned} \quad (2)$$

여기서 C_L 은 부하 커패시턴스, V_{dd} 는 공급전압, f_{0-1} 은 데이터 천이주파수, P_{0-1} 은 데이터 천이 발생확률, f 는 클럭주파수이다. 식(2)에서 $C_{EFF}(=C_L \cdot P_{0-1})$ 는 부하 커패시턴스와 논리연산(operation)에 일치한 데이

타 천이 발생확률, P0->1과의 곱으로 표현가능하며, CMOS회로의 전력소모는 데이터의 스위칭 동작 (switching activity)과 직접 관련이 있다. 따라서 CMOS 디지털회로의 저전력 소모 설계를 위해서는 공급전압, Vdd와 스위칭 커패시턴스, CEFF를 최소로 해야하며, 특히 CMOS회로의 전력소모는 공급전압 제곱에 비례하기 때문에 스위칭 커패시턴스 보다 공급 전압이 더 전력소모에 지배적으로 영향을 미친다. 따라서 CMOS회로의 전력소모를 줄이기 위해 공급전압을 줄이면 그림 2에 나타낸바와 같이 일반적으로 게이트 지연이 증가하여 회로가 느린 속도로 동작하여 시스템의 성능을 저하시키는 요인으로 작용한다.^{[8], [9]}

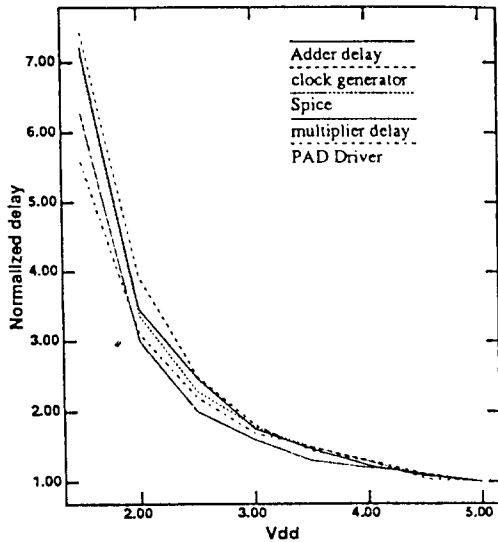


그림 2. CMOS 디지털회로의 공급전압에 따른 게이트 지연효과

CMOS 디지털회로의 공급전압 감소로 인한 회로의 느린 동작속도를 개선하여 회로의 일정 throughput을 유지하여, 저전력 및 고성능 특성을 갖는 CMOS회로 설계기술은 CMOS 소자 크기축소 (scaling down)와 데이터의 병렬처리 (parallelism) 구조를 이용한다. 그림 3은 2.0 CMOS와 0.6 CMOS의 8비트(bit) 가산기(adder)에 대해서 공급 전압에 따른 게이트 지연효과를 나타낸것이다. 그림에서 알수 있듯이 동일한 공급전압에 대해서 2.0 CMOS 가산기보다 0.6 CMOS 가산기의 게이트 지연이 훨씬 작음을 알수 있으며, 이는 저전력 소모 회

로설계를 위한 공급전압 감소로 인한 게이트 지연 증가를 CMOS 소자 축소기술로 보상할수 있다는것을 의미한다. 그러나 기존의 고전적 CMOS 크기축소 이론을 1 이하(submicron) CMOS회로 설계에 응용하기에는 두가지 측면에서 힘들다.^[10] 그 이유의 하나는 1 이하 CMOS에서는 전류의 크기가 공급전압의 제곱에 비례하지 않고, $I = kCox(VGS - Vth)$ (단, 여기서 k는 MOS의 전달컨덕턴스, Cox는 게이트 커패시턴스, VGS는 게이트 전압, Vth는 문턱전압)와 같은 식으로 표현되기 때문에 전류구동 능력을 저하시키는 문제점이 있으며, 또다른 이유는 1 이하 CMOS에서는 내부결선(interconnection)에 의한 커패시턴스가 상대적으로 커서 회로 동작속도에 주요한 영향을 미친다. 이러한 이유 때문에 고전적인 CMOS 축소이론을 submicro CMOS회로 설계에 직접 응용하기가 힘들다.

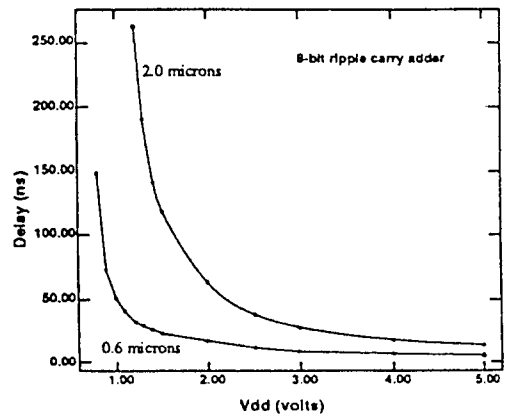


그림 3. 8비트 가산기(2.0 CMOS, 0.6 CMOS)의 공급전압과 게이트 지연특성간의 관계

다음으로, 회로의 일정 throughput을 유지하여 시스템의 목표성능 변화에 영향을 주지않고 저전력 CMOS회로 설계를 위한 병렬처리 기술에 대해 살펴 보자. 예를들어 CMOS회로의 공급전압을 5V에서 2.5V로 줄이면 4배 정도의 전력소모는 줄일수 있으나, 게이트 지연은 상대적으로 거의 2배 정도로 증가할것이며, 증가된 게이트 지연효과를 경감시켜 목표 throughput을 유지하기 위해서 필요한 연산기의 수를 두배로 하여 연산을 병렬처리를 하는것이다. 병렬 처리 시스템의 각 연산기는 1개의 연산기를 이용할때

요구되는 절반의 속도로 회로가 동작하여도 시스템의 목표성능을 유지할수 있는 반면에 두배의 연산기 사용으로 인한 전체 커패시턴스는 2배로 증가한다. 식 (2)에 나타난 바와같이 CMOS회로 전력소모의 커패시턴스와 클럭주파수의 곱(= $C_{EFF} \cdot f$)은 병렬처리를 위한 2배의 하드웨어 증가에도 불구하고 일정하여, 공급전압 감소 방법으로 전력소모가 약 4배 정도까지 감소된 CMOS회로 설계가 가능하다. 반면에, 병렬처리를 이용한 CMOS회로 설계는 하드웨어가 단순히 2배 정도의 증가가 아니라, 데이터의 병렬처리를 위한 제어회로, 병렬 입출력 장치 등의 추가적인 회로가 더 필요하다. 이러한 병렬처리의 부가적인 하드웨어 증가는 저전력 CMOS회로 설계를 위한 낮은 공급전압을 결정하는데 있어 별도의 최적화 과정이 필요하다^[11]. 그림 4는 간단한 병렬처리 회로를 2.0 CMOS 기술로 구현한 시험 칩의 공급전압 감소에 대한 전력소모 특성을 나타낸것이다. 이 결과에서 알수 있듯이 공급전압의 감소에 따라 전력소모도 감소 추이를 보이다가 어느 특정 공급전압에서 부터는 더이상 감소되지 않고 전력소모가 오히려 더 증가한다. 즉 병렬처리를 위한 부가적인 하드웨어 증가는 저전력 CMOS회로 설계를 위해 공급전압을 낮추기 위한 최적 공급전압 결정과정이 필수적이다.

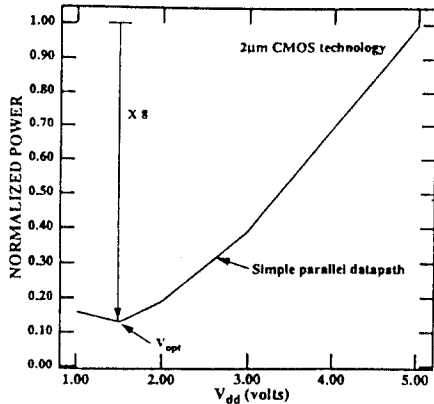


그림 4. CMOS회로의 전력소모와 최적 공급전압

이상에서 CMOS회로의 전력소모 요인에 대한 간략한 분석과 이를 토대로 저전력 소모를 위한 공급전압의 감소에 따른 게이트 지연특성간의 관계를 살펴 보았다. 아울러 공급전압 감소로 인한 증가된 게이트 지연효과를 보상하여 목표성능을 유지하는 저전력 소모 특성의 CMOS회로 설계는 지금까지 언급한

CMOS소자 축소기술과 병렬처리 기술외에도 시스템 회로 설계에 응용되는 다양한 logic 유형, 회로구조 (architecture) 및 관련 알고리즘 등과도 밀접한 관련이 있다. 따라서 이러한 다양한 logic 유형, 구조, 알고리즘이 저전력 CMOS회로 설계에 미치는 영향에 대해서 살펴본다.

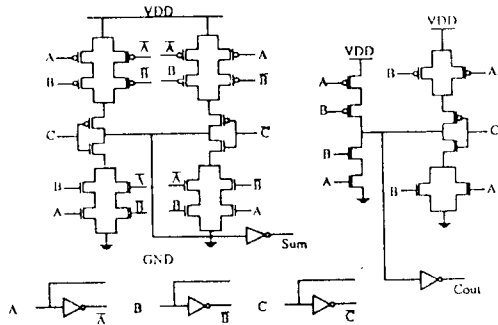
2. 논리회로 설계유형이 전력소모에 미치는 영향

시스템 설계자는 목표 시스템을 구현하는데 매우 다양한 논리 및 산술 기능 회로를 이용할수 있다. 예를 들어 시스템 설계자는 static logic, dynamic logic, pass-gate logic, 전형적 CMOS logic, 동기형 (synchronous) 및 비동기형(asynchronous) logic 들을 선택하여 설계할수 있다. 이러한 다양한 logic들이 저전력 소모에 미치는 특성에 대해 살펴본다.

첫째, static logic과 dynamic logic은 시스템 프로세서회로 설계시 저전력 소모 차원에서 보다 또다른 관점인 시스템 구현의 복잡도, 회로 시험가능성 (testability) 등의 차원에서 고려해야 할 요소가 많으나 저전력 소모 설계에만 목적을 두고 간단히 비교를 하면, dynamic logic은 static logic에 비해 단락회로 전류성분이 없고, 노드의 기생(parasitic) 커패시턴스를 줄일수 있으며, 또한 스위칭 동작 빈도를 감소시킬수 있어서 일반적으로 저전력 시스템 프로세서설계에 보다 더 용이하다. Static logic에서는 "glitch" 현상에 의한 의사천이(spurious transition)와 단락회로 전류성분등이 있어서 부가적인 전력소모를 유발한다. 반면에 static logic에서는 dynamic logic의 노드 precharge의 필요성이 없으며, 클럭신호 조정(disabling)에 의해 "power down" 기법을 이용할수 있어 dynamic logic에 비해 전력소모를 줄일수 있다는 또다른 측면에서의 장점도 있다.

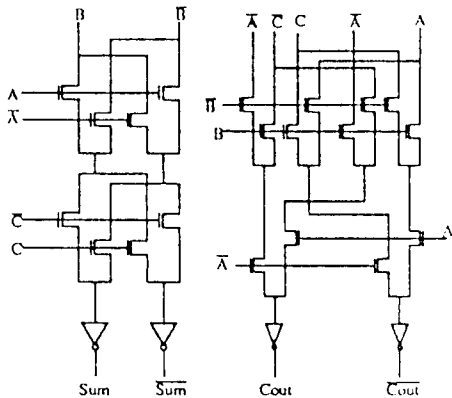
이상에서 기술한 static logic과 dynamic logic은 전력소모 차원에서 상호 명확히 비교하기가 어려우나, pass-gate logic^{[9], [10]}에서는 명확한 비교가 가능하다. Pass-gate logic은 단하나의 nMOS 트랜지터로도 transmission gate를 구현할수 있으며, 두개의 pass 트랜지스터로 exclusive-OR(XOR) 동작이 가능하고 이 XOR를 이용한 가산기, 승산기 및 레지스터(register)등의 구현이 가능하여 다른 어떤 유형의 logic에 비교해 트랜지스터 수를 줄일 수 있다. 그림 5는 가산기를 static CMOS logic 과 static CPL(Complementary Pass-gate Logic)로 구현한

회로로서 CPL 가산기는 28개의 트랜지스터가 소요되는 반면에 static CMOS logic에서는 40개의 트랜지스터가 필요하다. 즉, 동일기능을 구현하는데 상대적으로 트랜지스터가 적게 소요되는 CPL은 전력소모와 직접 관련된 커패시턴스 성분이 작으며, dynamic logic에 비교해 요구되는 노드 precharge가 적어서 저전력 CMOS회로 설계에 보다 더 많은 이점을 제공한다는 것을 알 수 있다.



Transistor count (conventional CMOS) : 40

(a) static CMOS logic 가산기



Transistor count (CPL) : 28

(b) CPL 가산기

그림 5. static CMOS logic과 CPL로 구현한 가산기

CPL은 다른 유형의 logic에 비해 저전력 설계에 장점을 갖지만, pass 트랜지스터의 문턱전압 강하(threshold drop)는 전류유동 능력을 저하시켜 공급

전압을 줄일때 회로의 느린 동작속도 특성을 나타낸다. 또한 CPL의 입력전압이 "high" 일때 인버터(inverter)를 구성하는 pMOS가 완전한 차단상태(turn-off)가 되지 않아서 단락회로 전류성분에 의해 전력소모도 발생한다. 이와같은 CPL의 전력소모 및 회로 동작속도를 개선하기 위해 pass 트랜지스터 문턱전압을 0V로 조절하여 목표하는 throughput을 유지하여 고성능, 저전력 소모 특성의 시스템 프로세서 회로설계를 할 수 있다. 그림 6은 지금까지 언급한 여러 유형의 logic들의 전력소모를 상호 비교하기 위해 8비트 가산기에 대해 공급전압을 줄였을때의 전력소모와 지연효과의 관계를 나타낸것이다. 이 결과로부터 문턱전압을 조절한 CPL이 다른 어느 logic에 비교해 저전력 소모 CMOS 설계에 상대적으로 유리한 특성을 갖고 있다.

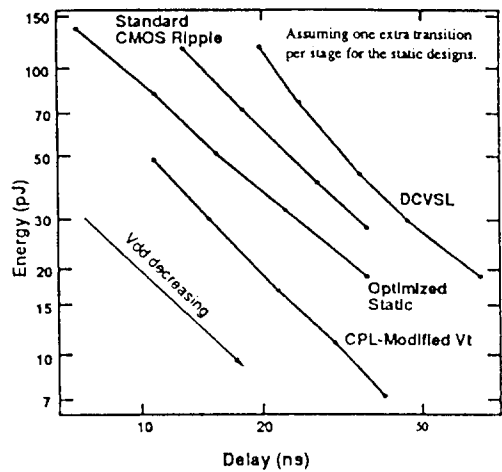


그림 6. 8비트 가산기의 다양한 logic 구현에 따른 전력소모와 지연효과

3. 시스템회로 구조 및 알고리즘 설계시 고려요소

공급전압 감소방법에 의한 저전력 소모 CMOS회로 설계시 발생하는 게이트 지연특성은 앞에서 언급한바와 같이 시스템의 성능저하 요인이 되기 때문에 이러한 게이트 지연을 보상하기 위한 다양한 logic 유형의 특성에 대해 고찰하였으며, 본절에서는 전력 소모에 영향을 미치는 시스템의 구조와 알고리즘에 대해 기술하고자 한다. 저전력 소모, 고성능 시스템 설계를 위해서는 목표 throughput을 일정하게 유지할 수 있는 구조 및 알고리즘을 선택하여 시스템을 구성

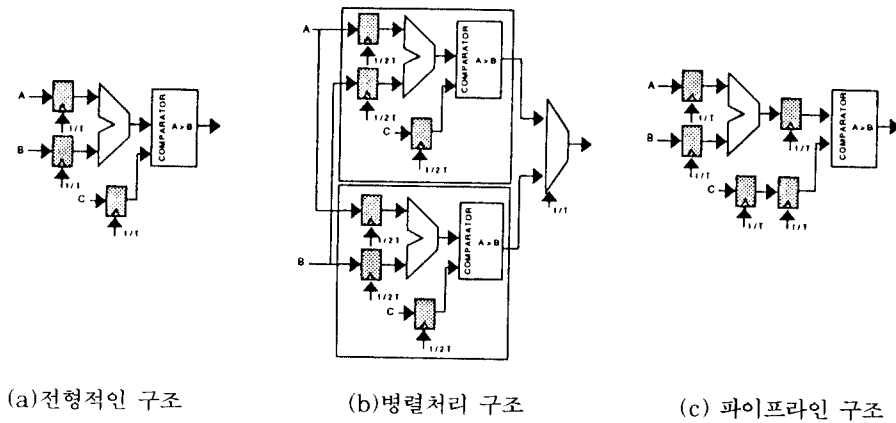


그림 7. 다양한 구조로 구현한 가산기-비교기 블록도

하여야 한다. 이러한 저전력 소모, 고성능 시스템 설계를 위한 대표적인 구조에는 병렬처리 구조, 파이프라인(pipeline) 구조 그리고 이 두구조가 혼용된 구조들이 이용된다.

그림 7에 가산기와 비교기로 구성되는 간단한 회로를 (a)에서는 전형적인 구조로 (b)는 병렬처리 구조로 (c)는 pipeline 구조로 구현한 것이다. 이 간단한 회로의 throughput은 입력 A, B의 가산결과와 C와 비교된 새로운 데이터가 매 T초 후에 출력됨을 의미한다. 만약 이회로의 5V 공급전압에서 가산기와 비교기의 최대 지연시간이 각각 21ns라고 하면 최소의 클럭주기는 최소 21ns정도 이다. (a)의 전형적인 구조를 이용한 회로에서는 위에서 언급한 throughput을 얻기 위해서는 5V 공급전압을 더 이상 줄일수 없으며, 만약 공급전압을 감소하면 게이트 지연증가에 의해 목표하는 throughput을 구현할수가 없다. (a)의 전형적인 구조의 경우 전력소모는 $II-1$ 절에서 기술한 바와같이 $CEFF \cdot V_{dd2} \cdot f_{clk}$ 로 표현되며 클럭 f_{clk} 는 $1/T$ 와 같다. 따라서 (a)와 같은 구조는 저전력 소모 설계에 적합치 않으며, (a) 구조에 비교해 가산기와 비교기를 각각 두배씩 이용한 (b)의 병렬처리 구조의 경우에는 (a)구조에서 요구되는 클럭주파수 절반의 크기, $f_{clk}/2$ 에서도 회로의 throughput을 유지할수 있어 공급전압을 감소하여 저전력 소모 특성의 시스템회로 설계를 가능하게 한다. 따라서 (b)의 병렬처리구조를 이용한 CMOS 설계회로의 전력소모는 $(2CEFF) \cdot V_{low2} \cdot (f_{clk}/2)$ 가 된다. (단, 저동작 전압, V_{low} 는 II-1절에서 기술한 병렬처리를

위해 요구되는 부가적인 하드웨어 증가를 고려한 최적의 공급전압을 의미한다.) 저전력 소모 설계를 위한 또다른 구조는 (c)의 파이프라인 구조로서 (a)의 전형적인 구조에 비해 단순히 파이프라인 latch 회로만을 추가하여 목표 throughput을 유지하며 공급전압 감소에 의해 저전력 소모 시스템회로 설계를 할수 있다.

파이프라인 구조는 (a)의 전형적인 구조에 비해 데이터의 파이프라인처리를 위한 레지스터(register)만 추가로 소요되기 때문에 병렬처리 구조에 비교해 하드웨어가 보다 더 단순하여 스위칭 커패시턴스, CEFF는 하드웨어가 가장 단순한 (a)의 전형적인 구조에 비교해 약 10% 정도만 증가한다. 따라서 파이프라인 구조의 이 간단한 회로의 전력소모는 $(1.1CEFF) \cdot V_{low2} \cdot f_{clk}$ 로 표현할수 있으며, 또한 병렬처리와 파이프라인이 혼용된 구조도 저전력 소모 시스템회로 설계에 응용할수 있다. 이러한 저전력 소모 시스템 구현을 위한 다양한 구조들의 전력소모와 칩면적 소요 비교를 위해 표 1에 정리하였다.

표 1. 다양한 구조들의 전력소모 성능지수

구 조	전력소모 지수	칩 면적소요 지수
전형적 구조	1	1
파이프라인 구조	0.37	1.3
병렬처리 구조	0.34	3.4
파이프라인-병렬처리 구조	0.19	3.7

표 1에서 알수 있듯이 파이프라인-병렬처리 혼용구조가 최소의 전력소모 특성을 갖지만 칩 면적은 다른 구조에 비해 가장 많이 소요된다. 따라서 시스템 설계자는 전력소모와 칩면적간의 trade-off 특성을 고려하여 목표 시스템에 적합한 구조를 선택하여 설계에 응용하여야 한다.

저전력 소모 특성의 시스템 설계를 위해서는 시스템 구현에 이용되는 신호처리 알고리즘도 매우 중요하게 고려해야할 요소이다. 특히 디지털 이동통신 전화기의 baseband 신호처리는 계산량이 많은 복잡한 알고리즘을 대부분의 경우에 DSP(Digital Signal Processor)를 이용하여 구현한다. 따라서 DSP의 전력소모 최소화는 이동전화기의 전력 소모에 영향을 미치며, 전지의 수명시간을 증가시켜 장시간 휴대동작을 가능하게 할수 있다. 이러한 DSP의 전력소모 최소화 방법에는 어느 특정한 목표 시스템에만 전용할수 있는 dedicated DSP 구조 특성을 갖는 DSP를 설계하여 이용하는 하드웨어적인 방법과 일반 목적용(general purpose) DSP를 이용한 대신에 복잡한 신호처리의 알고리즘을 최소 연산과 최대의 동시처리(concurrency) 등을 고려한 최적의 알고리즘 구현에 의한 소프트웨어적인 방법이 있다. II-1절에서 언급한 바와같이 CMOS 디지털회로 전력소모는 연산수행을 위한 스위칭 빈도(switching event)와 직접 관련이 있으며, 최소의 연산과 최대의 동시처리 특성을 갖는 알고리즘은 스위칭 빈도를 줄일수 있어 시스템의 전력소모 최소화에 기여한다. 즉 특정한 신호처리를 위한 여러 알고리즘들을 시스템 설계자는 위에서 언급한 알고리즘이 저전력 소모에 미치는 요소들을 고려하여 시스템 설계에 응용하여야 저전력 소모 및 고성능 시스템회로 설계가 가능하다.

III. 저전력 소모 CMOS소자 공정기술

지금까지 기술한 저전력 소모 CMOS 디지털회로 설계기술은 일정한 throughput을 유지하여 시스템의 목표성능에 영향을 최소화하는 전제로, 공급전압을 감소하여 저전력 소모 시스템회로 설계를 구현하는 것이다. 이러한 저전력 소모를 위한 저전압 동작의 CMOS회로 설계는 CMOS소자 크기를 축소하는 기술과 직접적인 관련이 있다. 그림 8은 공급전압 감

소에 따라 CMOS의 게이트 길이를 축소할때의 게이트 지연(delay/stage) 효과에 대한 기술 발전 추이를 보여주고 있다.^[12] 저전력 CMOS회로 설계를 위한 공급전압 감소는 게이트 지연을 증가시켜 회로의 동작속도가 느려지기 때문에 게이트 지연 증가를 보상하기 위해서 게이트 길이를 축소하는 CMOS소자 축소기술이 지속적으로 발전하고 있음을 알수 있다. 현재 CMOS회로의 공급전압은 5V에서 3.3V로 감소되고 있는 단계이며, 21세기 초에는 게이트 길이 0.18 μm , 동작전압 2V의 CMOS소자 축소기술의 발전이 가능하여 1GB DRAM과 256M SRAM 출현의 가능성을 예고한다.

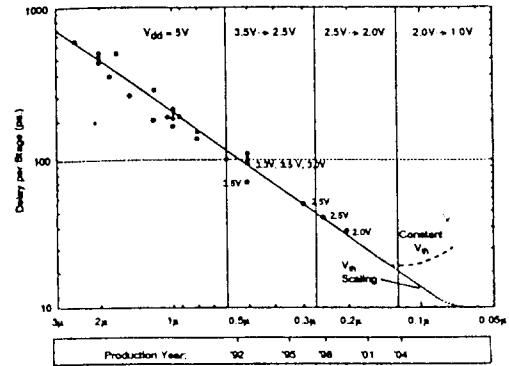


그림 8. CMOS소자 축소기술 발전추이

저전력 소모 CMOS회로 설계를 위한 공급전압의 감소 크기를 문턱전압과 거의 동일한 전압으로까지 줄이면, 그림 8에 나타낸바와 같이 게이트 지연은 거의 지수함수적으로 증가한다. 이러한 게이트 지연은 시스템의 성능저하의 원인이되기 때문에 고성능 시스템의 저전력 소모 CMOS회로 설계를 위해서 문턱전압 또한 공급전압과 더불어 감소시키는 기술이 필요하다. CMOS소자의 문턱전압 감소는 CMOS의 subthreshold 효과에 의한 누설 전류성분 때문에 전력소모를 유발한다.^[13] 따라서 시스템의 성능저하와 전력소모에 미치는 영향을 최소화하는 CMOS의 문턱전압과 동작전압의 감소기술은 CMOS소자 축소기술에 의해 구현되기 때문에 다양한 CMOS소자 기술들이 개발되고 있다.

본절에서는 저전력 소모와 고성능 시스템 설계를 위한 CMOS소자 축소기술인 bulk CMOS,

BiCMOS 그리고 TFSOI(Thin Film Silicon On Inulator)-CMOS 기술의 동향을 고찰하고자 한다. 표 2는 최근에 개발된 낮은 동작전압에서 저전력 소모, 고성능 특성을 갖는 bulk CMOS 소자에 대한 핵심 공정기술, 구조의 장점 그리고 문제점에 대해 정리하였다.¹²⁾ 이러한 진보된 CMOS 소자는 표준 CMOS 소자의 구조와 매우 다르다.

개선되기 때문에 우수한 성능의 저전력 소모 CMOS 디지털회로 설계에 유용하게 응용될수 있다. 이상에서 살펴본바와 같이 bulk CMOS 소자는 시스템의 저전력 소모, 고성능을 목표로 소자의 저전압 동작을 위한 게이트 길이 축소, 게이트 지연효과 감소등의 기술개발 동향을 나타내고 있다.

이러한 bulk CMOS 소자와는 다른 구조를 갖는

표 2. 저전압 동작, 고성능 bulk CMOS 소자의 특성 분석

Structure	Name/Company(Ref.)	Key Process Steps	Benefit	Possible Problems
Well Engineered	SJET/Toshiba (NMD, JAN, '93)	Simultaneous deep and shallow well formation after gate formation	Low Vt and Sub-Vt leakage Reduced S/D Cj	GOI Latch up Parasitic bipolars
Well Engineered	PSD/AT&T (TED, July, '92, p. 1704)	Simultaneous only, no actual devices fabricated	Same as SJET	Achieving or maintaining the pulsed type dopant profile
Well Engineered	LICT/Hitachi (EDI, Jan, '92, p. 50)	Thin intrinsic epi growth over heavy wells. Low lit processes follow	Channel characteristics similar to SJET	Higher S/D Cj. Low Dt required after epi
Well Engineered	SSR/MIT (SRC report)	P-As implants to define well doping profile	Minimizes SCE	
Punch thru Engineered	LNB/Hitachi (CICC, '93, 24, 4)	Angled implants to form halo around S/D & lateral buried layer under channel. Graded S/D Junction for low Cj	Higher Id and lower Vt roll-off Cj-1/2 conventional	Control of lateral profile. Scaling below 0.3µm.
Punch thru Engineered	-/Toshiba (FDI, Feb, '93, p. 51)	Design optimization	Higher channel conductance, capacitance Vt=4V	Vt roll off serve at <0.2µm
Punch thru Engineered	SP/Matsushita (TEIM, '92, 28, 3)	Angled implants to form halo TIS12 as implant mask	Improved short channel characteristics without increase in Cj	Implant anneal after salicide. Angled implant technology.
Punch thru Engineered	-/NEC (TEIM, '92, 35, 3)	Potential profile design techniques	Allows buried channel PMOS at 0.25µm	Angled implants
Punch thru Engineered	CLDD/Samsung ('91 Symp VLSI Tech, p. 85)	Angled implant Double spacer	Better characteristics than conventional structure	Double spacer needed for PMOS. Angled implant for NMOS
Graded Channel	NUDC/Mitsubishi (TED, Nov, '92, p. 2541)	Asymmetric angled implants	Asymmetric channel doping gives improved device ICs	Angled implants
Graded Channel	LDC/NEC ('91 Symp VLSI Tech, p. 113)	lateral diffusion of counter dopant from source into channel	Angled implants not used to form lateral profile	Control of lateral profile esp for <0.25µm devices Source ≠ Drain

표 2에 정리한 bulk CMOS 소자중 Matsushita의 SPI(Self-aligned Pocket Implant)¹⁴⁾ 소자는 표준 CMOS 소자의 게이트 길이 0.36 µm. 공급전압 2.5V에서 나타내는 성능을 공급전압 1.8V로 까지 줄여서도 동일한 성능을 갖는다. 또한 Toshiba의 0.5 µm의 게이트 길이를 갖는 SJET¹⁵⁾는 공급전압 2V에서 100ps 게이트 지연 특성을 나타내는 반면에 표준 CMOS소자의 경우에는 동일한 게이트 지연을 위해서는 3V로의 증가된 공급전압이 필요하다. 다시 말하면 이들 두회사의 진보된 bulk CMOS소자는 표준 CMOS소자에 비해 상대적으로 더 낮은 공급전압에서 회로 동작을 가능하게 하고 게이트 지연특성이

BiCMOS 소자기술은 전력소모 차원에서는 bulk CMOS 소자에 비해 열세한 특성을 갖지만, 고속회로 블럭과 아날로그/디지털 혼용기능을 통합하는데 적합한 기술로서 저전력소모를 위한 BiCMOS 소자기술 개발 또한 활발히 진행되고 있다. 그러나 BiCMOS 기술은 복잡한 공정단계와 회로 layout으로 인하여 동작전압 1V 이하에서는 bulk CMOS에 비해 고속으로 동작하기가 어려울것으로 예견한다.

앞에서 언급한 저전력 소모, 고성능 CMOS회로 설계를 위해서는 공급전압의 감소와 더불어 문턱전압의 감소 또한 이루어져야 하며, Bulk CMOS 소자의 경우에 문턱전압 감소에 의한 subthreshold 특성 저하

는 전력소모의 원인을 제공한다. 반면에 TFSSOI-CMOS는 거의 이상적인 subthreshold 특성을 얻을 수 있어 매우 적은 standby 혹은 차단상태의 누설전류와 SOI 구조에 의한 매우 작은 소오스-드레인간의 커패시턴스등의 특성은 게이트 지연특성의 개선과 함께 전력소모를 최소화할수 있는 소자이다. 그림 9는 bulk CMOS와 TFSSOI-CMOS의 동작전압에 따른 게이트 지연효과를 나타낸것으로 동일한 크기 동작전압에 대해서 TFSSOI-CMOS가 bulk CMOS에 비해 상대적으로 작은 게이트 지연특성을 나타낸다. 그러나 SOI의 결정상태, 원가비용, 기관제조의 미숙한 기술, floating body 효과등의 TFSSOI-CMOS의 문제점은 상용화에 걸림돌이 되고있다. 이러한 TFSSOI-CMOS가 갖는 문제점들은 과거에 비해 상당한 기술발전으로 극복될수 있으리라 기대되며, 동작전압 1V 이하의 CMOS 디지털회로 설계에는 낮은 전력소모 및 게이트 지연 특성을 갖는TFSSOI-CMOS 기술이 지배적으로 응용되리라 예견하기도 한다.¹⁶⁾

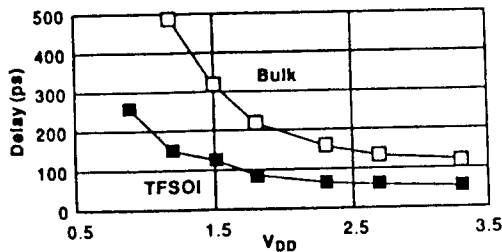


그림 9. TFSSOI-CMOS와 bulk CMOS의 공급전압과 게이트 지연효과

IV. 결론

개인휴대용 각종 단말기기의 개발에 있어서 아직도 기술적인 한계에 부딪쳐 있는 것이 바로 장시간 휴대 동작 기술이다. 즉 전지의 성능개선 및 소형경량화 기술이 그것이다. 현재의 20Watts-hour/lb로서는 10시간의 연속사용이 단말기의 종류에 따라 차이는 있겠으나 일반적으로 유지되기 어렵다. 따라서 최대한도로 전력소모량을 단말기의 사용기능에 따라 다양하게 제어하는 지능적 전력소모 제어기술의 적용과

부품재료 및 제조공정기술의 발전이 중요하다.

본고에서는 고집적 시스템 프로세서의 설계과정에서 고려되어야할 몇가지 기술적 주요사항들을 비교검토하였다. 그결과, (1) 회로설계 이전에 저전력소모를 사전에 고려한 시스템 알고리즘의 설계 및 전력소모 시뮬레이션 결과에 의한 알고리즘 최적화가 중요하다. (2) 시스템회로의 보완된 구조로서 파이프라인 구조 또는 파이프라인과 병렬처리를 혼용한 구조가 시스템의 성능저하없이 시스템 소모전력을 최고 5분의 1까지도 감소킨다는 것과, (3) 낮은 공급전압(3V 이하)을 위한 bulk CMOS소자 축소기술, 고집적의 초미세선폭 반도체 공정기술(최소 0.5미크론이하) 사용등이 필수적임을 알 수 있었다. 그러나 이러한 설계방식 사용시에 있어서 주의할 점은 변수들간의 장단점이 서로 상존하는 관계이므로 적절한 trade-off를 검증하여 최적의 값들을 잘 선택하여야 한다. 실제로 공급전압, 게이트 동작속도, 칩 die-size, 공정 처리선폭, 병렬처리구조 사용의 정도, dynamic 논리소자사용, 알고리즘의 최적화등은 최종부품의 가격, 성능, 신뢰성, 개발기간, 개발비용 등에 서로 직접적인 장단점을 가지고 있다.

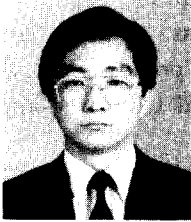
결론적으로, 최근에도 다양하고 종합화된 회로설계의 자동화된 개발환경시스템이 사용되고 있지만, 아직도, 이 휴대용 시스템에 장착되는 저전력 시스템프로세서의 설계에는 인간의 직접적인 많은 수작업과 아이디어를 필요로하고 있는 것이다. 국내에서도 점차로 핵심 부품의 자체개발로 이러한 저전력소모의 고집적회로 설계기술의 개발이 적용된 각종 특정용도의 표준 고집적프로세서의 개발이 제품화되고, 국내 독자시스템에 장착되어 해외로 수출될 날도 멀지않았다고 감히 기대해 본다.

參考文獻

- [1] T.Bell, "Incredible shrinking computers," IEEE Spectrum, pp.37-43, May 1991.
- [2] Eager, "Address in rechargeable batterie pace portable computer growth," in Proc. Silicon Valley Personnal Comput. Conf., pp.693-697, 1991.
- [3] E.Franca, ED., Design of Analog-

- Digital VLSI Circuits for Telecommunications and Signal Processing. New Jersey:Prentice Hall, pp.529-568, 1994.
- [4] A.P.Chandrakasan, et al., "Low-power CMOS digital design," *IEEE J. Solid-State Circuits*, vol.27, no.4, pp.473-484, April 1992.
- [5] H.J.M.Veendrick, "Short-circuit dissipation of static CMOS circuitry and impact on the design of buffer circuits," *IEEE J. Solid-State Circuits*, vol.SC-19, pp.468-473, AUG. 1984.
- [6] R.K.Watts,ED., Submicron Integrated Circuits, New York:Wiley, 1989.
- [7] J.M.Rabaey, "Design methodologies for ultra low power," in Educational Sessions Workbook, Custom Integrated Circuit Conference, 1994.
- [8] G.M.Jacobs, Self-Timed Integrated Circuits for Digital Signal Processing, Ph.D.Dissertation, University of California, Berkely, 1989.
- [9] K.Yano, et al., "A 3.8ns 16x16 multiplier using complementary pass transistor logic," in Proc. Custom Integrated Circuit Conference, 1989.
- [10] N.Weste, et al., Principles of CMOS VLSI Design : A System Perspective, Reading, MA:Addison-Wesley, 1988.
- [11] R.W.Broderson, et al., "Technologies for personal communications," in Symp. VLSI Circuits, Digest of Tech. Papers, pp.5-9, 1991.
- [12] R.H.Reuss, et al., "Trends in devices for low power," in Proc. Custom Integrated Circuit Conference, pp.19-22, 1994.
- [13] M.Kakumu, et al., "Power supply voltage impact on circuit performance for CMOS-LSI," *IEEE Trans. Electron Devices*, vol.ED-37, no.8, pp.1902-1908, 1990.
- [14] A.Hoi, et al., "High performance dual gate CMOS utilizing SPI Technology," *IEEE Trans. Electron Devices*, vol.ED-40, no.9, pp.1675-1684, 1993.
- [15] H.Yoshimura, et al., "New CMOS shallow junction well FET structure for low power supply voltage," in Tech. Digest of IEDM, pp.909-912, 1992.
- [16] B.Davari, et al., "CMOS technology for low voltage/low power applications," in Proc. Custom Integrated Circuit Conference, pp.3-10, 1994.

筆者紹介



趙 威 德

1958年 11月 17日生

1981年 2月 서강대학교 전자공학과 졸업 (학사)

1983年 2月 한국과학기술원 전기및 전자공학과 졸업 (석사)

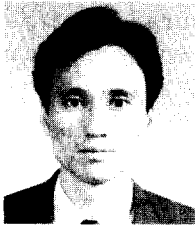
1987年 2月 한국과학기술원 전기및 전자공학과 졸업 (박사)

1983年 3月 ~ 1990年 3月 삼성전기(주) 디지털 신호처리 연구실장

1990年 4月 ~ 1991年 10月 생산기술 연구원 HDTV 사업단 조교수

1991年 11月 ~ 현재 전자부품종합기술연구소 수석연구원 (디지털 이동통신 개발팀장)

주관심 분야 : 디지털 통신시스템, 디지털이동통신 신호처리, VLSI 신호처리 프로세서 설계



黃 聖 圭

1965年 8月 20日生

1987年 2月 아주대학교 전자공학과 졸업

1989年 2月 아주대학교 대학원 전자공학과 졸업 (석사)

1992年 1月 ~ 1994年 현재 전자부품종합기술연구소 (KETI) ATEL 전임연구원

주관심 분야 : 이동통신 디지털 신호처리 및 VLSI설계