論文94-31A-4-10

비정질 실리콘 박막트랜지스터에서 전계효과 이동도의 Chebyshev 근사

(Chebyshev Approximation of Field-Effect Mobility in a-Si:H TFT)

朴 宰 弘*, 金 鐵 柱*

(Jae Hong Park and Chul Ju Kim)

要 約

본 논문에서는 비정질 실리콘 박막트랜지스터의 전계효과 이동도를 수치적으로 근사화 하였다. 전계효과 이동도의 근사는 전하포획모델과 본 연구에서 제안된 새로운 실효정전용량 모델에 근거하였으며, Chebyshev 근사법을 사용하여 게이트 전위(게이트전압과 채널 간의 전압)의 함수로 근사화 하였다. 이 근사식은 동작영역에 따른 변형없이 근사식의 특성계수만을 결정함으로써 각종 외부인자의 변화에 대응할 수 있다. 이 새로운 이동도 근사식을 이용하여 반전형 stagger전극 비정질 실리콘 박막트랜지스터에서 게이트절연막의 재질과 두께, a-Si bulk의 두께와 동작온도에 따른 전계효과 이동도의 의존성을 평가하여 새로운 이동도 근사식의 유용성을 입증하였다.

Abstract

In this paper we numerically approximated the field-effect mobility of a-Si:H TFT. Field-effect mobility, based on the charge-trapping model and new effective capacitance model in our study, used Chebyshev approximation was approximated as the function of gate potential(gate-to-channel voltage). Even though various external factors are changed, this formula can be applied by choosing the characteristic coefficients without any change of the approximation formula corresponding to each operation region. Using new approximated field-effect mobility formula, the dependences of field-effect mobility on materials and thickness of gate insulator, thickness of a-Si bulk, and operation temperature in inverted staggered-electrode a-Si:H TFT were estimated. By this was the usefulness of new approximated mobility formula proved.

Ⅰ. 서론

박막트랜지스터(Thin Film Transistor, TFT)는 절연기판 위에 반도체 박막을 증착하여 MOS 구조를 형성함으로써 제작된다. 이러한 TFT 중에서 비정질 실리콘 TFT는 저온공정이 가능하며 석영기판에 비해 가격이 저렴한 유리를 기판으로 이용할 수 있는 잇점으로 active-matrix LCD분야에서 많이 응용되고 있다.[1]

일반적으로 비정질 실리콘은 단결정에 비해 현저하게 낮은 이동도를 갖는데 이는 비정질 실리콘이 주로

* 正會員, 서울市立大學校 電子工學科
(Dept. of Elec. Eng., seoul city Univ.)
接受日字 : 1993年 4月 6日

증착을 통하여 형성되므로 단결정에 비하여 많은 원자 간의 disorder을 갖게 되어, 비정질 실리콘의 에너지 금지대 내에 많은 국재상태(localized state)가 존재하기 때문이다.[2-6] 따라서 비정질 실리콘 TFT에서는 단결정 실리콘의 전자이동도가 적용될 수 없다. 현재까지는 Shur와 Hack에 의해 제안된 이동도 근사식 $[\mu_o K(V_{gs}-V_T-V)^{0.5}]$ 이 있으나 이는 문턱전압 이상에서만 유효하고 게이트와 채널간의 전압(게이트 전위)이 낮은 경우에는 부정확한 결과를 나타내며, 소자의 각종 조건변화에 쉽게 대응할 수 없다는 단점이 있다.[7-11] 한편 G. W. Neudeck이 동작영역에 따라 다른 형태의 컨덕턴스식을 사용하여 소자의 전기적 특성을 모형화하였지만 Shur와 Hack의 모형이 갖는 단점은 극복하지 못하였다.[12] 이에 본 논문에서는 동작영역에 따라 별도의 이동도식을 적용하는 단점을 극복하고, 소자의 재료특성과 공정변수을 포함한 여러가지 외부인자의 변화에 능동적으로 대응할 수 있는 새로운 수치해석적 이동도 근사식을 제안한다.

Ⅱ. 전하포획모델과 관계식

본 논문에서는 여러가지 형태의 TFT 중에서 반전형 stagger 전극 비정질 실리콘 TFT를 대상으로 하였다. 소자모형의 기본개념은 전하포획모델(charge-trapping model)과 본 연구에서 제안한 소자의 각 동작영역에 따른 새로운 실효정전용량 모델에 기초하였다. 그림1은 본 연구에서 대상으로 한 반전형 stagger 전극 비정질 실리콘 TFT의 단면 구조도이다. 여기서 절연막으로는 질화막을 사용하였으며 bulk는 수소화된 비정질 실리콘으로 가정하였다. 표1에 본 논문에서 계산을 위해 사용한 매개변수를 보였다.

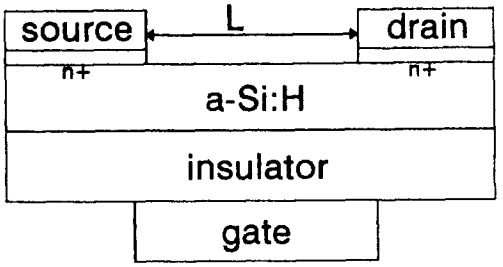


그림 1. 반전형 Stagger 전극 비정질 실리콘 TFT 개략적인 구조도

Fig. 1. Schematic diagram of inverted staggered-electrode a -Si:H TFT.

표 1. 계산에 사용한 매개변수

Table 1. Parameters used for calculation.

게이트절연막 두께	t_i	2500 A
a-Si:H bulk 두께	t_a	1500 A
평판대역전압	V_{FB}	0.7 V
대역 이동도	μ_o	10 $cm^2/V's$
전도대역 tail state 밀도	G_{ct}	1.0E+21 cm^{-3}/eV
전도대역 deep state 밀도	G_{cd}	9.6E+18 cm^{-3}/eV
전도대역 표준 전자밀도	N_c	1.0E+19 cm^{-3}
전도대역 에너지	E_C	1.72 eV
Fermi 준위 에너지	E_F	1.07 eV
a-Si:H에서의 유전율	ε_{Si}	1.0E-12 F/cm
게이트절연막의 유전율	ε_i	6.6E-13 F/cm
deep 상태의 특성에너지	kT_1	86.0E-3 eV
tail 상태의 특성에너지	kT_2	22.4E-3 eV
thermal energy	kT	0.0259 eV

비정질 실리콘에서는 에너지 금지대 내에 연속적으로 존재하는 유사도너 상태밀도(donorlike state density)가 유사억셉터 상태밀도(acceptorlike state density)에 의해 Fermi 준위는 진성준위에 대해 전도대역 쪽으로 약간 이동하여 있다. 따라서 비정질 실리콘의 표면에 n형 채널을 형성하는 것이 p형 채널을 형성하는 것보다 유리하다. 본 논문에서는 n형 채널의 TFT만 고려하였다.

John G. Shaw의 전하포획모델에 의하면, 유사억셉터 상태밀도 $G_a(E)$는 다음과 같다.[6]

$$G_a(E) = G_{cd}\exp\left(\frac{E-E_c}{kT_1}\right) + G_{ct}\exp\left(\frac{E-E_c}{kT_2}\right) \quad (1)$$

여기서 G_{cd}, G_{ct}는 각각 전도대역에서의 deep 상태밀도와 tail 상태밀도이다. 열평형상태의 비정질실리콘에서의 국재전하의 밀도 N_t와 전자 밀도 n은 다음과 같다.[9,13]

$$N_t = \int_{E_F}^{E_t} G_a(E)FD(E)dE \quad (2)$$

$$n = N_c\exp\left(\frac{E_F-E_C}{kT}\right) \quad (3)$$

여기서 점유함수 FD(E)는 Fermi-Dirac 함수이며, N_C는 전도대역에서의 표준전자밀도이다.

그림2는 비정질 실리콘 TFT의 에너지 대역도이다. 그림에서 에너지 $q\phi_s$는 에너지 밴드의 휨(bending)의 정도를 나타낸다. ϕ_s는 절연막과 비정질 실리콘 bulk의 계면전위이다.

열평형상태에서의 E_F와 E_C의 차를 E_{FO}라고 하면, 에너지 밴드의 휨에 의한 채널에서의 국재전하밀도 및 전도대의 전자밀도는 각각 식(4),(5)와 같다.

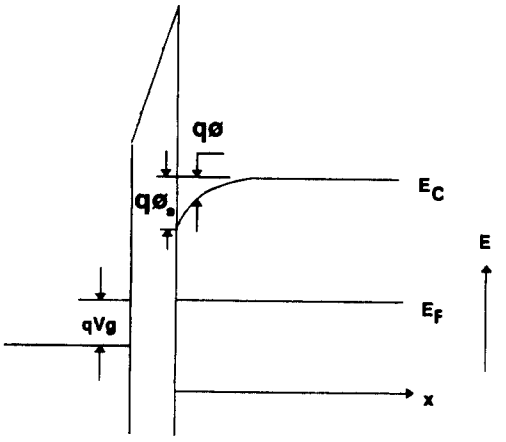


그림 2. 반전형 stagger 전극 비정질 실리콘 TFT의 에너지 대역도

Fig. 2. Energy band diagram of inverted staggered-electrode a-Si:H TFT.

$$N_t(\phi)=\int_{E_F}^{E_C} G_a(E)FD(E-q\phi)dE \tag{4}$$

$$n(\phi)=N_c\exp\left(\frac{q\phi-E_{FO}}{kT}\right) \tag{5}$$

이상의 식(4),(5)를 기초로 하여 이동도의 식을 얻기위해 전계와 포아송 방정식을 이용하면, 게이트절연막에 대하여 수직으로 인가되는 전계 E_x와 공간전하밀도와의 관계는 다음과 같다.

$$\frac{dE_x}{dx}=\frac{d^2\phi}{dx^2}=-\frac{\rho}{\varepsilon_{Si}}=\frac{q}{\varepsilon_{Si}}\left[N_t(\phi)+n(\phi)\right] \tag{6}$$

여기서 ε_{Si} 는 비정질 실리콘의 유전율이며, ρ는 비정질 실리콘의 공간전하밀도이다. 식(6)으로부터 전계와 전위 ø와의 관계는 다음과 같이 구해진다.

$$E_x(\phi)=\left((2/\varepsilon_{Si})\int_0^{\phi}\rho(\phi)d\phi\right)^{1/2} \tag{7}$$

여기서 ø'은 적분변수이다. 게이트전압에 의해 표면에 유기되는 총표면전하량 Q_f는 Gauss의 법칙에 의하여

$$Q_f=\varepsilon_{Si}E_x(\phi_s)=\left(2\varepsilon_{Si}\int_0^{\phi_s}\rho(\phi)d\phi\right) \tag{8}$$

로 나타낼 수 있다. 채널에서의 유동전하(mobile charge) Q_f는 식(5),(7)에 의하여 다음과 같이 표현할 수 있다.

$$Q_f=q\int_0^{\phi_s}\frac{n(\phi)}{E_x(\phi)}d\phi \tag{9}$$

이상의 식(8),(9)에서 유도된 총표면전하에 대한 자유전하의 비는 대역이동도에 대한 전계효과 이동도의 비 즉 상대이동도(relative mobility)와 같다.[1]

$$\frac{\mu_{eff}}{\mu_o}=\frac{Q_f}{Q_t} \tag{10}$$

여기서 μ_o는 대역이동도이다. 본 논문에서는 식(10)의 상대이동도를 이용하여 전계효과 이동도를 근사화하였다.

Ⅲ. 새로운 실효정전용량 모델과 전계효과 이동도의 근사화

1. 새로운 실효정전용량 모델

식(8)에서 표면전위의 함수로 표현했던 총표면전하량 Q_t는 정전용량과 전압의 관계를 이용하여 게이트와 채널간의 전압 즉 게이트 전위의 함수로 표현할 수 있다.[11]

$$Q_t=C_{eff}V_g'=C_{eff}(V_{RS}-V_{FB}-V) \tag{11}$$

여기서 C_{eff}는 게이트절연막의 단위면적당 실효정전용량이며, 전압 V_g'은 게이트와 채널간의 전압 즉 게이트전위이며, V_{gs}는 게이트 전압, V_{FB}는 평탄대역전압, V는 채널 내에서의 전위이다. 일반적으로 총표면전하량 Q_t는 $C_iV_g'=C_i(V_{gs}-V_{FB}-V)$로 표현된다. 여기서 C_i는 게이트절연막의 단위면적당 정전용량으로서 절연막의 유전율 ε_i와 게이트절연막의 두께 t_i의 비로 나타낸다. 그러나 이는 상한문턱영역에서만 타당하며, 비정질 실리콘 TFT가 하한문턱영역에서 동작하고 있는 경우 실효정전용량 C_{eff}는 C_i보다 작다. 특히 게이트절연막의 두께가 비정질 실리콘 bulk의 두께보다 얇은 경우에는 실효정전용량 C_{eff}가 공간전하 정전용량 C_d의 변화에 더욱 민감해진다. 따라서 총표면전하량 Q_t에서 하한문턱영역에 대하여 공간전하 정전용량 C_d의 영향이 고려된 실효정전용량이 도입되어야 한다.

일반적으로 turn-off 영역에서의 실효정전용량은 $1/(1/C_i+1/C_{dmin})$로 근사화하여 나타낼 수 있다. 여기서 C_{dmin}는 최소 공간전하 정전용량으로서 비정질 실리콘의 유전율 ε_{Si}와 비정질 실리콘 bulk의 두께 t_s의 비로 나타낸다. 본 논문에서는 하한문턱영역과

상한문턱영역에서의 실효정전용량 C_{eff}를 동작 영역에 따라 다음과 같이 근사화하였다.

① Turn-off 영역: $C_{eff} \approx C_{\min} = 1/(1/C_i + 1/C_{d\min})$

② 하한문턱영역: $C_{eff} \approx \left(\frac{C_{\max} - C_{\min}}{V_{ts}}\right)(V_{g'} - V_{ts}) + C_{\max}$

여기서 V_{ts}는 상태천이전압으로서 tail 상태와 deep 상태에 채워진 전자밀도가 같게 되는 게이트전 위로 정의한다.

③ 상한문턱영역: $C_{eff} \approx C_{\max} = C_i$

2. 전계효과 이동도의 Chebyshev 근사

이상의 전하포획모델과 동작영역별 실효정전용량 모델을 기초로 전계효과 이동도를 표면전위의 함수에서 게이트전위 V_g'의 함수로 근사화하였다. 본 논문에서는 Chebyshev 근사를 이용하여 전계효과 이동도의 근사화를 시도하였다. Chebyshev 근사는 다른 여러 근사법과는 달리 전체 근사구간 내에서 비슷한 오차분포를 가지고 비교적 정확한 근사를 행할 수 있다. 또한 이동도 값의 변화가 심한 하한문턱영역에 더 많은 비중을 둘 수 있는 무게함수를 사용하므로 실제 소자에 적용되는 게이트전압에 대하여 정확한 근사가 가능하다. 또한 소자의 동작영역에 관계없이 적용이 가능하다.

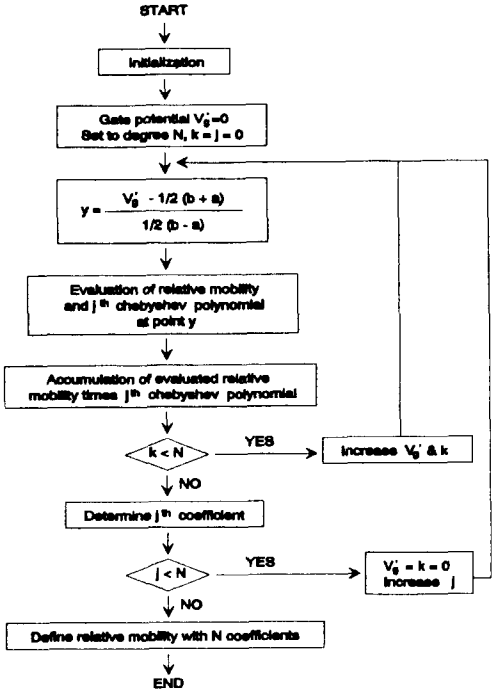


그림 3. Chebyshev 근사를 이용한 이동도 근사화의 순서도

Fig. 3. Flow chart for mobility approximation using Chebyshev approximation.

그림3은 Chebyshev 다항식을 이용한 상대이동도의 근사를 위한 순서도이다. 우선 정해진 매개변수를 기초로 모든 근사구간에서 게이트전위의 변화에 따른 상대이동도와 Chebyshev 다항식을 구한 후, 계산결과를 곱하여 누계하면 본 논문의 새로운 이동도 근사식의 계수를 구할 수 있다. 이런 과정을 최초에 설정했던 차수만큼 반복하여 근사식의 모든 계수를 구한다.

구해진 N개의 계수를 사용하여 다음과 같은 최종적인 상대이동도의 Chebyshev 근사식을 정의한다.

$$\mu_{eff} \approx \mu_o \left(\sum_{j=0}^{N-1} [c_j T_j(y)] - c_0/2 \right) \qquad (12)$$

여기서 Chebyshev 다항식 $T_j(y)$는 cos(j arccos (y))로 정의되며, y는 근사식의 임의의 값 V_g'을 구간 [-1,1] 사이의 값으로 변환하는 mapping 변수로서 $[V_g' - \frac{1}{2}(b+a)] / \frac{1}{2}(b-a)$로 정의된다. 또한 a와 b는 근사화 구간, N은 근사식의 차수이며, c_j는 근사식의 계수이다. 특히 근사식의 계수 c_j는 비정질 실리콘 TFT의 여러가지 재료특성, 공정변수 및 동작조건에 의해 수치적으로 결정되므로 본 논문에서는 근사식의 계수 c_j를 특성계수라 칭하기로 한다. 위의 과정을 통하여 구해진 N개의 특성계수 c_j(j = 0,…, N-1)는 표 2와 같다.

표 2. 이동도 근사식의 특성계수의 예

Table. 2. Characteristic coefficients in mobility approximation.

c_j	계산된 계수			
c_0 ~ c_3	2.35825e-1	1.25463e-1	7.14217e-3	1.42216e-3
c_4 ~ c_7	-2.85967e-3	-5.63625e-4	1.52880e-3	-1.36998e-3
c_8 ~ c_{11}	1.10376e-3	-7.51359e-3	3.55330e-4	-2.15213e-5
c_{12} ~ c_{15}	-2.02181e-4	3.12900e-4	-3.24937e-4	2.63598e-4
c_{16} ~ c_{19}	-1.62456e-4	5.44520e-5	3.50003e-5	-9.12746e-5
c_{20} ~ c_{23}	1.10844e-4	-9.88842e-5	6.69962e-5	-2.79422e-5
c_{24} ~ c_{27}	-7.11130e-6	3.03186e-5	-3.93983e-5	3.54497e-5
c_{28} ~ c_{31}	-2.36610e-5	8.33688e-6	4.80154e-6	-1.28483e-5
c_{32} ~ c_{35}	1.54138e-5	-1.25192e-5	6.66821e-6	-1.81141e-7
c_{36} ~ c_{39}	-5.04137e-6	7.58192e-6	-7.15017e-6	4.40005e-6

3. 근사화된 전계효과 이동도의 각종 매개변수 의존성 평가

본 절에서는 이상에서 구해진 수치적 이동도 근사식을 이용하여 대역이동도에 대한 전계효과 이동도의 비로 정의되는 상대이동도의 외부인자 의존성을 드레인과 소오스 간에 전압을 인가하지 않았을 때의 게이트 전위 V_g' (= V_{gs}-V_{FB})에 대하여 평가하였다.

그림4는 TFT의 turn on 영역에서 실효정전용량을 게이트절연막 정전용량 C_i로만 근사화한 경우와 공간전하 정전용량 C_d의 변화를 고려한 경우의 상대이동도 변화를 나타내고 있다. 여기서 게이트 절연막은 2500Å의 질화막으로 가정하였으며 비정질 실리콘 bulk의 두께는 1500Å, 동작온도는 300K로 가정하였다. 그림에서 보인 바와 같이 낮은 게이트 전압에서는 본 장의 1절에서 언급했던 공간전하 정전용량 C_d의 변화를 고려하여 실효정전용량을 근사화한 경우(실선표시)가 실효정전용량을 게이트절연막 정전용량 C_i로만 근사화하는 일반적인 경우(점선표시)에 비하여 낮은 이동도를 나타내고 있다. 이는 하한문턱영역에서 계면에 형성된 채널의 농도가 크지 않으므로 채널정전용량보다는 오히려 공간전하 정전용량 C_d의 역할이 더 지배적임을 시사해 준다. 또한 본 연구에서 제안한 이동도식이 Shur와 Hack의 이동도식[8]에 비하여 낮은 게이트전압 즉 하한문턱영역에서의 현저한 이동도 변화도 나타낼 수 있음을 알 수 있다. 한편 상한문턱영역에서도 이동도가 대역이동도의 약 10% 수준으로 빠르게 도달하지 않고 게이트전압에 따라 의존성의 추세가 지속적임을 알 수 있으며 상한문턱영역에서의 이동도가 Shur와 Hack의 이동도식에서처럼 게이트전압의 평방근에 비례하지는 않음을 알 수 있다.

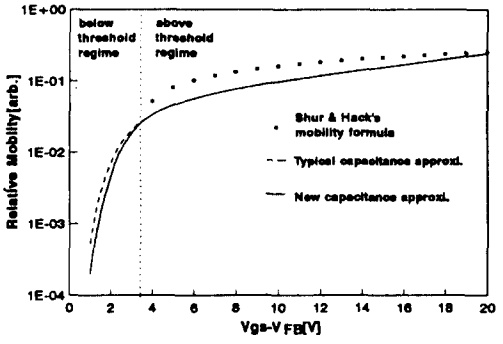


그림 4. 실효정전용량의 근사에 따른 상대이동도 대 게이트전위

Fig. 4. Relative mobility vs. gate potential according to the effective capacitance approximation.

그림5는 TFT에서 게이트절연막의 재질에 따른 상대이동도의 변화를 보인 것이다. 여기서 게이트절연막의 두께는 2500Å으로 동일하다. 게이트절연막이 실리콘 산화막인 경우에 비하여 실리콘 질화막을 사용하면 이동도가 더 커지며 낮은 게이트전압에서의 이동도 변화도 더 현저함을 알 수 있다. 이는 게이트절연막으로 실리콘 질화막을 사용하면 낮은 문턱전압과 높은 이동도를 얻을 수 있다는 일반적인 연구결과와 일치한다.

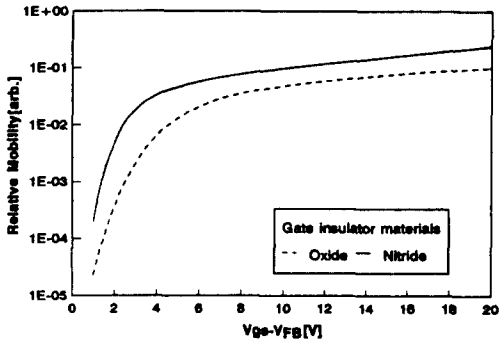


그림 5. 게이트절연막의 재질에 따른 상대이동도 대 게이트전위

Fig. 5. Relative mobility vs. gate potential according to gate insulator material.

그림6은 상대이동도의 동작온도 의존성을 보여주고 있다. 여기서 게이트절연막의 두께는 2500Å, 비정질 실리콘의 두께는 1500Å이다. 동작온도를 각각 260K에서 340K로 변화시켰을 때 전체영역에 대하여 강한 의존성을 보이고 있으며 특히 낮은 게이트전압에서의 동작온도에 따른 변화는 매우 현저한 것을 알 수 있다.

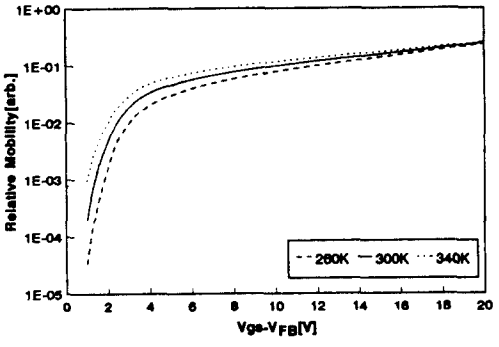


그림 6. 동작온도에 따른 상대이동도 대 게이트전위

Fig. 6. Relative mobility vs. gate potential according to the operation temperature.

그림7에 게이트절연막의 두께에 대한 상대이동도의 의존성을 보였다. 게이트절연막의 두께를 2000Å에서 3000Å까지 변화시켰을 때 그림6의 결과와 같이

전체 동작영역에서 강한 의존성을 보였다. 특히 높은 게이트전압에서도 게이트절연막에 대한 상대이동도의 의존성이 강함을 알 수 있었다. 비정질 실리콘의 두께에 따른 상대이동도의 의존성의 결과에서는 비정질 실리콘의 두께를 1000Å에서 3000Å까지 변화시켰을 때 그림6과 7의 결과와는 다른 결과가 구해졌다. 즉 비정질 실리콘의 두께에 대한 상대이동도의 의존성은 낮은 게이트전압에 국한되어 있으며 그 의존성도 매우 작았다. 그런데 이러한 계산결과는 비정질 실리콘 bulk가 게이트전압에 의하여 충분히 depletion된다는 가정에 기초한 것이므로 게이트전압에 의하여 완전히 공핍되지 않는 두꺼운 bulk에 대해서는 타당하지 않다. 그러나 일반적으로 게이트절연막보다 얇은 1500Å 수준의 비정질 실리콘에 대해서는 타당하다고 할 수 있다.

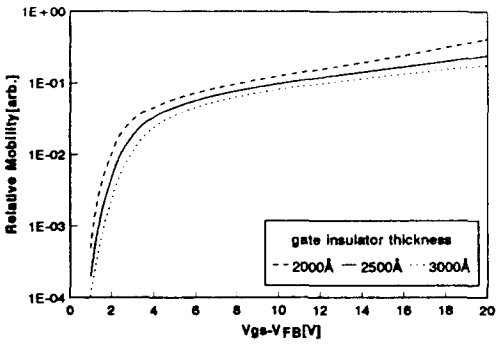


그림 7. 게이트절연막의 두께에 따른 상대이동도 대 게이트전위

Fig. 7. Relative mobility vs. gate potential according to thickness of gate insulator.

결과적으로 Chebyshev 근사를 이용한 이동도 근사식은 대표적인 외부인자의 이동도에 대한 영향에 적절히 대응할 수 있음을 보여준다. 이로써 Shur와 Hack에 의해 제안된 이동도 근사식이 각종 외부인자의 변화에 대응하기 어렵고 문턱전압 이하에서는 적용할 수 없으며 상한문턱영역의 전반부에서도 이동도의 부정확성이 발생하는 문제를 본 연구에서 해결할 수 있었다.

Ⅳ. 결론

본 논문에서는 비정질 실리콘 TFT의 전계효과 이동도를 수치적으로 근사화하였다. 전계효과 이동도식을 유도하기 위한 기본개념은 John G. Shaw에 의해 제안된 전하포획모델과 본 연구에서 제안한 동작영역에 따른 새로운 실효정전용량 모델에 근거하였다. 전계효과 이동도를 Chebyshev 근사법을 이용하여 게이트와 채널간의 전압인 게이트전위에 대한 다항식의 형태로 근사화하였다. 수치적으로 근사화된 이동도식은 하한문턱영역과 상한문턱영역에서 별도의 다른 식을 사용하지 않고도 동일하게 적용될 수 있다. 또한 근사식의 변형없이 단지 근사식의 특성계수만을 결정함으로써 각종 외부인자의 변화에 대응할 수 있으며 컴퓨터 시뮬레이션을 위한 coding에도 유리한 다항식의 형태로 되어있다. 이 근사화된 전계효과 이동도식을 이용하여 반전형 stagger전극 비정질 실리콘 TFT의 공정변수 변화에 따른 전계효과 이동도의 특성변화를 평가하였다. 비정질 실리콘 TFT의 전기적 특성평가 결과, Chebyshev 다항식을 이용한 이동도의 수치적 근사식이 Shur와 Hack의 이론에서의 문제점을 해결하였고 각종 외부인자와 동작영역의 변화에 관계없이 유효적절하게 적용될 수 있음을 입증하였다.

參 考 文 獻

[1] Andrew C. Tickle, "Thin-Film Transistors", *John Wiley & Sons Inc.*, pp.35-36, 1969

[2] M. Hack and M. Shur, "Theoretical Modeling of Amorphous Silicon-Based Alloy p-i-n Solar Cells", *J. Appl. Phys.* Vol. 54, No. 10, pp. 5858-5863, October 1983

[3] Kyo. Y. Chung, Gerold W. Neudeck, Harold F. Bare, "Analytical Modeling of the CMOS-like a-Si:H TFT Invertor Circuit", *IEEE Journal of Solid-State circuits*, Vol. 23, No. 2, pp. 566-572, April 1988

[4] Inan Chen and Sanbeck Lee, "On the Current-Voltage Characteristics of Amorphous Hydrogenated Silicon Schottky Diodes", *J. Appl. Phys.* Vol. 53, No. 2, pp.1045-1051, February 1982

[5] Robert A. Street, "Thermal Equilibrium Electronic Properties of a-Si:H", *IEEE Transac. on ED* Vol.36, No.12, pp.2770-2774, December 1989

[6] John G. Shaw and M. Hack, "An

Analytic Model for Calculating Trapping Charge in Amorphous Silicon", *J. Appl. Phys.* Vol. 64, No. 9, pp. 4562-4566, 1 November 1988.

[7] Michael Shur, Michael Hack, John G. Shaw, and R. A. Martin, "Capacitance-Voltage Characteristics at Amorphous Silicon Thin-Film Transistors", *J. Appl. Phys.* Vol. 66, No. 7, pp.3381-3385, 1 October 1989

[8] Michael Hack, Michael Shur, John G. Shaw, "Physical Models for Amorphous-Silicon Thin-Film Transistors and Their Implementation in a Circuit Simulation Program", *IEEE Transac. on ED*, Vol. 36, No. 12, pp.2764-2769, December 1989

[9] Michael Shur, Michael Hack, and John G. Shaw, "A New Analytic Model for Amorphous Silicon Thin-Film Transistors", *J. Appl. Phys.* Vol. 66, No. 7, pp.3371-3380.1 October 1989

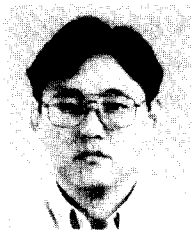
[10] M. Shur and M. Hack, "Physics of Amorphous Silicon Based Alloy Field-Effect Transistors", *J. Appl. Phys.* Vol. 55, No. 10, pp.3931-3842, 15 May 1984

[11] Michael Shur and Choong Hyun, "New High Field-Effect Mobility Regimes of Amorphous Silicon Alloy Thin-Film Transistor Operation", *J. Appl. Phys.* Vol. 59, No. 7, pp. 2488-2497, 1 April 1986

[12] G. W. Neudeck, K. Y. Chung and H. F. Bare, "A Simplified Model for the Static Characteristics of Amorphous Silicon Thin-Film Transistors", *Solid-State Electronics* Vol. 29, No. 6, pp. 639-645, 1986

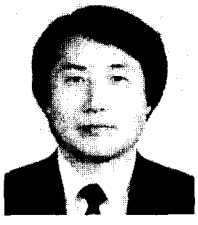
[13] James W. Mayer and S. S. Lau, "Electronic Materials Science", *Macmillan Publishing Company*, pp. 350-354, 1990

著者紹介



朴 宰 弘(正會員)

1968年 1月 11日生. 1991年 2月 서울시립대학교 전자공학과 졸업(학사). 1993年 2月 서울시립대학교 대학원 석사학위 취득. 1993年 3月 ~ 현재 동대학원 박사과정 재학중. 주관심 분야는 TFT, SOI 등임.



金 鐵 柱(正會員)

1947年 2月 3日生. 1973年 한양대학교 졸업(학사). 1981年 3月 일본 Tokai대학 대학원 석사학위 취득. 1984年 3月 동대학원 박사학위 취득. 1984年 3月 ~ 현재 서울시립대학교 전자공학과 교수. 1989年 ~ 1990年 일본 Sophia 대학 이공학부 객원교수. 주관심 분야는 반도체 재료 및 소자, SOI, TFT, Microstructure, 3차원 집적회로 개발 등임.