

# Mixed Particle Monte Carlo 방법을 이용한 2차원 MOSFET 시뮬레이터

## (Two Dimensional MOSFET Simulator using Mixed Particle Monte Carlo Method)

秦 教 英\*, 朴 榮 俊\*, 閔 弘 植\*

(Gyo Young Jin, Young June Park and Hong Shick Min)

### 要 約

Mixed Particle Monte Carlo 방법을 이용하여 전자와 정공을 모두 포함한 수송 방정식과 Poisson 방정식을 self-consistent하게 다루는 이차원 MOSFET 시뮬레이터를 개발하였다. 개발된 시뮬레이터를 이용하여 0.25 $\mu\text{m}$ 의 채널 길이를 갖는 single 드레인, LDD, GOLD MOSFET의 정상상태와 과도상태를 시뮬레이션하고 단자특성과 내부의 물리량들을 보였다.

### Abstract

A full two-dimensional MOSFET simulator utilizing the Mixed Particle Monte Carlo method is introduced. Particle simulation for both electrons and holes are self-consistently coupled with Poisson's equation. To demonstrate the performance of the simulator, steady state and transient state solutions of the terminal characteristics and the internal physical quantities are obtained for 0.25 $\mu\text{m}$  MOSFETs with three different structures: conventional single drain, LDD and GOLD MOSFET structures.

### I. 서론

Sub-micron 소자에서 비정상 상태에 의한 현상이 소자특성에 미치는 영향이 중요해짐<sup>[1]</sup>에 따라 Monte Carlo 방법<sup>[2]</sup>에 의한 소자 시뮬레이션의 중요성이 커지고 있다. 몇 가지 MOSFET 소자에 적용할 수 있는 MC 시뮬레이터가 발표되었지만 실제 소자의 특성분석과 물리현상에 대한 연구에 적용하기에는 많은 문제점을 안고 있다.<sup>[3]</sup><sup>[4]</sup> 한가지 예로 계산 시간을 줄이고 통계적인 흔들림을 감소시키기 위한

개선이 필요하다. 이러한 개선의 새로운 아이디어로 본 논문에서는 Mixed Particle Monte Carlo<sup>[5]</sup>라는 새로운 개념을 도입한 2차원 MOSFET 시뮬레이터를 소개하고 0.25 $\mu\text{m}$ 의 채널 길이를 갖는 소자에 대한 적용예를 보이기로 하겠다.

먼저 제작된 시뮬레이터의 기본 구조에 대하여 설명하고, 다단자 소자의 전류계산에 유용한 Ramo-Shockley 정리에 의한 전류 계산 방법의 적용에 대하여 설명하겠다. 시뮬레이션 예로 정상상태와 과도상태에 대한 계산 예를 보였다.

### II. MOSFET 시뮬레이터

이 장에서는 제작된 2차원 MOSFET 시뮬레이터

\* 正會員, 서울大學校 電子工學科  
(Dept. of Elec. Eng., Seoul Nat'l Univ.)  
接受日字 : 1993年 8月 11日

에 사용된 주요 기법과 특징을 설명하기로 하겠다.

시뮬레이터는 소오스/드레인과 콘택 등, 실제 소자 전체를 계산 영역에 포함시키고 일반적인 목적에 사용될 수 있도록하기 위하여 과도현상에 대한 계산도 가능하도록 하는 것을 목표로 하였다. 제작된 MOSFET 시뮬레이터의 주요 특징은 다음과 같다.

- 1) 전자 또는 정공을 표현하는 입자(particle)를 두 가지 방식으로 다루는 Mixed Particle Monte Carlo(MPMC) <sup>[5]</sup>를 적용하였다. 이 방법에서는 물리적으로 정확성을 기하여야 할 경우는 기존의 Monte Carlo 방법으로 입자의 움직임을 다루고 계산 시 간을 줄여야 할 경우에는 브라운 운동(Brownian motion)를 다루는 방법으로 입자의 움직임을 다룬다.
- 2) 볼츠만(Blotzmann) 방정식과 포아송(Poisson) 방정식을 결합하여 수송현상과 전기장을 self-consistent하게 다루었다.
- 3) 정공을 브라운 입자 모델로 포함시켜 계산 시간의 과도한 증가 없이 2-carrier 시뮬레이션을 함으로써 정상상태 뿐만아니라 과도현상도 다룰 수 있다.
- 4) 전자의 분포가 희박한 영역(주로 채널 또는 고에너지 영역)에서 전자 배가 방법을 사용하였다. <sup>[6]</sup>

시뮬레이터의 알고리즘과 주요 특징을 설명하기 위하여 그림1 과 같은 소자를 예로 사용하였다. 사용된 소자는 0.5 $\mu\text{m}$  두께의 균일하게 도핑된 p-형 기판(불순물 농도는  $1 \times 10^{17}/\text{cm}^3$ )에 0.1 $\mu\text{m}$ 의 접합 깊이를 갖는 소오스/드레인(n-형 불순물은 표면 농도  $1 \times 10^{20}/\text{cm}^3$ 의 Gaussian 분포)으로 이루어져 있다. 유효 채널 길이는 0.25 $\mu\text{m}$ 이며 산화막 두께는 60Å이다. 그림에서 드레인 콘택은 왼쪽에 있고 소오스 콘택은 오른쪽에 있다. 이제 다음 절에서 주요 알고리즘과 이러한 기법에 의해 이루어지는 결과에 대하여 설명하기로 하겠다.

### 1. Mixed Particle Monte Carlo 방법

Monte Carlo 시뮬레이션에서 대부분의 시간은 전자 또는 정공을 나타내는 입자의 운동, 즉 입자의 전기장에서의 움직임을 결정하는 운동방정식을 풀고 입자의 충돌과정을 다루는 데 소비된다. MOSFET나 바이폴라 트랜지스터와 같은 기존의 반도체 소자에 대하여 MC 시뮬레이션을 하는 경우, 이러한 소자에는 불순물 농도가 높은 지역과 낮은 지역이 한 소자 내에 동시에 포함되어 있다는 점이 계산상의 난점이 된다. 이러한 소자에서 물리적으로 중요한 현상은 대부분 불순물 농도가 낮은 지역(채널 영역)에서 발생하지만 시뮬레이션하는 소자에 대하여 적절한 경계조건을 보장하기 위해서는 불순물 농도가 높은 지역도 시뮬레이션 영역에 포함시켜야한다. 따라서 대부분의 계산시간은 물리적으로 중요성이 덜한 불순물 농도가 높은 지역에서 소비된다. 이러한 난점을 해결하는 여러 가지 방법 <sup>[3], [7]</sup> 중의 하나로 물리적으로 중요한 지역에서는 기존의 Monte Carlo방법을 사용하고 그렇지 않은 지역에서는 계산시간을 줄일 수 있는 다른 방법으로 입자의 운동을 다루는 Mixed Particle Monte Carlo (MPMC) 방법 <sup>[5]</sup>이 본 저자들에 의해 발표된 바가 있다.

MPMC 방법에서는 입자로 표현되는 전자 또는 정공의 수송현상을 두가지 방법으로 다룬다.

한가지는 기존의 몬테칼로 방법으로, 이 방식은 볼츠만 방정식의 해를 구하는 가장 정확한 방법 중의 하나이다. 기존의 몬테칼로 방식으로 다루어지는 입자를 몬테칼로(MC)-입자라고 부르기로 하자. MC-입자는 종래의 방법인 self-scattering 방법으로 다루었다. <sup>[8]</sup> 다른 하나의 방법은 볼츠만 방정식의 간략화된 방정식 중의 하나인 랑게빈(Langevin) 방정식 <sup>[9]</sup>에 기초한 방식으로, 이러한 수송 방정식에 기초한 입자를 브라운(B)-입자라 하자. 본 논문에서는 브라운 입자의 운동을 나타내기 위하여 이미 발표된 1 차

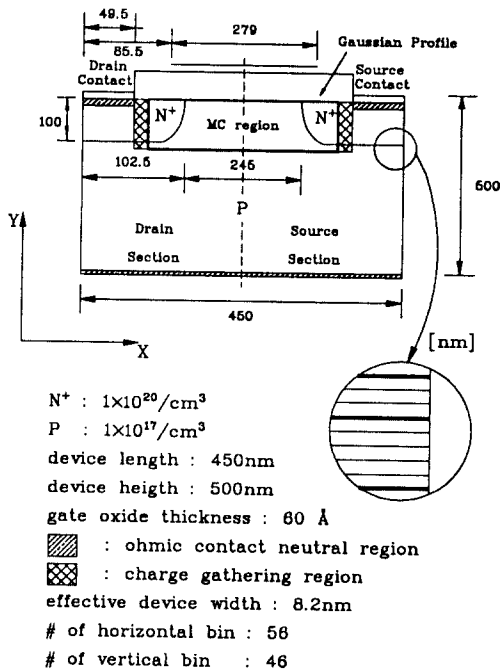


그림 1. 소자의 구조  
Fig. 1. Device structure.

원 공식<sup>[5]</sup>을 2 차원으로 확장하여 적용하였다. 확장된 2 차원식은 다음과 같다.

시간  $t_0$ 에 초기 위치가  $X_0$ , 속도가  $U_0$ 인 입자의  $\Delta t$  후의 속도와 위치의  $x$ -방향 성분은

$$x = x_0 + \beta^{-1}(1 - e^{-\beta \Delta t}) \left( u_{x,0} - \frac{K_x}{\beta} \right) + \frac{K_x}{\beta} \Delta t + \sigma_x \omega_1 \quad (1)$$

$$u_x = u_{x,0} e^{-\beta \Delta t} + \frac{K_x}{\beta} (1 - e^{-\beta \Delta t}) + r \sigma_x \omega_1 + \sigma_{u,x} \omega_2 \quad (2)$$

이다. 또한  $y$ -방향 성분도  $x$ -방향 성분과 독립적으로

$$y = y_0 + \beta^{-1}(1 - e^{-\beta \Delta t}) \left( u_{y,0} - \frac{K_y}{\beta} \right) + \frac{K_y}{\beta} \Delta t + \sigma_y \omega_3 \quad (3)$$

$$u_y = u_{y,0} e^{-\beta \Delta t} + \frac{K_y}{\beta} (1 - e^{-\beta \Delta t}) + r \sigma_y \omega_3 + \sigma_{u,y} \omega_4 \quad (4)$$

쓰여진다. 위에서  $\omega_1, \omega_2, \omega_3, \omega_4$ 은 Gauss 분포를 갖는 난수이다.  $\beta = q/(\mu m)$ ,  $K = qE/m$ 이며,  $q, m$ 은 각각 전자의 전하량, 유효 질량이고,  $\mu$ 는 이동도,  $E$ 는 전기장이다.

$\sigma_x, \sigma_u, \sigma_{u,x}$ , 는 위치, 속도와 위치-속도 상호관련 표준편차로

$$\sigma_x = F^{1/2} \quad (5)$$

$$\sigma_u = G^{1/2} \quad (6)$$

$$\sigma_{u,x} = G^{1/2}(1 - r^2)^{1/2} \quad (7)$$

이며,

$$F = \alpha \beta^{-3} (2\beta \Delta t - 3 + 4e^{-\beta \Delta t} - e^{-2\beta \Delta t}) \quad (8)$$

$$G = \alpha \beta^{-1} (1 - e^{-2\beta \Delta t}) \quad (9)$$

$$H = \alpha \beta^{-2} (1 - e^{-\beta \Delta t})^2 \quad (10)$$

$$r = \frac{H}{(GF)^{1/2}} \quad (11)$$

이다. 위에서  $\alpha = \beta k_B T/m$ 이며  $k_B$ 는 Boltzmann 상수이며,  $T$ 는 절대온도이다. 위에서 알 수 있듯이 초기 위치  $X_0$ 와 초기 속도  $U_0$ 를 제외한 모든 계수는 전기장과 이동도 즉 위치만의 함수임을 알 수 있다.

랑게빈 방정식은 입자의 열적 평형상태를 가정하고 있으므로 비정상 수송현상 또는 고에너지 전자의 영향이 중요한 경우는 적용할 수 없다. 그러나 볼츠만 방정식이 미적분 방정식임에 비해 랑게빈 방정식은 미분 방정식이기 때문에 상대적으로 쉽게 해를 구할 수 있다. 따라서 동일한 시간 동안 반도체 안에서 입자의 운동을 추적할 때 B-입자를 사용하는 것이 MC-입자 보다 계산량이 작게된다. 또한 발표된 대부

분의 Monte Carlo 시뮬레이션의 microscopic-transport 모델이 불순물 농도가 높은 반도체의 이동을 재현하지 못하는데 반하여 B-입자는 실험결과로부터 주어진 이동도 모델을 사용하기 때문에 불순물 농도가 높은 지역 또는 열적 평형상태에서 크게 벗어나지 않는 영역에서 입자의 운동을 정확히 묘사한다.

위와 같은 이유로 부터 소자내에서 고에너지 수송현상을 정밀하게 다루어야 할 지역에는 MC-입자를 그렇지 않은 지역에서는 B-입자를 사용하여 물리적인 정확성과 계산시간 단축의 목표를 동시에 달성할 수 있다. 그림 1에 나타난 소자의 경우, 비정상 수송현상이 중요한 채널과 고 에너지 현상이 중요한 드레인 영역에서는 MC-입자를( 굵은 실선 내부 지역), 다른 지역에서는 B-입자로 전자를 표현했다.

수송현상에 큰 영향을 미치지 않는 정공은 모두 B-입자로 다루었다. 따라서 전자와 정공 모두가 소자내에서 다루짐에 따라 전자만을 포함한 경우와는 달리 과도현상에 대한 시뮬레이션이 가능하게 된다. 과도현상에 대한 설명은 IV장과 VII장에서 다루기로 하겠다.

## 2. 포아슨 방정식과의 결합 및 전하 배정 방식

MC 시뮬레이션에서 입자의 운동에 따라 전계의 분포가 변화하게 되며 이는 입자의 운동에 영향을 주게 된다. 짧은 기간 동안 입자의 위치가 변화한 후에 포아슨 방정식을 풀어줌으로써 이 전계의 변화를 알아내어야 한다. 입자의 위치에서 전하의 분포를 알아내어 포아슨 방정식의 입력으로 고려하는 방법은 크게 두 가지가 발표되어 있다. 첫번째는 시간상이나 공간상에서 전하의 분포를 평균하고 이 전하분포를 이용하여 포아슨 방정식을 풀어 전기장을 구하는 방법이다.<sup>[3], [6]</sup> 이 방법은 적은 숫자의 입자를 사용한 경우라도 시간상의 적분 또는 공간상의 평균 과정을 통해 입자의 수를 증가시킨 것과 동일하므로 구한 전기장에 통계적인 흔들림이 작고, 포아슨 방정식의 해를 자주 구하지 않아도 되는 장점이 있는 반면 순식적으로 self-consistent하지 않다는 단점이 있다. 두번째는 일정한 시간마다 포아슨 방정식을 풀 때 그 순간의 전하 분포를 이용하여 전기장을 구하는 방법으로 이러한 방법은 순식적으로 self-consistent한 전기장을 이용하여 입자의 운동을 결정함에 따라 물리적으로 보다 정확한 결과를 얻는 장점이 있다.<sup>4</sup>

<sup>11</sup> 그러나 플라즈마 진동에 의한 수치오차 등을 막기 위하여는 포아슨 방정식의 해를 매우 자주 구하여야 하며 따라서 여러 가지 계산시간을 줄이는 기법을

활용할 수 없다는 단점이 있다. 위의 두가지 방식을 잡음계산의 관점에서 비교한 최근의 논문<sup>[12]</sup>에 의하면 self-consistent한 전기장을 사용한 경우와 평균적인 전기장을 사용한 경우는 서로 다른 결과를 주는 것을 알 수 있다. 따라서 평균적인 전기장을 사용하는 방법이 계산시간 측면에서 유리할지라도 물리적으로 정확성을 기하기 위해서는 self-consistent한 방법을 사용하여야함을 알 수 있다. 본 시뮬레이터에서는 입자의 운동과 포아슨 방정식을 결합할 때 self-consistent한 방법을 사용하였다.

구하여진 전기장은 입자의 운동을 결정하는 요소가 되고 또한 이 입자의 운동은 다시 전기장을 결정하게 된다. 실제 계산에서는 설계된 그리드에 전하를 배정하거나 운동방정식에 사용되는 전기장을 찾기위하여 매번 입자의 위치로 부터 해당되는 그리드를 찾아야 함을 알 수 있다. 또한 전기장을 계산하는데 소요되는 시간을 줄이고 전기장의 과도한 진동을 막기 위해서는 균일하지 않은 그리드를 사용하여 전기장의 변화가 심한 지역에서는 좁은 간격의 그리드를, 전기장의 변화가 완만한 지역에서는 넓은 간격의 그리드를 사용하여야 한다. 이러한 비균일 그리드를 사용하는 경우 입자의 위치로 부터 해당되는 그리드를 찾는 작업에 많은 시간이 소요되게 된다.

이러한 문제를 해결하기 위해서 이중 그리드 기법이라는 것을 고안하여 사용하였다. 이 방법은 촘촘하고 균일한 그리드(위치 그리드)로 소자의 전지역을 덮고, 이 그리드의 홀수 배로 전기장의 해를 구할 때 사용되는 그리드(전기장 그리드)를 설계하는 방법이다.

먼저 균일한 그리드를 사용하는 경우 입자의 위치로 부터 해당되는 그리드를 찾는 과정을 생각해 보자. 입자 위치의  $x$  좌표를  $a$ 라 하면 이것을  $x$ -그리드 간격인  $\delta x$ 로 나누어 정수화하면 해당되는  $x$ -그리드를 알 수 있다. 이중 그리드 기법에서는 먼저 위치 그리드의 번호를 인덱스(index)로 갖는 어레이(array)에 자신이 속한 전기장 그리드의 번호를 저장하여 둔다. 입자의 위치를 위치 그리드의 간격으로 나누어 정수화한 뒤 해당되는 위치 그리드 어레이의 내용으로부터 전기장 그리드 번호를 알 수 있다. 따라서 비균일 그리드를 사용한 경우도 시간상 균일 그리드를 사용한 경우와 별다른 차이가 없게된다. 예로 든 소자를 시뮬레이션 할 때, 위치 그리드는 5Å으로 하였다. 설계된 전기장 그리드와 위치 그리드의 관계가 그림 1의 원 안에 표시되어 있다. 소자내의 설계된 그리드의 일부가 확대되어 큰 원에 나타나 있다. 그림에서 모든 실선은 수평방향 그리드만을 표시한 것으로 이는 위치 그리드에 해당되며 굵은 실선은 전기장 그리

드와 위치 그리드가 동시에 있는 곳이다. 수직방향 그리드도 같은 방법으로 설계된다.

이제 주어진 전하분포로부터 전기장을 구하는 과정에 대하여 설명하기로 하겠다. 플라즈마 진동에 의한 오차를 줄이고 전하의 집단적 행동에 의한 long range Coulomb interaction의 영향을 적절히 고려하기 위해서는 전기장을 자주 구해야 한다. 소오스/드레인의 고불순물 영역이 포함된 MOSFET의 경우는 0.2-0.4 fsec에 한번씩 해를 구하여야 한다.<sup>[4]</sup> 자주 포아슨 방정식을 풀기 위해서는 시간적으로 매우 효과적인 해법이 요구된다. 이를 위하여 시뮬레이터에서 사용되는 포아슨 방정식은 선형방정식이며, 이를 이산화(descritized)할 경우 단지 기하학적으로 설계된 그리드 만의 함수라는 점을 이용하였다.

즉 그리드와 콘택의 위치 등 소자의 기하학적 구조가 주어지면 이산화된 선형방정식 system의 모든 계수가 결정되므로 시간상 변화하는 항은 오직 전하분포에 의해 주어지는 non-homogeneous항 뿐이다. 따라서 선형방정식 system을 한번만 inversion시키면, 항상 이 역행렬을 사용하여 방정식의 해를 구할 수 있다.

실제 계산에서는 주어진 그리드의 함수로 이루어진 방정식을 크라우트(Crout)방법을 이용하여 완전 LU 분해(complete LU decomposition)하여 이산화된 방정식의 계수를 메모리에 저장하고 순서적으로 주어진 전하분포를 이용하여 한차례의 backward /forward substitution으로 포아슨 방정식의 해를 구한다.<sup>[13]</sup> 사용되는 메모리를 줄이고, 분해과정시 발생하는 스파스(sparse) 행렬의 필-인(fill-in)을 감소시키기 위하여 그리드 ordering 시 alternating-diagonal 방법<sup>[14]</sup>을 사용하였다.

이러한 방법은 반복적인 기법(iterative method)에 비하여 더 많은 메모리가 요구되나, 단한번의 LU 분해 과정만 요구되므로 가장 짧은 시간에 전기장을 구할 수 있다. 또한 반복적인 기법에서 해의 정밀도를 높이기 위하여 에리 한계를 작게하는 경우 계산시간이 늘어나는 반면, 위의 방법의 경우는 LU분해 과정에서 정밀도를 고려하여 주의하면 더 이상의 계산 과정 없이 컴퓨터의 기계정밀도를 갖는 해를 구할 수 있다.

전하를 그리드에 배정할 때는 계산 시간을 줄이고, 자신의 전하량에 의한 self-force의 영향을 배제하기 위하여 NGP(nearest grid point)방법을 사용하였으며 보다 효과적인 배정을 위하여 입자에 대한 정보를 저장하는 자료구조(data-structure)는 linked-list를 사용하였다. 자료구조에 대한 자세한 설명은 II-3.절에서 하겠다.

### 3. 전하 배가 기법(Charge multiplication scheme)

MOSFET와 같이 불순물 농도가 높은 소오스/드레인 영역과 전하밀도가 낮은 채널영역이 동시에 있는 소자의 경우 모든 입자의 전하량을 동일하게 설정하면 관심 영역인 채널지역에서 통계적으로 안정된 해를 구할 수 있는 정도의 입자수를 유지하기가 어렵게 된다. 따라서 전자밀도가 희박한 영역에서 통계적 흔들림을 줄이고 계산시간을 감소시키기 위하여 흔히 사용되는 전하 배가 방식을 사용하였다.<sup>[11]</sup> 전하 배가 방식은 전하 밀도가 낮은 위치공간(spatial space)상 또는 운동량 공간(momentum space)상에 있는 입자를 다른 지역의 입자 보다 전하량이 작은 입자로 쪼개어 입자의 수를 늘리고 작은 전하량이 배정된 입자가 소오스/드레인과 같이 전하밀도가 높아 입자밀도가 큰 영역으로 들어 왔을 때 제거하여 입자의 수를 줄이는 방식이다.

먼저 입자의 숫자를 늘리는 과정에 대하여 설명하겠다. 사용된 기준은 두 가지로, 하나는 위치공간 상의 분포이며 다른 하나는 운동량공간 상의 분포이다. 위치공간상에서의 전하배가 방식은 먼저 보고자하는 물리적 양의 정확도, 그 위치에서의 전하량 등을 고려하여, 채널을 따라 가는 방향 위의 특정한 x 위치에서 소자의 깊이 방향으로 적분한 입자수의 면적밀도에 대한 목표값을 설정하였다. 채널의 각 영역에서 이 값을 유지하기 위하여 그 지역에 있는 전하량에 비례하고 설정된 입자밀도에 반비례하는 기준 전하량을 계산하여 어떤 입자가 들어 오면 그 입자의 전하량이 정해진 기준량보다 작게 되도록 입자를 나누었다. 또한 과도하게 큰 전하량을 갖는 입자가 없도록 그 지역에 존재하는 입자의 평균 전하량 보다 일정 배수 이상의 전하량을 갖는 입자도 작게 나누도록 하였다. 전하를 나누는 기준 전하량은 시뮬레이션 진행 중에 그 지역에서 입자의 면적밀도에 대한 정보를 이용하여 자동으로 조절되도록 하였다. 입자의 면적밀도는 임의의 값으로 설정할 수 있지만 실제 시뮬레이션 상에서는 소오스에서 드레인으로 가면서 입자의 면적 밀도가 일정하도록 기준을 정했다. 이러한 기준에 의해, 실제 소자에서 드레인으로 갈수록 전자의 숫자가 감소하여 시뮬레이션 상에서 드레인 가까이 가면서 통계적인 오차가 증가하는 현상을 막을 수 있다. 이러한 공간상의 전하 배가 방식에 의해 공간상에서 전하 밀도의 변화에 의한 통계적 흔들림을 감소시켜, 안정되고 또한 원하는 정도의 정확도를 갖는 해를 구하기 위하여 요구되는 시간을 감소시킬 수 있다.

MC 시뮬레이션을 통해 얻을 수 있는 중요한 물리

량 중의 하나인 전자의 운동량 분포함수를 얻기 위해서는 운동량 공간에서의 전하 배가가 필요하게 된다.<sup>[6]</sup> 전자의 분포함수를 보면 주로 고에너지 영역에 전자의 분포가 희박하게 된다. 따라서 문턱 에너지(threshold energy)를 설정하여 전자가 고에너지 영역에 진입하게 되면 일정 기준 에너지 보다 큰 에너지를 가진 입자를 전하량이 작은 다수의 입자로 쪼개어 시뮬레이션을 행하는 운동 공간상의 전하 배가 방식을 사용하였다. V장에 이러한 방식을 사용하여 구한 전자의 에너지 분포함수의 예를 보였다.

이제 배정된 전하량이 작은 입자의 숫자를 줄이는 방법(gathering)에 대하여 설명하겠다. 입자의 숫자를 늘리거나 줄이는 과정 모두 시뮬레이션의 해를 왜곡하는 결과를 초래하게 된다. 이것은 위치 또는 운동량 공간상의 일정 범위에서 인위적으로 통계적 분포를 과장 또는 억압하는 방법이기 때문이다. 따라서 전하 배가 방식을 적용할 경우 이에 의한 계산결과의 왜곡을 감소시킬 수 있는 기준을 사용하여야 한다. 특히 입자의 수를 줄이는 과정은 갖고 있던 정보를 버리는 것이며 또한 이 과정에서 에너지와 운동량을 동시에 보존할 수 없으므로 계산상 왜곡이 크게된다. MOSFET의 경우 소자의 특성 분석에 가장 큰 영향을 미치는 채널지역에서는 입자의 수를 줄이는 기법을 사용하지 않았다. 전하가 소오스/드레인과 같이 전하밀도가 높은 지역에 들어오게 되면, 포아슨 방정식을 풀기 직전에 작은 전하량이 배정된 입자의 수를 줄이는 알고리즘을 사용하였다. 주어진 순간에 구해지는 전기장의 왜곡을 줄이고 전하량을 보존하기 위해서 적용된 기준은 다음과 같다. 먼저 서로 합해질 수 있는 입자는 같은 전기장 그리드에 배정된 입자로 제한했다. 또한 두 입자 간의 거리가 일정 기준(예로 든 시뮬레이션의 경우 0.5Å)보다 가까와야한다. 마지막으로 합하여진 전하량이 기준 입자(콘택에서 주입되는 입자)의 전하량보다 작아야한다. 이러한 기준에 따라 입자의 수를 줄이면 각 그리드에 배정된 전하량이 입자의 수를 줄이는 과정의 전후에 동일하게 되므로 통계적인 임의의 선택을 통하여 작은 전하가 배정된 입자를 제거하는 방법<sup>[11]</sup>보다 적은 왜곡을 초래한다. 서로 합해지도록 선택된 두개의 입자는 공간의 위치는 각 입자의 전하량의 가중 평균 위치에, 운동량은 난수를 이용하여 각 입자의 전하량에 비례하는 확률로 두 입자가 갖는 값 중에서 임의의 선택을 하였다.

위와 같은 과정을 수행하기 위해서는 같은 전기장 그리드에 속하는 입자간의 거리를 계산하는 과정이 필요하게 되므로 거리 비교를 할 입자가 같은 그리드

에 속하는 지를 알아야한다. 이러한 과정을 쉽게하기 위하여 입자의 위치, 운동량과 전하량 등을 저장하는 자료구조를 linked-list structure<sup>[15]</sup> 로 설정하였다. 이러한 구조를 사용하면 같은 전기장 노드에 속하는 입자 별로 입자들을 쉽게 분류할 수 있게 된다. 즉 입자의 운동이 끝나는 공간상의 좌표에서, 해당되는 전기장 그리드를  $\mathbb{I}$ -2.절에서 설명한 이중 그리드 기법으로 계산하여 각 전기장 그리드의 노드를 header로 하는 단방향 linked-list를 구성하여 이를 입자 숫자를 줄이는 과정과 포아슨 방정식에서 요구되는 전

하분포를 구하기 위한 전하 배정 과정에 사용하였다. 이러한 자료 구조는 한번의 자료구조 설정으로 전하 분포 계산과 전하 gathering 과정에 모두 사용될 수 있다. 예로 든 소자의 분석에서는 채널지역(그림에서 MC-region으로 표시된 지역)에서는 전자를 MC-입자로 표현하며 또한 전하 배가 방식을 적용하여 물리적 정확성을 도모하고, 채널지역에 인접한 B-입자 지역에서는 gathering을 위한 지역(cross-hatch 지역)을 설정하여 입자의 수를 줄이도록 하였다. 그림 2는 앞절에서 설명한 알고리즘을 토대로 작성된 시뮬레이터의 flow-chart를 나타내고 있다.

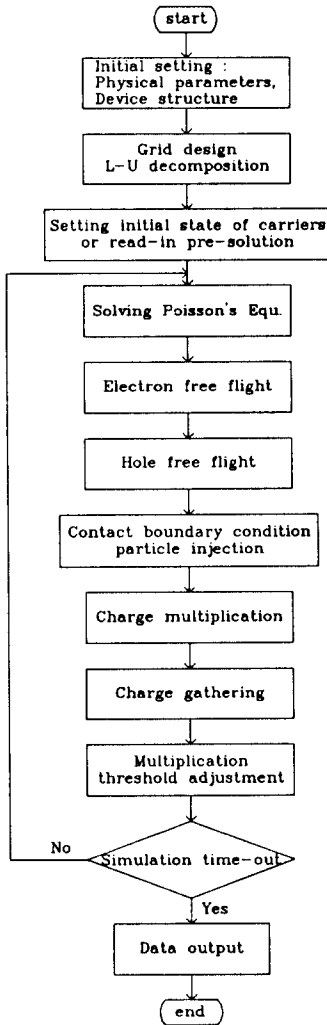


그림 2. 2차원 MPMC MOSFET 시뮬레이터의 flow-chart  
Fig. 2. Flow-chart of 2 dimensional MPMC MOSFET simulator.

4. 경계 조건

경계 조건은 포아슨 방정식에 대한 것과 입자운동에 관한 것으로 나누어 진다.

먼저 포아슨 방정식에 대하여 설명하기로 하자. 금속 콘택이 있는 소오스/드레인과 게이트에는 Dirichlet 경계 조건을, 부여하고 소자의 수직방향으로 있는 인위적 경계면에는 Neumann 경계 조건을 사용하였다.

입자에 대한 경계 조건의 경우 인위적 경계면에 입사된 경우는 단순한 반사 조건을 부여하였다. 금속 콘택이 있는 소오스/드레인에서는 첫번째 그리드의 전하량이 열적 평형상태와 같은 값이 되도록 유지하는 조건을 사용하였다.<sup>[16]</sup> 따라서 전기장을 구하기 전에 분포된 전하량을 보고, 소오스/드레인의 경우 전자가 기준량 보다 적으면 모자란 만큼 콘택을 통해 외부로부터 전자를 주입하고, 기판의 경우는 정공을 주입하였다. 기준량보다 많은 경우는 그 순간에 평형 조건을 만족하지 않더라도 임의의 선택에 의해 제거하는 작업을 하지 않았다. 이는 전기적 반발력에 의하여 전하가 외부로 배출되기 때문이다.

입자 주입 시 분포는 주어진 소자의 온도(결정의 온도)에서의 hemi-Maxwell 분포를 사용하였다.

5. 실리콘 transport 모델

전자의 MC 시뮬레이션을 위한 실리콘 밴드 구조는 한개의 nonparabolic valley로 이루어진 밴드 모델을 사용하였다.<sup>[2]</sup> 포함된 충돌모델은 elastic acoustic phonon, 6 가지 종류의 intervalley phonon 그리고 Brooks-Herring형의 ionized impurity scattering<sup>[17]</sup> 이다. Si-SiO<sub>2</sub> 경계면에서 surface scattering은 고전적인 diffusive-specular scattering 모델<sup>[18]</sup> 을 사용하였다. 이러한 transport 모델은 고에너지 전자의 현상을 다루는데는 부족하지만 본 논문에서 비교하고자 하는 시뮬레

이터의 성능을 시험하는 데에는 충분하다. 고에너지 영역을 잘 다루기 위해서는 물리적으로 보다 잘 확인된 모델을 사용하여야 하며 이는 본 논문의 범위를 벗어난다.

### III. 효율과 정확성에 대한 고찰

식(1)로부터 브라운 입자를  $\Delta t$  동안 시뮬레이션 하는데 소요되는 시간에 대하여 생각해 보자. 식에서  $\beta, K, F, G, H$  등은 모두 위치만의 함수로서 전기장을 구한 후 한번만 계산하면 된다. 따라서 주로 시간이 걸리는 과정은 4개의 Gauss 분포를 갖는 난수(random number)를 발생시키는 것과 초기 위치와 속도가 다르기 때문에 각 입자의  $\Delta t$  후의 위치와 속도를 계산하기 위하여 행하는 10번의 곱하기이다. Truncated Gauss 난수 발생 알고리즘<sup>[19]</sup>을 사용하면 Gauss 분포의 난수를 발생시키는데 소요되는 시간이 일반적인 균일한 분포의 난수 발생에 걸리는 시간과 동일하다.

시험적으로 비교를 해보면 전기장을 구하는 시간 간격을 0.4fsec로 할 경우, 브라운 입자를 움직이는데 소요되는 시간은 MC 입자의 운동을 계산하는 데 걸리는 시간의 약 1/10정도 걸리므로 전체 계산 시간은 주로 MC 입자의 숫자에 비례하게 된다. 예로 든 소자의 경우 브라운 입자와 MC 입자의 수가 거의 동일하므로 전체를 MC 입자로 하는 경우 보다 약 절반 정도의 시간이 소요된다. 특히 충분한 콘택까지의 거리를 확보하기 위하여 소오스/드레인 영역을 크게 할 경우 더욱 시간 상의 잇점을 확보할 수 있음을 알 수 있다.

### IV. 전류 계산 방법

입자 시뮬레이션에서 전류를 구하는 방법은 여러 가지가 발표되어 있다. 가장 대표적인 방법은 콘택에서 외부로 나가는 전하량과 들어 가는 전하량의 차이를 보는 number counting 방법<sup>[11]</sup>으로 이 방법은 직류성분만을 계산할 수 있다. 본 논문에서는 직류뿐만 아니라 과도전류도 구할 수 있는 Ramo-Shockley 정리를 이용한 전류 계산 방법<sup>[20]</sup>을 사용하였다. 전극에 인가된 전압이 시간에 따라 변화하는 과도상태에서 전류계산을 하기 위해서는 입자의 운동에 의한 전류성분 뿐만 아니라 각 전극간의 용량 결합에 의한 전류도 포함시켜야 한다.

이러한 전류량은 일반적인 Ramo-Shockley 정리<sup>[21]</sup>에 의해 다음과 같이 표시된다. 시간  $t$ 에  $j$ 번째 전

극에 흐르는 총전류는

$$i_j(t) = i_j'(t) + i_j''(t) \tag{12}$$

$$i_j'(t) = - \sum_i^{N(t)} q_i \nabla f_j(\underline{r}_i) \cdot \underline{v}_i(t) \tag{13}$$

$$i_j''(t) = \int_{S_j} \epsilon(\underline{r}_s) \left[ \sum_{k=1}^M \frac{d\phi_k(t)}{dt} \nabla f_k(\underline{r}_s) \cdot d\underline{a} \right] \tag{14}$$

위에서  $i_j'(t)$ 는 전하를 띤 입자의 움직임에 의한 전류성분이고,  $i_j''(t)$ 는 각 전극에 인가된 전압의 변화에 의한 용량결합이다.  $i_j'(t)$ 에서  $N(t)$ 은 반도체 내부의 전하를 띤 입자의 갯수,  $q_i, \underline{v}_i$ 와  $\underline{r}_i$ 는 각각  $i$ 번째 입자의 전하량, 속도와 위치이다.  $i_j''(t)$ 은 각 전극에서의 표면적분에 의해 구해지는 양으로  $M$ 은 전극의 갯수이며  $\phi_k(t)$ 는 전극  $k$ 에 인가된 전압이다.  $S_j$ 는  $j$ 번째 전극의 표면이다.  $f_j(\underline{r})$ 는  $j$ 번째 전극에 단위 전압을 가하고 나머지 모든 전극이 접지된 상태에서 주어진 시스템 내부의 모든 전하를 제거했을 때 위치  $\underline{r}$ 에서의 전압이다.

위 식에서 전극에 인가되는 전압의 변화를 알면 용량 결합에 의한 전류량이 계산되므로 입자의 운동에 의한 전류를 계산한 후에 더하면 된다.

### V. 정상상태에 대한 시뮬레이션

이 절에서는 그림 1의 소자에 대한 정상 상태 시뮬레이션을 통하여 앞 절에서 설명한 여러 가지 기능에 대하여 알아 보겠다. 먼저 시뮬레이션의 결과로 얻은

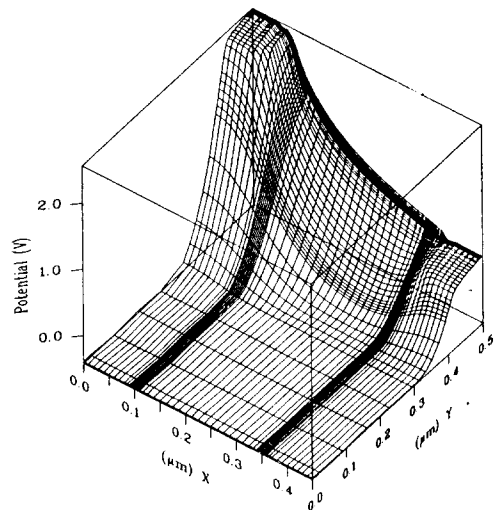


그림 3. 전압 분포 ( $V_{GS}-V_{FB}=3.0V, V_{DS}=2.0V$ )  
Fig. 3. Potential distribution ( $V_{GS}-V_{FB}=3.0V, V_{DS}=2.0V$ ).

수 있는 물리적 양을 보기로 하자. 그림 3,4와 5에 각각 전압 분포, 전자의 농도와 평균 에너지의 이차원 분포가 나타나 있다. 게이트에  $V_{GS}-V_{FB}=1.5V$ , 드레인에  $V_{DS}=2.0V$ 가 인가된 경우로  $V_{FB}$ 는 flat band 전압이다. 그림 4에서 소오스/드레인 또는 채널 지역을 벗어난 기판 지역에는 시뮬레이션 과정에서 입자로 표시되는 전자가 존재하지 않게 되므로 이

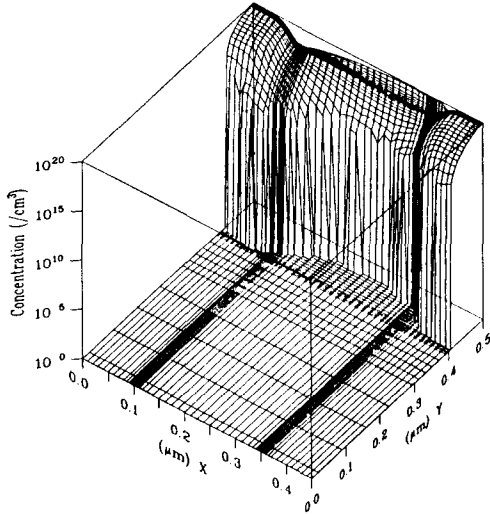


그림 4. 전자 농도 분포 ( $V_{GS}-V_{FB}=3.0V$ ,  $V_{DS}=2.0V$ )  
 Fig. 4. Electron concentration distribution ( $V_{GS}-V_{FB}=3.0V$ ,  $V_{DS}=2.0V$ ).

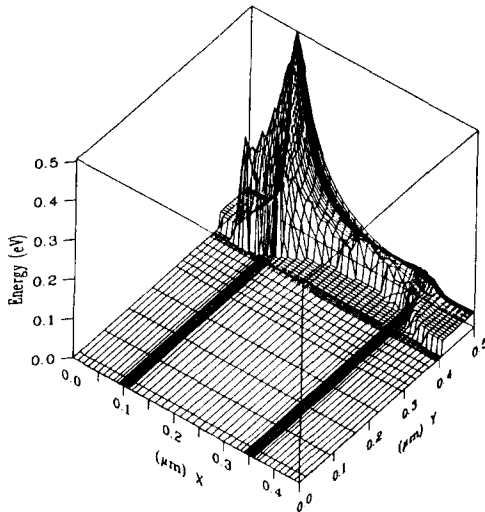


그림 5. 전자의 평균 에너지 분포 ( $V_{GS}-V_{FB}=3.0V$ ,  $V_{DS}=2.0V$ )  
 Fig. 5. Electron average energy distribution ( $V_{GS}-V_{FB}=3.0V$ ,  $V_{DS}=2.0V$ ).

지역에서의 전자농도는 1로 하였다. 그림 5의 평균 에너지 분포에서 B-입자의 평균에너지는 상온에서의 전자의 평균 운동 에너지인  $1.5k_B T$ 로 표시하였다. 드레인 지역에서 왼쪽에서  $0.04\mu m$  부근까지는 B-입자 지역으로 드레인과 기판의 공핍영역에 걸리는 역방향 전압에 의한 전자 가열은 나타날 수 없다. 그림 6에 이 소자의  $I_D-V_D$  특성 곡선이 나타나 있다.

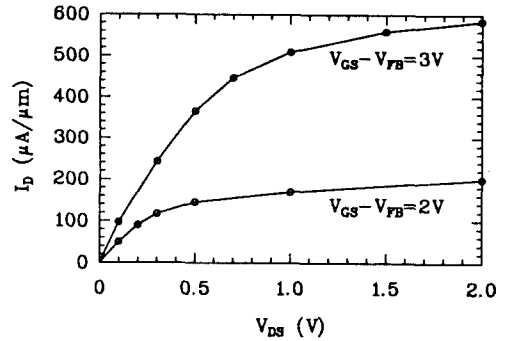


그림 6.  $I_D-V_D$  특성 곡선  
 Fig. 6.  $I_D-V_D$  characteristics

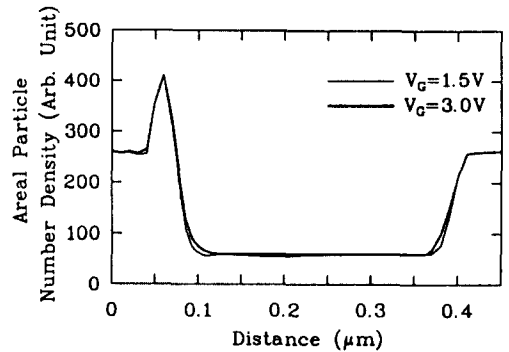
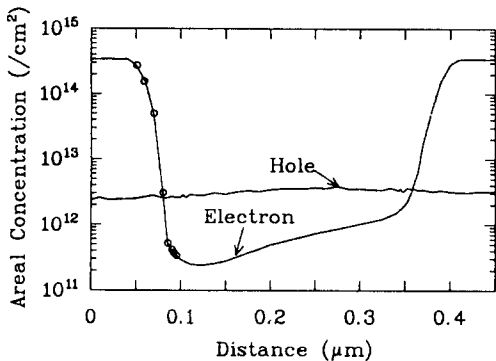


그림 7. 입자수의 면적 밀도. 굵은 실선은  $V_{GS}-V_{FB}=1.5V$ , 가는 실선은  $V_{GS}-V_{FB}=3.0V$ 의 경우이며  $V_{DS}=2.0V$ 이다  
 Fig. 7. Areal number densities of particles along the channel. Thick solid line is for  $V_{GS}-V_{FB}=1.5V$  and thin solid line is for  $V_{GS}-V_{FB}=3.0V$  ( $V_{DS}=2.0V$  for both cases).

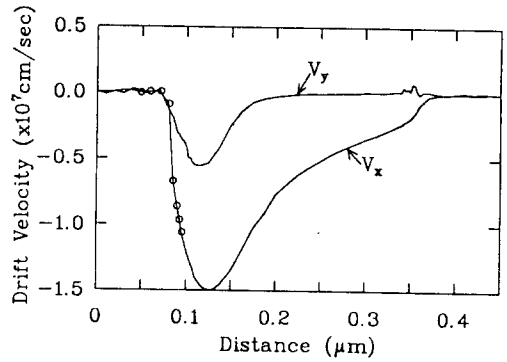
전하 배가 방식의 유용성을 확인하기 위하여 드레인 전압이 2.0V이고 게이트 전압이 각각 1.5V와 3.



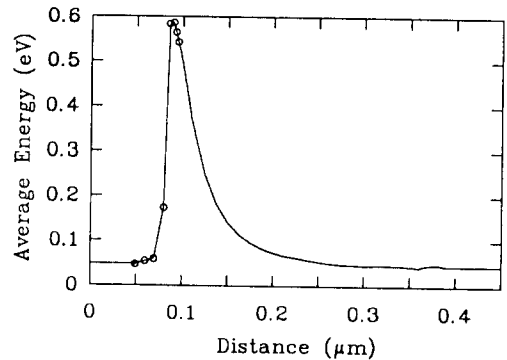
0V인 경우 시뮬레이션에 사용된 입자의 숫자를 비교하여 보자. 그림 1에서 MC-region으로 표시된 지역의 단위길이당 입자의 숫자를 일정하게 유지하기 위하여 전 지역에서 동일한 입자면적밀도 기준을 설정한 후 입자의 수를 늘리는 알고리즘을 적용하였다. cross-hatch로 표시된 전자의 gathering지역에서 입자의 숫자를 줄이기 위해서 gathering 알고리즘을 적용하였다. 따라서 소자의 특성에 커다란 영향을 미치는 채널지역에서는 전자를 MC-입자로 다루며 또한 gathering을 하지 않으므로 시뮬레이션에 초래할 수 있는 왜곡을 줄이고 상대적으로 큰 영향이 없는 B-입자 지역(소오스/드레인 내부)에서는 gathering 알고리즘을 사용하여 전하밀도가 높은 지역에서 입자의 수를 줄여 계산시간을 감소시킬 수 있도록 하였다. 이제 채널을 따라 전자를 나타내는 입자의 면적밀도를 비교하여 보자. 그림 7에서 비교된 두가지 게이트 전압의 경우(굵은 실선은 게이트 전압이 1.5V, 가는 실선은 게이트 전압이 3.0V의 경우를 나타낸다.) 채널 중앙에서 전자의 면적밀도가 각각  $5 \times 10^{11}/\text{cm}^2$ ,  $5 \times 10^{12}/\text{cm}^2$  정도로 10배 이상 차이가 나고 소오스 지역과 드레인 지역에서 전자의 면적밀도가 2배 이상 차이가 나지만 입자의 면적밀도는 전 채널지역에서 거의 같게된다. 따라서 게이트 전압에 상관 없이 거의 같은 시뮬레이션 시간이 소요되며 전자 농도가 작은 드레인 지역에서도 소오스 지역과 비슷한 정도의 통계적 흔들림을 갖게된다. 드레인의 공핍 지역에는(그림 7에서 0.06 $\mu\text{m}$  부근) 원래 있던 드레인 지역의 입자와 채널에서 들어온 작은 전하량의 입자가 더해져 입자 밀도가 크게 된다. 드레인 지역으로 유입된 작은 전하량의 입자들은 콘택 방향으로 이동하면서 점차적으로 전하량이 큰 입자로 뭉쳐져 입자의 수가 줄어들고 있음을 보여준다.



(a)



(b)



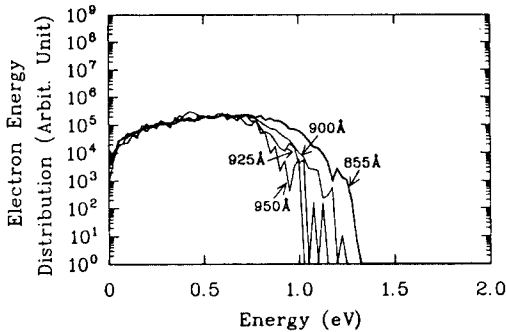
(c)

그림 8.  $V_{GS}-V_{FB}=1.5V$ ,  $V_{DS}=2.0V$  단자전압에서의 채널 방향을 따라 도시한 (a) 단위 면적당 전자와 정공의 농도 (b) 전자의 평균 속도 (c) 전자의 평균 에너지 원으로 표시된 지점은 왼쪽으로부터 500Å, 600Å, 700Å, 800Å, 855Å, 900Å, 950Å 이다.

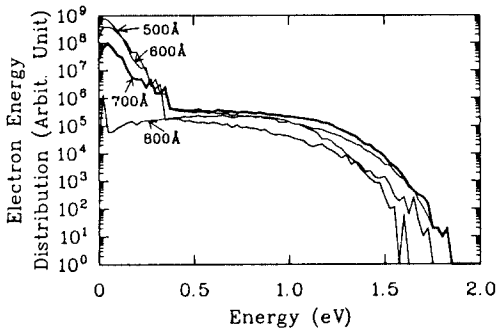
Fig. 8. When  $V_{GS}-V_{FB}=1.5V$ ,  $V_{DS}=2.0V$  respectively, (a) Areal electron and hole concentrations (b) electron drift velocity (c) electron average energy Circles are placed from left at 500 Å, 600 Å, 700 Å, 800 Å, 855 Å, 900 Å, 950 Å.

그림 8에  $V_{DS}=2.0V$ ,  $V_{GS}-V_{FB}=1.5V$ 의 단자 전압 조건에서 계산된 소자 내부에서의 전자와 정공의 면적 밀도, 전자의 평균 속도(채널에 수평한 성분은  $V_x$ , 수직인 성분은  $V_y$ )와 에너지가 나타나 있다. 평균 속도와 에너지는 Si-SiO<sub>2</sub>의 경계면에 수직인 방향으로 적분한 값의 평균이다. 그림 8.b에서 전자가 드레인 가까이에서 velocity overshoot상태에 있음을

알 수 있다. 또한  $V_G$  성분을 보면 드레인 부근에서 전기장을 따라 전자가 기판 방향으로 움직이고 있음을 알 수 있다. 그림 9는 그림 8에서 원으로 표시된 지역에서의 전자의 에너지 분포에 관한 양을 나타낸 것으로 전자가 Si-SiO<sub>2</sub> 경계면에 충돌할 때 에너지 분포이다. 에너지 분포를 얻기 위해서 II-3.절에서 설명한 운동량 공간에서의 전하 배가 방법을 사용하였다. 평균에너지가 가장 큰 855Å 부근의 전자 분포



(a)



(b)

그림 9. 표면 (Si-SiO<sub>2</sub>경계면)에 충돌한 전자의 에너지 분포 ( $V_{GS}-V_{FB}=1.5V$ ,  $V_{DS}=2.0V$ )

Fig. 9. energy distribution of electrons with collide the Si-SiO<sub>2</sub> interface ( $V_{GS}-V_{FB}=1.5V$ ,  $V_{DS}=2.0V$ ).

(그림 9.a의 굵은 실선)는 전체적으로 고에너지 영역으로 치우쳐 있는 반면, 가장 고에너지의 전자는 700Å 부근(그림 9.b의 굵은 실선)에 존재하며 이는 700Å 부근까지 크기는 작지만 전자를 가속하는 전기장이 계속 존재하고, 또한 고에너지 전자가 비탄성 충돌에 의해 에너지를 잃어버리는 과정에는 시간이 걸리기 때문이다. 그림 8.b에서 볼 수 있듯이 700Å 부근은

이미 상당히 드레인 내부로 들어온 지역으로 드레인에 이미 존재하고 있던 상온 부근의 많은 전자에 의해 평균에너지는 상대적으로 매우 작게된다. 이 지역의 전자 에너지 분포는 Maxwell분포를 이루고 있는 드레인 지역에 존재하는 저에너지 전자와 채널에서 들어오는 전체적으로 평탄한 분포를 가지는 고에너지 전자의 합으로 이루어지며, 따라서 전자의 평균 에너지가 큰 부분과 큰 에너지 꼬리(high energy tail)가 존재하는 부분이 일치하지 않는다는 것을 볼 수 있다. 이는 공핍 영역 부근에서 드레인 내부의 평균 전자에너지는 원래 존재하던 낮은 온도의 드레인 전자에 의해 낮아지게 되지만 이온화 충돌이나 소자의 열화에 영향을 미치는 큰 에너지를 갖고 있는 전자는 아직 많이 존재하고 있음을 의미한다.

### VI. SD, LDD와 GOLD MOSFET의 정상상태에 대한 비교

구조가 다른 세가지 소자에 대한 정상상태 시뮬레이션을 통하여 얻어진 각 소자에서의 물리량들을 비교하기로 하였다. 내부 불순물 분포 및 게이트 구조에 따라 형성되는 전기장 분포가 서로 다른 세종류의 MOSFET인 conventional single drain(SD), lightly doped drain(LDD)<sup>[22]</sup>와 gate overlapped drain(GOLD)<sup>[24]</sup> MOSFET에 대하여 시뮬레이션을 하기로 하였다. 그림 10에 LDD와 GOLD 소자의 실

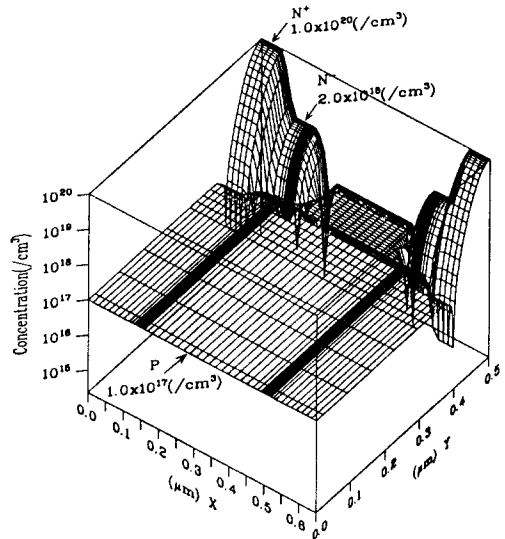


그림 10. LDD와 GOLD MOSFET에 사용된 불순물 분포

Fig. 10. Doping profile of LDD and GOLD MOSFET.

리콘 내부에서의 불순물 분포를 도시하였다. 표 1에 각 소자의 제원이 나타나 있다. 공정한 비교를 위하여 각 소자의 유효채널 길이를 0.25 $\mu\text{m}$ , 소오스/드레인 접합 깊이는 0.1 $\mu\text{m}$ 로 같게 두었다.

그림 11, 12와 13에 채널 방향을 따라서 전자의 면적 밀도, 평균 속도와 에너지의 변화가 그려져 있다. 이 값은 주어진 채널 위치에서 Si-SiO<sub>2</sub> 경계면에 수직인 방향으로 적분하여 구한 값이다. GOLD 소자에 관한 값은 굵은 실선으로 나타내었다. 게이트 전압은  $V_{GS} - V_{FB} = 2.5\text{V}$ , 드레인 전압은  $V_{DS} = 2.5\text{V}$ 이다. 이 조건에서 각 소자의 드레인 전류는  $I_{SD} = 400\mu\text{A}/\mu\text{m}$ ,  $I_{GOLD} = 320\mu\text{A}/\mu\text{m}$ ,  $I_{LDD} = 283\mu\text{A}/\mu\text{m}$ 이다. 그림 13의 평균에너지 분포를 보면, SD소자가 급격한 불순물 농도의 변화에 따라 드레인 접합 부위에 형성된 전기장에 의해 가장 큰 평균에너지를 나타낼 수 있다. 또한 GOLD 소자의 경우는 드레인-게이트 overlap에 의해 드레인 접합부위의 전기장이 완화되어 가장 작은 고에너지 전자를 형성하게 되는 것을 보여준다. LDD와 GOLD소자의 경우 소오스 부근의 lightly-doped 지역에서 전자가 전기장에 의해 가열되는 것을 볼 수 있다.

표 1. 소자 제원

\* Doping concentration은 half gaussian profile LDD, GOLD의 N 지역 lateral diffusion length는 0.05 $\mu\text{m}$ (70%), SD의 N 지역 lateral diffusion length는 0.07 $\mu\text{m}$ (70%)이다

Table 1. Device parameters

\* Doping profile is a half gaussian- Lateral diffusion length of N in the LDD and GOLD MOSFETs is 0.05 $\mu\text{m}$ (70%), and lateral diffusion length of N' in the SD MOSFET is 0.07 $\mu\text{m}$ (70%).

	SD	LDD	GOLD
$L_{eff}$ ( $\mu\text{m}$ )	0.25	0.25	0.25
$L_{gate}$ ( $\mu\text{m}$ )	0.38	0.36	0.46
N' 접합깊이 ( $\mu\text{m}$ )	0.10	0.10	0.10
N 접합깊이 ( $\mu\text{m}$ )	-	0.07	0.07
$N_{sub}$ ( $\text{cm}^{-3}$ )	$1.0 \times 10^{17}$	$1.0 \times 10^{17}$	$1.0 \times 10^{17}$
$N'$ ( $\text{cm}^{-3}$ )	$1.0 \times 10^{20}$	$1.0 \times 10^{20}$	$1.0 \times 10^{20}$
$N$ ( $\text{cm}^{-3}$ )	-	$2.0 \times 10^{18}$	$2.0 \times 10^{18}$
gate-N' overlap length ( $\mu\text{m}$ )	-	0.05	0.10
$t_{ox}$ ( $\text{\AA}$ )	60	60	60

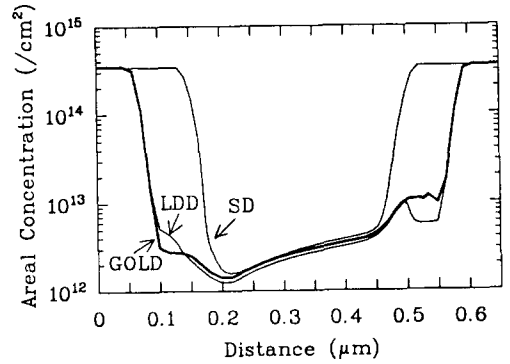


그림 11. 전자의 면적밀도  
Fig. 11. Areal electron concentration.

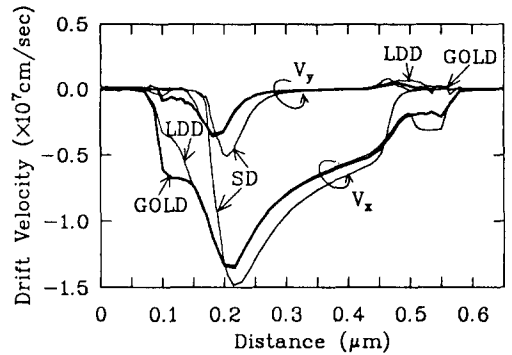


그림 12. 전자의 평균 속도 ( $V_x$ : 채널에 평행한 성분,  $V_y$ : 채널에 수직인 성분)  
Fig. 12. Electron drift velocity ( $V_x$ : parallel to channel,  $V_y$ : vertical to channel).

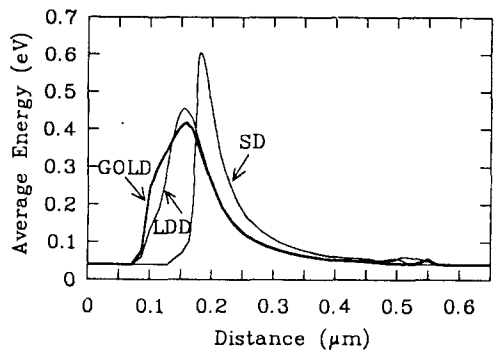


그림 13. 전자의 평균 에너지  
Fig. 13. Electron average energy.

Ⅶ. 과도상태에 대한 시뮬레이션

과도현상에 대한 계산은 그림 1의 소자에 대하여 행해졌다. 일정한 드레인 전압( $V_{DS}=2V$ )이 인가된 상태에서 게이트 전압이 1.5V에서 3.0V로 step-up 또는 step-down되는 경우에 대하여 분석하였다. 이러한 시뮬레이션은 전자와 정공을 동시에 다루고 self-consistent하게 전기장을 구하기 때문에 가능한 것이다.

게이트 전압이 1.5V에서 3.0V로 상승하는 경우, 채널 방향을 따라 전자의 면적밀도, 평균 에너지와 속도의 시간에 따른 변화를 그림 14, 15와 16에 보여주고 있다. 그림에서 시간  $t$ 에서의 값으로 표시된 물리량은  $t - 0.5psec$ 에서  $t$ 까지 시간 동안의 평균값이며  $t=0$  에서 게이트 전압이 전이한 것으로 설정하였다.

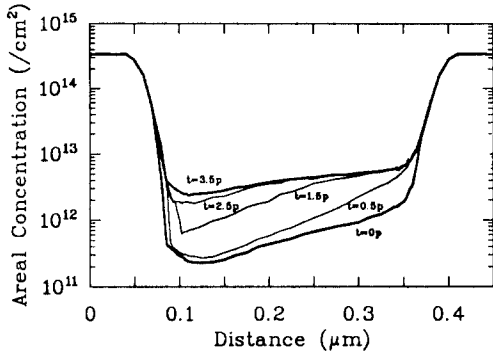


그림 14. 시간에 따른 전자의 면적 밀도  
Fig. 14. Time dependent areal electron concentraion.

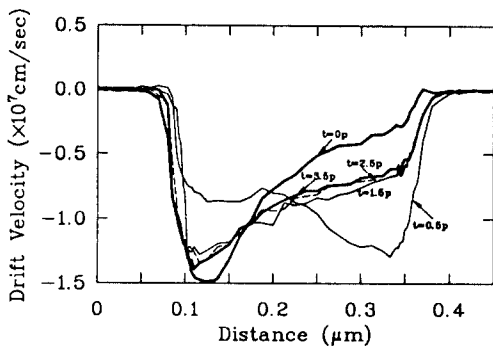


그림 15. 시간에 따른 전자의 평균 속도(채널에 평행한 성분)  
Fig. 15. Time dependent electron drift velocity parallel to the interface.

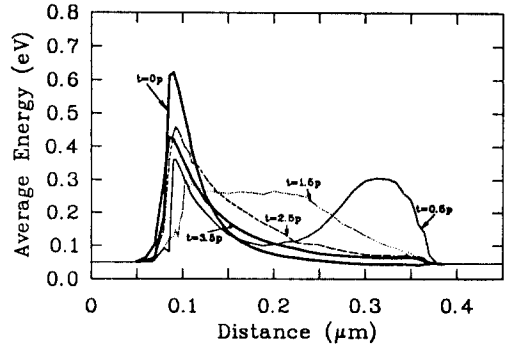


그림 16. 시간에 따른 전자의 평균 에너지  
Fig. 16. Time dependent electron average energy.

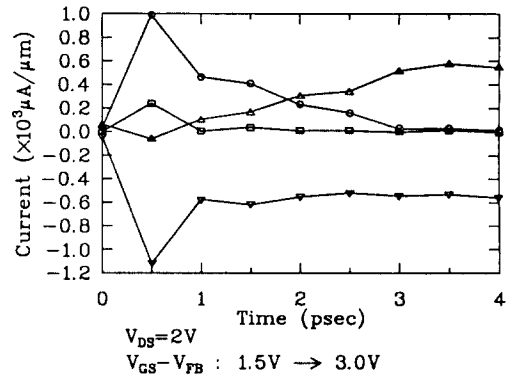


그림 17. 게이트 전압이 1.5V에서 3.0V로 상승할 때 단자의 전류특성 게이트, 기판, 드레인 과 소오스 전류는 각각 ○, □, △와 ▽로 표시되어 있다.

Fig. 17. Time dependent terminal characteristics when the gate bias voltage is step-up from 1.5V to 3.0V. Gate, substrate, drain and source current are denoted by ○, □, △ and ▽, respectively.

전이가 시작되는 시간( $t=0psec$ )과 끝나는 시간( $t=3.5psec$ )에서의 값들은 굵은 실선으로 표시하였다.

이제 Ramo-Shockley정리를 이용하여 계산한 단자전류를 보기로 하자. 그림 17은 게이트 전압이 1.5V에서 3.0V로 전이할 때, 그림 18은 3.0V에서 1.5V로 전이할 때의 각 단자에서의 전류 값이다. 단자로 부터 유입하는 전류를 양의 값으로 표시하였으며 그림 14등과 같이 0.5psec 동안의 평균전류 값을 도시한 것이다. 시뮬레이션 상에는 실리콘에서  $SiO_2$ 로

전자 또는 정공이 주입되는 모델이 없으므로 나타난 게이트 전류는 모두 용량결합에 의한 전류와 실리콘 내부의 전하의 움직임에 의해 게이트 전극에 유도된 전류임을 알 수 있다.

그림 17에서 게이트 전극에 인가되는 전압의 급격한 변화에 따라, 전이 초기에 유도되는 용량결합에 의해 게이트로 전류가 유입되고, 기판전류도 양의 값이 됨을 알 수 있다. 채널에 전자가 유입되어야 하므로 (그림 15) 게이트 전압이 변화된 초기(-0.5psec 이전)에는 드레인에서도 일부 전자가 채널 방향으로 이동하여 용량결합에 의한 전류와 합한 단자전류가 음의 값이 되는 것을 알 수 있다.

전이 과정의 단자전류의 변화를 보면 step-up, step-down 두 경우 모두 소오스 단자의 전류가 드레인 단자의 전류보다 먼저 정상상태의 값으로 접근하고 있음을 알 수 있다. 이것은 그림 14에서 볼 수 있듯이 소자 내부에서 전하 분포와 속도가 드레인 보다는 소오스 부근의 채널에서 빨리 정상상태에 다가가고 있다는 것과 연관되어있다. 0.5psec 이후에는 전극에 인가된 전압이 일정하여 용량결합에 의한 전류가 없기 때문에 이러한 것은 오로지 반도체 내부의 전하 분포에 의한 것이다.

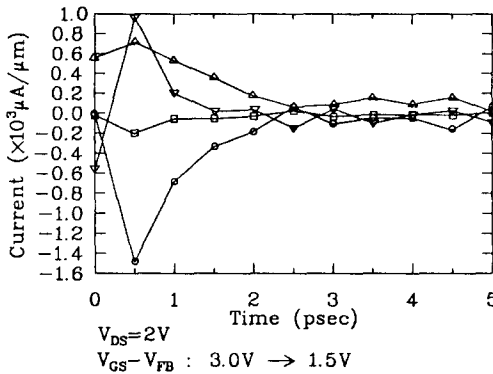


그림 18. 게이트 전압이 3.0V에서 1.5V로 상승할 때 단자의 전류특성 게이트, 기판, 드레인 과 소오스 전류는 각각 ○, □, △와 ▽으로 표시되어 있다.

Fig. 18. Time dependent terminal characteristics when the gate bias voltage is step-up from 3.0V to 1.5V. Gate, substrate, drain and source current are denoted by ○, □, △ and ▽, respectively.

그림 16의 평균에너지의 경우 게이트 전압이 변하는 순간 소오스 부근의 전기장의 방향이 바뀌어 소오스에서 유입되는 전자가 retarding 전기장 대신 acceleratng 전기장을 지나게 되어 가열됨에 따라 평균에너지가 커지게 된다. 반대로 드레인 부근에서는 전이 초기에는 드레인으로부터 에너지가 작은 전자가 일부 유입되어 평균에너지가 작아지는 상태가 있게 된다.

VIII. 결론

Mixed Particle Monte Carlo 기법을 이용하여 이차원 MOSFET 시뮬레이터를 제작하고, 이를 conventional single 드레인, LDD와 GOLD MOSFET에 적용한 결과, 새로운 시뮬레이터가 특성 분석에 유용함을 보였다. 또한 이러한 입자 시뮬레이션에서 단자 전류 계산에 잘 이용될 수 있는 Ramo-Shockley 정리를 적용하여 과도상태에 대한 시뮬레이션을 행하여 제작된 시뮬레이터가 소자의 과도현상을 설명하는데도 유용하게 이용될 수 있음을 보였다. Monte Carlo 방법에 의해 시뮬레이션 가능한 소자의 유효채널 길이는 양자역학적인 효과가 중요해지기 전까지 가능하다. 이러한 영향은 또한 여러가지 개선에 의해 Monte Carlo 방법에 어느 정도 포함시킬 수 있다. 현재와 같은 고전적인 Monte Carlo 방법에 의해서는 유효 채널이 0.05μm 정도인 MOSFET 소자에도 유용한 것으로 생각되고 있다. 따라서 사용되고 있는 transport 모델을 고에너지 영역을 다룰 수 있는 것으로 대체하면 sub-0.1 μm급 소자의 기판전류, 게이트 전류의 계산과 소자 열화 현상 등을 설명하는데 본 시뮬레이터가 적용될 수 있을 것으로 기대된다.

參考文獻

[1] T. Mizuno, A. Torumi, M. Iwase, M. Takahashi, H. Niiyama, M. Fukumoto and M. Yoshimi, "Hot-carrier effects in 0.1μm gate length CMOS devices", in *IEDM Tech. Dig.*, 1992, pp.695-698.

[2] C. Jacoboni and L. Reggiani, "The Monte Carlo method for the solution of charge transport in semiconductor with application to covalent materials", *Rev. Mod. Phys.*, vol.55, pp.645-705, 1983.

- [3] S. E. Laux, M. V. Fischetti and D. J. Frank, "Monte Carlo analysis of semiconductor devices: The DAMOCLES Program", *IBM J. Res. Develop.*, vol.34, pp.466-494, July 1990.
- [4] F. Venturi, R. K. Smith, E. C. Sangiorgi, M. R. Pinto and B. Ricco, "A general purpose device simulator coupling Poisson and Monte Carlo transport with application to deep submicron MOSFET's", *IEEE Tran. Computer-Aided Design*, vol.8, no.4, April 1989.
- [5] G. Jin, Y. Park and H. Min, "Mixed Particle Monte Carlo method for deep submicron semiconductor device simulator", *IEEE Trans. Computer-Aided Design*, vol. 10, no. 12, pp.1534-1541, Dec. 1991.
- [6] A. Phillips and P.J.Price, "Monte Carlo calculation of hot electron energy tail," *Appl. Phys. Lett.*, vol.30, pp.528-530, 1977.
- [7] Y.J.Park, T.W.Tang and D.H.Navon, "Monte Carlo simulation of bipolar transistors," *IEEE Trans. Electron Devices*, vol.ED-31, pp.1724-1730, Dec. 1984.
- [8] H.D.Rees, "Calculation of steady state distribution function by exploiting stability," *Phys. Lett. A*, vol.26, p.416, 1968.
- [9] M.P.Langevin, *Comptes Rend. Acad. Sci.*, Paris, 146, 530, 1908.
- [10] M. Tomizawa, K. Yokoyama and A. Yoshii, "Nonstationary carrier dynamics in quarter-micron silicon MOSFET's," *IEEE Trans. Computer-Aided Design*, vol. CAD-7, pp.254-259, 1988.
- [11] C. Moglestue, "A self-consistent Monte Carlo particle semiconductor micro-components of any geometry," *IEEE Trans. Computer-Aided Design*, vol. CAD-5, pp.326-345, 1986.
- [12] L. Varani, T. Kuhn, L. Reggiani and Y. Perles, "Current and number fluctuations in submicron n+nn+ structures," *Solid State Electronics*, vol.36, no.2, pp.251-261, 1993.
- [13] R. Burden and J.D. Faires, *Numerical Analysis*, Boston, PWS-KENT publishing Company, 1989.
- [14] S. Selberher, *Analysis and Simulation of Semiconductort Devices*, Vienna: Springer-verlag, 1984.
- [15] R.W.Hockney and J.W.Eastwood, *Computer Simulation using Particles*, New York, McGraw Hill, 1981.
- [16] A. Yoshii, M. Tomizawa and K. Yokoyama, "Accurate modeling for submicrometer Gate Si and GaAs MESFET's using two-dimensional particle simulation", *IEEE Trans. Electron Devices*, vol. ED-30, pp.1376-1380, Oct. 1983.
- [17] H. Brooks and C. Herring, "Scattering by ionized impurities in semiconductors," *Phys. Rev.*, vol.83, p.879, 1951.
- [18] Y. Park, T. Tang and D. H. Navon, "Monte Carlo surface scattering simulation in MOSFET structures," *IEEE Trans. Electron Devices*, vol. ED-30, pp.1110-1116, 1983.
- [19] W.H. Press, B.P. Flannery, S.A. Teukolsky and W.T. Vetterling, *Numerical Recipes in C*, Cambridge, Cambridge University Press, 1988.
- [20] G. Jin, Y. Park and H. Min, "An application of the Ramo Shockley theorem for calculation of the terminal currents of a MOSFET by the particle simulation," *International Workshop on VLSI Process and Device Modeling 1991 : 1991 VPAD*, pp.52-53, May 26-27, 1991, Oiso, Japan.
- [21] H. Kim, H. Min, T.W. Tang and Y. Park, "An extended proof of the Ramo-Shockley theorem," *Solid State Electronics*, vol. 34, no.11, p.1251, 1991.
- [22] P.K. Ko, T.Y. Chen, A.T. Wu and C.

Hu, "The effects of weak gate-to-drain (source) overlap on MOSFET characteristics," in *IEDM Tech. Dig.*, p.292, 1986.

[23] R.Izawa, T.Kure, S.Iijima and E.

Takada, "The impact of gate-drain overlapped LDD(GOLD) for deep submicron VLSI's," in *IEDM Tech. Dig.*, p.38, 1987.

---

著 者 紹 介

---



秦 敎 英(正會員)

1985年 2月 서울대학교 전자공학과(공학사). 1987年 2月 서울대학교 전자공학과(공학석사). 1994年 2月 서울대학교 전자공학과(공학박사). 주관심 분야는 반도체 소자 물리 및 모델링 등임.

朴 榮 俊(正會員) 第 27卷 第 6號 參照

현재 서울대학교 전자공학과 부교수

閔 弘 植(正會員) 第 27卷 第 6號 參照

현재 서울대학교 전자공학과 교수