

論文94-31A-6-22

완전 비트 순차 구조에 근거한 2차원 DCT/IDCT VLSI 구현

(Implementation of 2-D DCT/IDCT VLSI based on Fully Bit-Serial Architecture)

林 鎬 根, 柳 根 壯, 權 用 武, 金 炯 坤

(Ho Geun Lim, Keun Jang Ryoo, Yong Moo Kwon and Hyoung Gon Kim)

要 約

분산 연산은 DCT/IDCT와 같이 고정된 계수와의 내적 연산을 구현하는데 적합하다. 본 논문에서는 분산 연산에 근거한 2차원 DCT/IDCT VLSI 구조를 제안하고 칩 구현에 대해 기술한다. 제안된 구조는 비트 순차 연산인 분산 연산을 효율적으로 구현하기 위한 구조로서 메모리 중심적인 신호처리 회로와 완전 2-비트 순차형 파이프라인 및 병렬 처리 구조를 특징으로 갖는다. 제안된 구조의 모든 설계된 셀들은 동작속도와 전력소비를 감소시키기 위해 N-P 다이내믹 회로를 이용하였다. 이 칩은 75MHz의 비디오 샘플링을 갖는 고해상도 TV에서 사용가능하다.

Abstract

The distributed arithmetic approach has been commonly recognized as an efficient method to implement the inner-product type of computation with fixed coefficients such as DCT/IDCT. This paper presents a novel architecture and the implementation of 2-D DCT/IDCT VLSI chip based on distributed arithmetic. The main feature of the proposed architecture is a fully 2-bit serial pipeline and parallel structure with memory-based signal processing circuitry, which is efficient to the implementation of the bit-serial operation of distributed arithmetic. All modules of the proposed architecture are designed with NP-dynamic circuitry to reduce the power consumption and to increase the performance. This chip is applicable in HDTV systems working at video sampling rate up to 75 MHz.

1. 서 론

영상 압축 기술은 CCITT 및 ISO의 표준화 노력과 함께 진행되고 있으며 비디오 Conference의 정

우 H.261^[1], 정지 화상의 경우 JPEG^[2], 디지털 동화상의 경우 MPEG^[3]이 제시되어 있다. 본 논문에서는 비디오 코덱 및 HDTV의 영상압축 알고리즘의 핵심인 DCT 알고리즘^[4]의 VLSI 구조를 설계하고 성능 평가를 위한 모의시험 및 검증을 수행한다. 일반적으로 DCT와 같이 입력 데이터 값과 고정된 계수와의 내적연산의 경우 분산연산 기법이 매우 효율적임이 인정되고 있으며^[5] 분산연산에 근거한 DCT VLSI 구조에 대한 많은 연구 결과가 발표되

* 正會員, 韓國科學技術研究院 情報電子研究部
(Division of Electronics and Information
Technology/KIST)

接受日字 : 1993年 9月 18日

어 있다.^[6,9]

분산연산은 비트 순차연산 방식으로서 기존에 발표된 분산연산에 근거한 DCT VLSI 구조의 경우 (1) 병렬 누적기의 캐리 전과 지연시간으로 인한 처리 성능 저하, (2) 행렬 변환시 비트 병렬 저장 소자인 RAM을 사용하는 경우 2차원 DCT의 분산연산 처리를 위해 비트 병렬 데이터를 다시 비트 순차 형태로의 변환, (3) 1 비트 단위의 비트 순차 처리시 입력되는 화소의 실시간 처리 불가능 등과 같은 단점이 존재한다.

본 논문에서는 이와 같은 단점을 개선한 새로운 완전 2-비트 순차형 DCT VLSI 구조를 제안하고 고해상도 TV에 적용 가능하도록 75 MHz 화소 입력을 실시간 처리할 수 있는 칩을 설계한다. 제안하는 구조는 (1) 캐리 저장 누적기에 근거하며 누적 결과를 비트 순차적으로 출력하는 파이프라인 분산연산 처리기 구조, (2) 비트 순차적으로 출력되는 1-D DCT 결과를 병렬 데이터로 변환하지 않고 직접 비트 순차적으로 행렬 변환하는 구조, (3) 실시간 입력 화소 처리를 위해 2 비트 단위로 분산 연산 처리하는 구조를 특징으로 한다. 또한 설계된 VLSI 구조는 단일 칩상에 DCT 및 IDCT 처리기능을 가지며 시스템 구성의 용이성을 위해 칩 내부에 DPCM 처리 및 IDCT 후 화소 복원시 공통적으로 사용가능한 가감산기를 포함한다.

II. DCT 알고리즘

2-D DCT 알고리즘은 칩의 효율적인 구조를 위해 행 방향의 일차원 DCT를 수행하고 행렬변환 처리후 열 방향의 1-D DCT로 구현된다. 8x1 DCT 및 IDCT의 수학적 정의는 각각 식(1), 식(2)와 같다.

$$X(k) = \frac{1}{2} C(k) \sum_{m=0}^7 x(m) \cos\left[\frac{(2m+1)k\pi}{16}\right] \quad (1)$$

$$X(m) = \frac{1}{2} \sum_{k=0}^7 c(k) X(k) \cos\left[\frac{(2m+1)k\pi}{16}\right] \quad (2)$$

$$C(k) = \begin{cases} \frac{1}{\sqrt{2}} & , k = 0 \\ 1 & , k = 1,2,\dots,7 \end{cases}$$

여기서 X(k)는 DCT 변환계수이고 x(m)은 입력 화소값을 나타낸다. 식(1)과 식(2)를 매트릭스 형태로 표현하고 각각의 식에서의 계수들의 유사성을 이용하여 내적연산수를 감소시키고 이산여현 변환과 역

변환을 하나의 구조로 구현하기 위해서 계수들의 행과 입력 화소들의 열의 위치를 바꾸어 변형하면 식(3)과 식(4)와 같다.^[8]

$$\begin{bmatrix} X_0 \\ X_4 \\ X_2 \\ X_6 \end{bmatrix} = \begin{bmatrix} C_4 & C_4 & 0 & 0 \\ C_3 & -C_3 & 0 & 0 \\ 0 & 0 & C_2 & C_6 \\ 0 & 0 & C_6 & -C_2 \end{bmatrix} \begin{bmatrix} x_0 + x_7 + x_3 + x_4 \\ x_1 + x_6 + x_2 + x_5 \\ x_0 + x_7 - x_3 - x_4 \\ x_1 + x_6 - x_2 - x_5 \end{bmatrix} \quad (3-a)$$

$$\begin{bmatrix} X_1 \\ X_3 \\ X_5 \\ X_7 \end{bmatrix} = \begin{bmatrix} C_1 & C_4 & C_3 & C_7 \\ C_3 & -C_7 & -C_1 & -C_5 \\ C_5 & -C_1 & C_7 & C_3 \\ C_7 & -C_5 & C_3 & -C_1 \end{bmatrix} \begin{bmatrix} x_0 - x_7 \\ x_1 - x_6 \\ x_2 - x_5 \\ x_3 - x_4 \end{bmatrix} \quad (3-b)$$

$$\begin{bmatrix} \bar{x}_0 \\ \bar{x}_1 \\ \bar{x}_2 \\ \bar{x}_3 \end{bmatrix} = \begin{bmatrix} C_4 & C_4 & C_2 & C_6 \\ C_3 & -C_3 & C_6 & -C_2 \\ C_4 & -C_4 & -C_2 & C_2 \\ C_4 & C_4 & -C_6 & -C_6 \end{bmatrix} \begin{bmatrix} X_0 \\ X_4 \\ X_2 \\ X_6 \end{bmatrix} \quad (4-a)$$

$$\begin{bmatrix} \bar{x}_4 \\ \bar{x}_5 \\ \bar{x}_6 \\ \bar{x}_7 \end{bmatrix} = \begin{bmatrix} C_1 & C_3 & C_5 & C_7 \\ C_3 & -C_7 & -C_1 & -C_5 \\ C_5 & -C_1 & C_7 & C_3 \\ C_7 & -C_5 & C_3 & -C_1 \end{bmatrix} \begin{bmatrix} X_1 \\ X_3 \\ X_5 \\ X_7 \end{bmatrix} \quad (4-b)$$

$$\begin{aligned} x_0 &= 0.5(\bar{x}_0 + \bar{x}_4), & x_4 &= 0.5(\bar{x}_3 - \bar{x}_7) \\ x_1 &= 0.5(\bar{x}_1 + \bar{x}_5), & x_5 &= 0.5(\bar{x}_2 - \bar{x}_6) \\ x_2 &= 0.5(\bar{x}_2 + \bar{x}_6), & x_6 &= 0.5(\bar{x}_1 - \bar{x}_5) \\ x_3 &= 0.5(\bar{x}_3 + \bar{x}_7), & x_7 &= 0.5(\bar{x}_0 - \bar{x}_4) \end{aligned} \quad (4-c)$$

여기서 $C_i = 0.5\cos\left(\frac{i\pi}{16}\right)$ 이다.

식(3)과 식(4)는 입력화소들의 선형결합연산과 이 연산결과와 계수들간의 내적연산으로 이루어진다.

입력 화소들의 선형결합은 가산기 및 감산기로 처리한다. 위식의 내적연산에서 입력은 화소값 범위내의 임의의 값(-256 ~ 255, -2048 ~ 2047)이 되지만 계수는 항상 동일한 값을 가지므로 고정된 계수에 대한 룩업 테이블(LUT: Look-Up Table)과 누적기를 이용한 분산연산 구조^[5]를 이용한다. 그림 1은 기본적인 분산연산 처리기의 하드웨어 구조이다.

본 논문에서 제시하는 2-D DCT 연산 구조에 대한 알고리즘은 다음과 같다.

- (1) 8x1 DCT 처리를 위해 8개의 화소 데이터를 비트 병렬 형태로 입력지연부에 8 사이클에 걸쳐 입력시킨다.
- (2) 입력 지연부에 비트 병렬 형태로 입력된 8개의

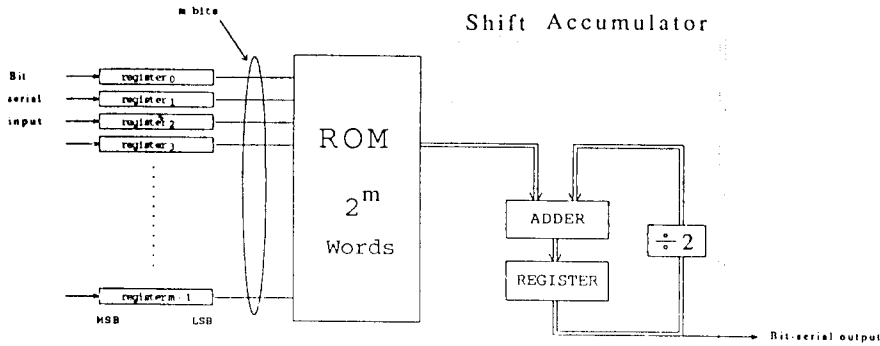


그림 1. 분산연산에 근거한 하드웨어 기본 구조

Fig. 1. Basic hardware structure based on distributed arithmetic.

데이터 각각을 2-비트 순차 형태로 변환하여 대응되는 분산연산처리부에 전달한다.

- (3) 각각의 분산연산처리부는 LUT, 2단 파이프라인 캐리 저장 누적기 및 2단 비트 순차 가산기로 구성되며 다음 순서로 1-D DCT를 수행한다.
 - (3-1) 2-비트 순차 형태로 입력되는 데이터는 LUT의 어드레스가 되며 8 사이클에 걸쳐 캐리저장 누적기에 누적된다.
 - (3-2) 캐리 저장 누적기는 리플 캐리 전파 시간이 요구되지 않으므로 고속 누적 연산이 가능하나 최종 결과가 캐리 저장 수지계이므로 이를 다시 2의 보수 수지계로 변환하는 과정을 수행한다.
 - (3-3) 분산연산처리시 요구되는 LUT의 크기를 감소시킨 연산 구조를 사용하며 이를 위해 2개의 부분합을 2-비트 순차적으로 가산하는 과정을 수행한다.
- (4) 각각의 분산연산처리부에서 2-비트 순차적으로 출력되는 1-D DCT 결과를 역시 2-비트 순차적으로 행렬 변환을 수행한다.
- (5) 2-비트 순차 행렬 변환부에서 2-비트 순차적으로 출력되는 행렬 변환된 1-D DCT 결과에 대해 앞의 (3) 단계와 동일한 순서로 2-D DCT를 수행한다.
- (6) 2-D DCT를 위한 분산연산처리부 각각에서 2-비트 순차적으로 출력되는 결과를 비트 병렬 형태로 변환하면서 대응되는 출력 지연부에 저장한다.
- (7) 출력 지연부에 저장된 8개의 비트 병렬 형태의 2-D DCT 결과값을 8 사이클에 걸쳐 비트 병렬 형태로 출력한다.

Ⅲ. 구조설계

설계된 DCT VLSI 구조는 기본적으로 2-비트 단위의 분산연산처리 및 2-비트 순차 행렬 변환 구조를 가지며 세부적으로는 DPCM 및 화소 복원부, 입력 변환부, 분산연산처리부(DAP: Distributed Arithmetic Processor), 행렬변환부, 출력 변환부와 제어부로 구성된다. 그림 2는 설계된 DCT VLSI의 기본 구조를 나타낸다.

1. DPCM 및 화소 복원부

비디오 코덱 시스템에서 코딩시에는 DPCM 루프에서 입력화소 데이터와 예측 데이터간의 차를 구하기 위한 감산기능이 필요하게 되며, 디코딩시에는 예측신호와 복원된 오차신호를 가산하는 동작이 필요하게 된다. 본 논문에서는 동작속도및 요구되는 칩면적, 소요전력등을 고려하여 조건부-섬-에더(conditional sum adder) 구조¹⁰⁾를 이용하여 실현하였으며 설계된 칩이 DCT로 동작시에는 DPCM 기능을 가지며 IDCT시에는 화소 복원 기능을 갖는다.

2. 입력변환부

설계된 VLSI 구조는 8개의 화소를 병렬로 8 클럭 사이클에 처리하는 구조로서 8개 화소 입력에 대한 화소 지연이 요구된다. 또한 비트 병렬 형태로 입력되는 화소를 비트 순차 연산을 위해 비트 순차로 변환하여 출력하는 기능이 요구된다. 즉 입력변환부는 8 화소 지연부와 비트 순차 변환부로 구성되며 전방향 및 역방향변환의 공유를 위해 화소지연 및 비트순차 변환부가 12 비트로 구성된다. 또한 8 클럭 사이클 동안 전방향 변환 및 역방향 변환에서 최대 12 비트를

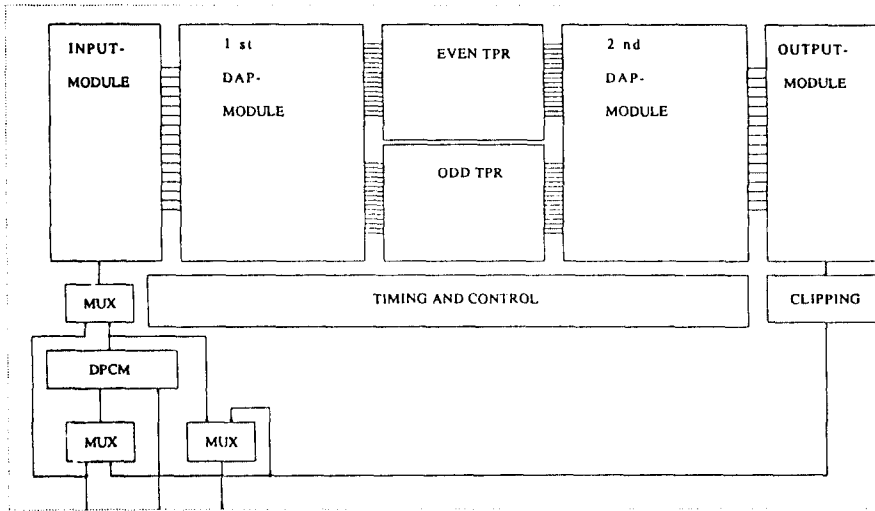


그림 2. 설계된 DCT VLSI의 기본 구조
Fig. 2. Basic architecture of designed DCT VLSI.

비트순차로 변환해야 하므로 2 비트 단위로 비트 순차 변환하는 구조가 필요하다. 즉 입력 변환부를 우수비트와 기수비트로 각각 나누어 병렬로 처리하여 8 클럭 사이클동안 각각 8 비트를 출력함으로써 16 비트를 2 비트 단위로 비트순차 변환한다. 전방향 변환과 역방향 변환모드시 입력데이터는 각각 9 비트와 12 비트이므로 각각 7 비트와 4 비트는 각각의 부호 비트를 확장하여 출력한다.

3. 분산연산처리부

분산연산처리부는 행렬 분해로 인해 요구되는 입력 화소의 선형결합기, 입력 화소와 고정된 계수와의 내적연산 처리를 위한 분산연산처리기로 구성된다.

(1) 입력화소 선형결합기

식 (3) 및 식 (4)에 나타낸바와 같이 Chen 알고리즘^[11]에 의해 행렬을 분해함에 의해 입력 화소간의 선형 결합 처리가 요구된다. 입력화소의 선형결합을 위한 가산기와 감산기는 전방향및 역방향 변환을 공유하도록 DCT 처리구조를 역방향변환 동작모드일때 입력화소의 선형결합을 위한 비트순차 가감산기의 입력중 하나를 0으로 설정하여 가감산연산을 통과시키도록 구성한다. 비트순차처리를 위해서 가산기와 감산기는 비트순차형 가감산기를 이용하며 2-D DCT 처리시 입력 비트 수는 16 비트이며 8개의 화소를 8 클럭 사이클에 처리하기 위해서 2 비트를 병렬로 처리하는 것이 요구된다. 따라서 본 논문에서는 입력 화소 선형 결합기를 2-비트 병렬 가산기와 감산기로 구성하며 회로는 조건부-섬 애더를 사용한다.

(2) 분산연산처리기

분산연산처리기는 LUT와 누적기로서 구성할 수 있다.^[15] 일반적으로 식(3)과 식(4)는 2개의 계수에 대한 LUT 16개가 요구된다. 참고문헌^[6]에서는 제한된 비트수로의 계수의 양자화에 따르는 에러를 줄이기 위해 식 (3) 및 식 (4)의 각 계수에 $\sqrt{2}$ 를 곱해 LUT를 구성하였으며 이 경우 C_4 는 1/2이 되어 (C_4, C_4) 및 ($C_4, -C_4$)에 대한 LUT는 가감산기 만으로 구성하였다. 따라서 참고문헌 [6]에서는 12개의 LUT만을 사용하였다.

본 논문에서는 추가로 (C_2, C_6)와 ($-C_2, -C_6$) 또한 ($C_6, -C_2$)와 ($-C_6, C_2$)를 각각 (C_2, C_6) 및 ($C_6, -C_2$)에 대한 LUT 만을 구성하며 ($-C_2, -C_6$) 및 ($-C_6, C_2$)에 대해서는 부분합 가산시 감산연산을 함으로서 동일 결과를 얻을 수 있다. 즉 ($-C_2, -C_6$)는 (C_2, C_6)로 구성된다는 점에 착안하였다. 따라서 본 논문에서는 10개의 LUT만을 사용한다. 일반적으로 LUT의 크기는 LUT에 입력되는 비트수에 의해 결정되므로 일반적으로 8x8 행렬을 4x4 또는 2x2 행

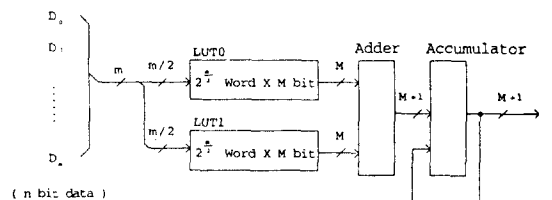


그림 3. 룩업 테이블 크기를 감소시킨 병렬 처리형 분산 연산 처리기 구조

Fig. 3. Bit-parallel distributed arithmetic structure using reduction of LUT.

렬로 분해하여 LUT 크기를 감소시키고 2개의 LUT로 부터의 부분합을 가산해주는 방법을 취한다. 그림 3은 LUT 크기를 감소시켜 구성한 기존의 병렬 처리 분산연산처리구조이다. 그러나 이 기법은 2개의 부분합 가산시 병렬가산기의 캐리 전파 지연시간으로 인해 고속 동작이 요구되는 경우 처리 성능이 제한된다. 따라서 본 논문에서는 그림 3의 구조를 개선하여 그림 4와 같은 구조를 제안한다.

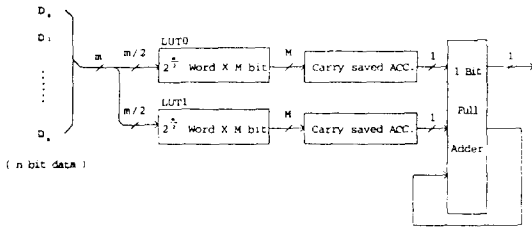


그림 4. 룩업 테이블 크기를 감소시킨 비트 순차형 분산 연산 처리기 구조

Fig. 4. Bit-serial distributed arithmetic structure using reduction of LUT size.

즉 본 논문에서는 2개의 LUT 출력 가산을 위한 전가산기와 분산연산을 위한 누적기의 위치를 바꿈에 의해 캐리 전파 지연시간 문제를 해결하였다. 한편 누적기로서는 기존의 리플 캐리 가산기에 근거한 누적기 대신 리플 캐리 전파시간이 없으며 비트 순차 출력을 낼수 있는 캐리 저장 누적기(carry-save accumulator)를 사용한다.

LUT의 워드길이는 "IV. 정확도 모의시험"에 기술된 IDCT 정확도 모의시험 결과에 따라 16 비트로 설계하고 입력수가 2이고 각각 연속된 2 비트이므로 16 워드의 크기를 갖지만 분산연산의 부호 사이클을 고려하여 LUT를 32 워드로 한다.

캐리 저장 누적기는 LUT의 워드길이가 동일하게 16 비트로 설계하며 LUT에서 출력되는 부분합의 weight가 2ⁿ씩 증가함으로 이를 고려한 구조를 그림 5와 같이 설계하였다. 그림 5는 캐리저장 누적기를 사용하여 LUT에서 들어오는 16-비트 데이터를 누적시킨다. 8 사이클 동안에 걸쳐 입력되는 데이터는 누적되어지고 이 결과는 캐리 저장 수치계 (0, 1, 2)를 가지므로 다시 2의 보수 수치계로 변환하는 연산이 요구된다. 그림 5에서 앞 부분 회로는 캐리 저장 누적기이며 8 사이클이 지난 후에는 누적 결과를 뒷부분 회로로 넘겨 주어 2의 보수 수치로 변환해 주는 역할을 수행한다. 여기서 주목할 점은 정밀도를 높이기 위해 연산 결과는 32 비트 정밀도를 가지도록 설계되었다. 그림 5에서 멀티플렉서는 파이프라인 처리를 위해 앞단의 캐리 저장 누적기 또는 하위 비트의 데이터로부터 입력 값을 선택하기 위한 것이다. 그림 6은 부분합 연산 처리를 위한 전체 구성도이다. 그림에 나타낸 바와 같이 2개의 다중 출력 파이프라인 캐리저장 누적기의 출력에 대해 2-비트 순차 가산기를 사용하여 부분합 연산을 수행한다. 파이프라인 분산연산처리기는 전체적으로 32 비트 연산 정밀도를 가지며 "IV. 정확도 모의시험"에 기술된 모의시험 결과에 근거하여 최종적으로 구해진 32 비트 결과 중 1-D DCT 결과로서 16 비트만을 사용한다. 즉 그림

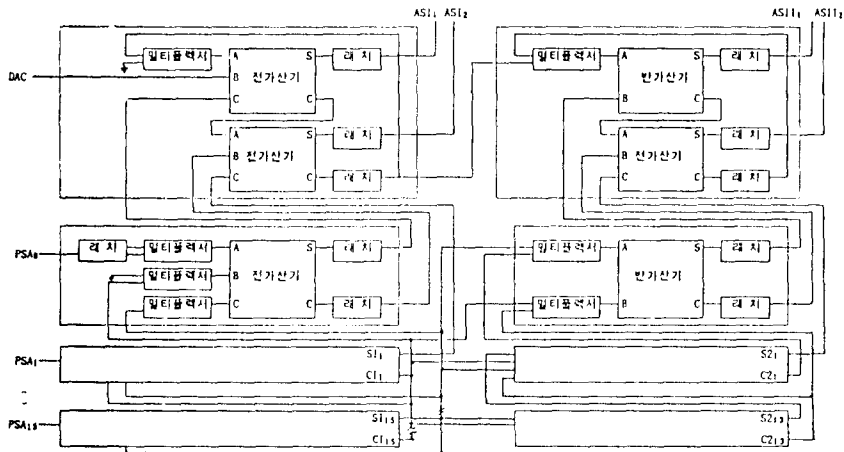


그림 5. 2-비트 쉬프트-가산 기능을 갖는 캐리 저장 누적기 구조

Fig. 5. Structure of carry save accumulator using 2-bit shift and add.

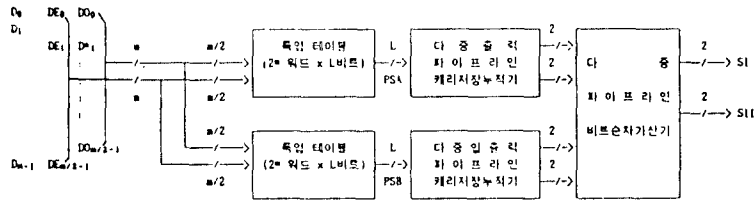


그림 6. 2-비트 처리를 위한 2단 파이프라인 분산연산 처리기 구조
 Fig. 6. Structure of 2-stage pipelined distributed arithmetic processor.

6에서 최종 출력되는 32 비트 중 SII에서 출력되는 16 비트 만을 2-비트 순차 행렬변환부에 전달한다.

4. 비트순차 행렬변환부

비트순차 행렬변환부는 그림 2에 나타난 바와 같이 2-비트 순차 처리를 위해 1-D DCT 결과를 우수 및 기수 비트로 나누어 처리하며 기본적으로 그림 7에 나타난 바와 같이 레지스터 2개와 하나의 멀티플렉서로 구성된 TPR(TransPosition Register)로 이루어지며 2 입력 2 출력을 갖는다. 행렬변환부는 3 단계로 구성되며 각각의 단계는 4개의 행렬변환 기본셀로 구성한다. 또한 분산연산처리 결과 출력이 연속된 2비트 병렬 이므로 행렬변환기는 연속된 2비트를 우수비트와 기수비트로 나누어 행렬변환을 수행한다. 그림 7은 2-비트 순차형 행렬 변환부 구조이다. 그림 7에 나타난 바와 같이 4개의 입력 (A, B), (C, D)가 행렬 변환되어 (A, C), (B, D)로 출력됨을 알 수 있다. 기본 원리는 멀티플렉서의 방향을 제어함에 의해 입력되는 데이터의 출력 방향을 선택하는 것으로서 멀티플렉서가 횡방향 및 교차하는 방향으로 교대로 선택됨에 의해 행렬 변환을 수행한다. 그림 7의 예를 설명하면 처음 A와 C가 입력시 멀티플렉서는 횡방향으로 선택됨에 의해 A는 REG_0, C는 REG_1에 입력된다. 그다음 사이클에서 B와 D가 입

력시 멀티플렉서는 교차하는 방향으로 선택되어 출력은 (A, B)가 되며 REG_0에는 C, REG_1에는 D가 로드된다. 그다음 사이클에서는 다시 멀티플렉서가 횡방향으로 선택되어 출력은 (C, D)가 된다. 그림 7에서 첨자는 각각의 데이터에서 비트 위치를 나타내며 2-비트 순차 행렬 변환을 위해 기수 비트 및 우수 비트를 병렬로 처리한다. 따라서 하나의 1-D DCT 결과가 행렬 변환부에 입력되는데 8 사이클이 소요된다.

5. 출력변환부

출력 변환부는 입력 변환부와 마찬가지로 8 화소지연부와 비트순차를 병렬로 변환하는 변환부로 구성되며 전방향 및 역방향변환의 공유를 위해 지연부와 변환부 각각 12 비트로 구성한다. 또한 2-비트 순차적으로 입력되는 데이터를 병렬 데이터로 변환하기 위해 우수 비트와 기수 비트로 나누어 처리하는 구조를 갖는다. 2-D DCT 연산결과는 LUT를 이용하므로써 제한된 유효숫자와 연산결과의 반올림처리가 원인이 되어 오버플로우가 발생하기 때문에 출력지연부에 클리핑회로를 사용하여 역방향 변환시 발생하는 오버플로우를 방지한다.

6. 제어부

제어부는 크게 클럭신호 발생부, 핵심 이산여현변환부의 제어신호 발생부, 그리고 순방향 및 역방향 제어에 따른 내부 연결 제어부로 크게 구분된다. 본문에서 사용되는 회로는 동작성능 및 소비전력, 소요 면적 등을 고려하여 동적회로를 사용하였으며 동적회로의 안정적인 동작을 위하여만 스테틱 회로를 사용하였다. 클럭발생부는 외부에서 단일 위상의 클럭을 입력하여 2개의 위상을 갖는 클럭신호로 변환 하는 기능과 함께, 부하에 따른 클럭의 skew 문제를 해결하기 위해 버퍼를 사용하였다. 전체 칩에 대한 제어신호는 로직검증에서 사용된 신호선에 대한 HDL 모델을 논리합성하여 구현하였다.

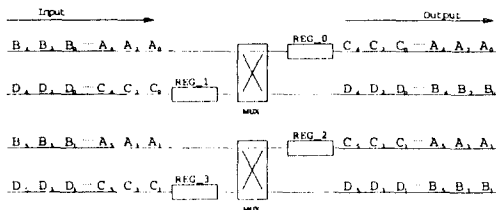


그림 7. 2-비트 순차형 행렬 변환 구조
 Fig. 7. Structure of 2-bit serial row-column transposition.

IV. 정확도 모의시험

DCT의 내적연산에 사용되는 계수값은 하드웨어의 간결성을 위해 계수값을 제한된 워드길이를 갖는 LUT를 이용하므로 제한된 유효숫자에 따른 연산오차가 발생한다. CCITT에서는 역변환시 오차의 한계를 3 가지 데이터 범위(-5 ~ 5, -256 ~ 255, -300 ~ 300)에서 랜덤발생 데이터의 변환시 64 비트 부동소점 연산결과와 구현할 역방향 이산여현변환 결과와

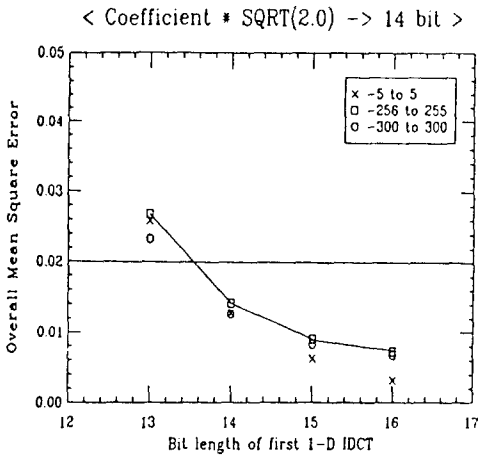


그림 8. IDCT 정확도 모의시험 결과
Fig. 8. The results of IDCT accuracy simulation.

의 차이를 각각의 화소에 대해 다섯 가지 항목에 대해 규격을 정하고 있다.^[12] 일반적으로 이 다섯가지 규격 중 전체 평균제곱오차(overall pixel mean square error) 규격을 만족시키는 것이 가장 어렵다. DCT 정확도는 계수를 표현하는 비트수와 중간결과와 데이터 길이에 따라 좌우되므로 각각을 변수로 하여 모의시험을 수행한다. 이 비트들의 길이는 작은 값일수록 하드웨어의 크기를 작게할 수 있으므로 구조설계의 중요한 파라미터가 되며 CCITT의 규격을 만족하는 최소한의 비트길이 이상이 되어야 한다.

그림 8은 LUT에서 각 계수값을 14 비트로 했을때 IDCT에 대한 정확도 모의시험결과로서 1-D IDCT 결과의 비트수에 따른 전체 평균 제곱 오차를 나타낸다. 이 모의시험에서는 1-D IDCT 결과가 14 비트 이상이면 CCITT 규격을 만족하게된다. 본 논문에서는 CCITT 규격을 충분히 만족하도록 LUT의 워드 길이를 16 비트로 하였다. 한편 나머지 네가지 규격에 대한 모의시험 결과는 본 논문에 포함시키지 않았으나 CCITT 규격을 충분히 만족하였다. 그림 9는 모의시험 결과를 바탕으로 설계된 2-D DCT VLSI 구조 내의 데이터 비트 길이를 나타낸다.

V. 주요모듈 설계 및 검증

제안된 8x8 이차원 이산여현 변환기의 주요모듈은 입출력 변환및 지연부와 분산연산처리부, 행렬변환

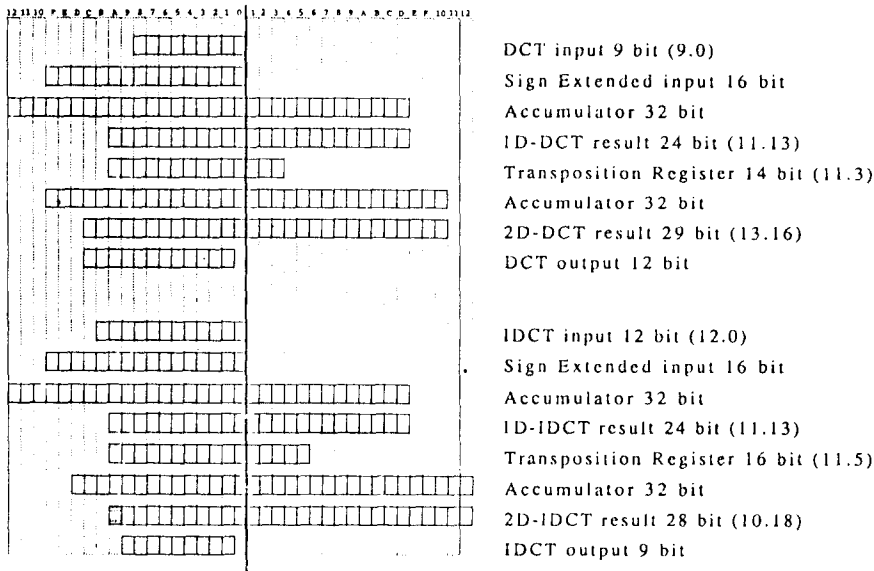


그림 9. 제안된 DCT처리기 내의 데이터 비트 길이
Fig. 9. Internal data bit length of proposed DCT processor.

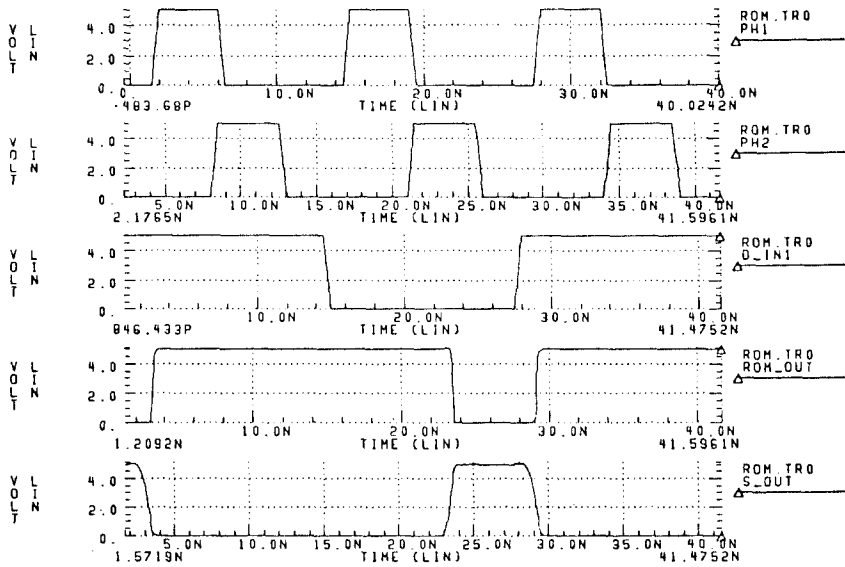


그림 10. 룩업 테이블의 회로 모의시험

Fig. 10. Circuit simulation of Look-up-table.

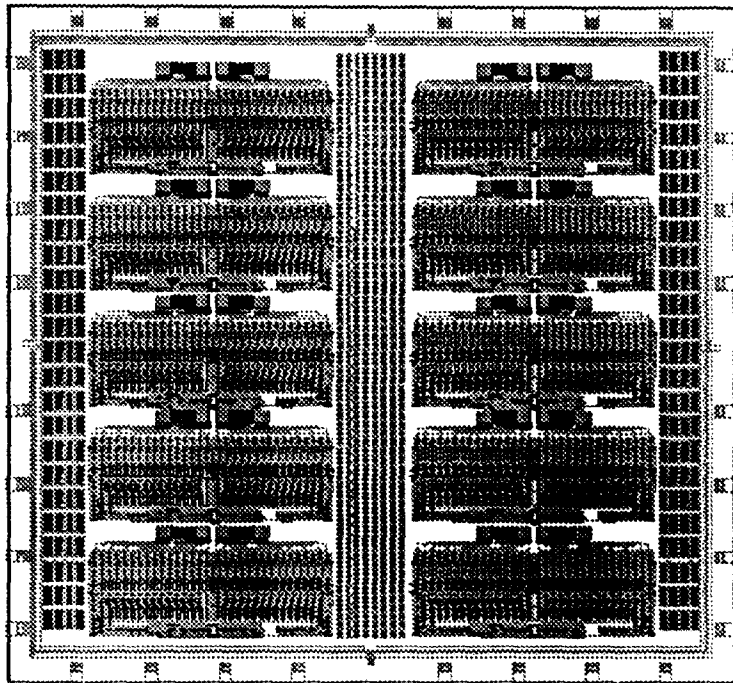


그림 11. 설계된 칩의 전체 레이아웃

Fig. 11. Layout of designed chip.

부, 비트순차 가감산부, 제어부, DPCM부이다. 주요 모듈의 로직레벨에서의 설계검증은 HDL로 기술된

모델을 이용하여 System HILO상에서 기능검증과 타이밍 검증을 수행하였다. 기본 셀들에 대해서는

표 1. 칩의 주요 특성

Table 1. Main feature of the chip.

Technology	1.2 μ m double-metal CMOS
Number of Transistor	90 K
Max. clock frequency	75 MHz
Chip size	5.1 X 5.1 mm ²

HSPICE를 이용하여 회로 레벨의 설계검증을 수행하였다. 칩의 동작속도에 가장 영향을 미치는 LUT의 회로레벨 검증은 그림 10과 같이 최종 출력이 13 ns 내에 안정되게 출력되므로 75MHz 동작이 가능하다. 설계규칙은 Orbit사의 1.2 μ m CMOS 공정에 따라 설계하였다. 셀단위로의 layout을 결합하여 모듈단위의 블럭을 설계한후 자동배치 및 배선 툴을 이용하여 칩 전체 layout을 완성하였다. 그림 11은 칩의 layout 블럭도를 나타내며 왼편에서 부터 입력 모듈, 1-D DCT 분산연산처리부, 행렬변환부, 2-D DCT 분산연산처리부, 출력 모듈로 배치되어 있다. 표 1은 칩의 주요 특성을 나타낸다.

VI. 성능 검토 및 비교

본 논문에서 제안된 DCT VLSI 구조는 분산연산에 근거하여 8x1 DCT 변환을 병렬로 수행하며 각각의 화소에 대해서는 비트 순차적으로 처리하는 구조를 가진다. 또한 제안된 구조는 화소 입력 및 출력과 DCT 변환 처리를 파이프라인 구조에 근거하여 처리하며 8개의 입력 화소에 대해 8x1 DCT를 처리하는데 8 사이클이 요구되므로 결국 1 화소/사이클의 throughput을 가진다. 설계된 칩은 75MHz의 클럭 주파수로 동작 가능하므로 결국 75 M samples/sec의 비디오 서비스 시스템에 적용 가능하다.

설계된 구조는 파이프라인 구조를 가지며 8x1 DCT 처리에 대해 전체적으로 104 사이클의 latency를 가진다. 각각 모듈의 기본적인 latency는 입력 모듈: 8 사이클, 1-D DCT 2단 파이프라인 분산연산처리기 모듈: 16 사이클, 2-비트 순차 행렬변환 모듈: 56 사이클, 2-D DCT 2단 파이프라인 분산연산처리기 모듈: 16 사이클, 출력 모듈: 8 사이클이다.

한편 본 논문에서 제안된 DCT VLSI 구조와 기존의 분산연산에 근거한 대표적인 DCT VLSI 구조와의 특성 및 성능 비교는 다음과 같다. 참고문헌 [7]의 경우는 비트 순차 연산 특성을 갖는 분산연산의 효율적 하드웨어 구현을 위해 비트 순차 행렬

변환 구조를 사용하였다. 그러나 이 구조는 1-비트 순차 처리 구조를 가짐으로 인해 (1 화소/2 사이클)의 throughput을 가진다. 참고문헌 [8]의 구조는 2-비트 순차 처리 구조를 사용하였으나 분산연산 처리시 병렬 가산기를 사용함에 의해 캐리 전파 지연 시간으로 고속 동작이 어려우며 또한 1-D DCT 결과가 병렬 데이터이므로 2-D DCT처리를 위해서는 병렬 데이터를 다시 비트 순차 데이터로 변환해야 하는 하드웨어 오버헤드를 가진다. 이 구조는 1 화소/사이클의 throughput을 가진다. 참고문헌 [9]의 구조는 그림 1에 표시한 기본적인 분산연산 처리 하드웨어 구조에 근거한 구조로서 기본적으로는 참고문헌 [8]에 제시한 구조와 같이 분산연산 처리시 병렬 가산기에 근거한 구조를 사용함에 의해 이차원 DCT 처리를 위해서 병렬 데이터인 1-D DCT 결과를 다시 비트 순차 형태로 변환해야하는 오버헤드를 가진다. 또한 DCT와 IDCT에 대한 별도의 LUT가 요구된다. 16x16 DCT의 경우는 1 화소/사이클의 throughput을 가지나 일반적으로 사용되는 8x8 DCT의 경우는 (1 화소/2 사이클)의 throughput을 가진다.

본 논문에서 제안된 구조는 기존 구조들의 장단점을 모두 개선한 구조로서 1 화소/사이클의 throughput을 가지며 1-D DCT 결과가 2-비트 순차적으로 출력되며 이 결과를 2-비트 순차 형태로 행렬 변환함에 의해 이차원 DCT를 위해 데이터 형태를 다시 변환하는 오버헤드가 요구되지 않는다. 또한 본 논문에서는 2개의 LUT 출력 가산을 위한 리플 캐리 전가산기와 분산연산을 위한 누적기의 위치를 바꾸며 동시에 리플 캐리 전가산기 대신 2-비트 순차 처리 가산기로 대체함에 의해 캐리 전파 지연시간 문제를 해결하였다. 제안된 구조는 DTC/IDCT 공유 구조를 가지며 완전 2-비트 순차 처리 구조를 특징으로 하며 파이프라인 구조에 근거한 캐리 저장 누적기 및 2-비트 순차 가감산기를 사용함에 의해 고속 처리가 가능하다는 장점도 가진다.

VII. 결론

본 논문에서는 8x8 이차원 이산여현 변환기 및 역변환기의 VLSI 실현을 위해 분산연산에 근거한 DCT/IDCT 구조를 제안하였다. 제안된 구조는 비디오 코덱 HDTV 영상신호의 실시간 처리가 가능하며 CCITT IDCT 정확도를 만족하도록 설계하였다.

본 논문에서 제안된 구조는 DCT 및 IDCT의 LUT를 공유하는 분산연산 처리기 구조를 가지며 입력과 제어신호만을 변경함으로써 전방향 및 역방향 변환모

드의 변경이 가능한 구조를 갖는다. 또한 분산연산 처리시 비트순차연산의 효율적 구현을 위해 캐리지연 문제를 갖고있는 기존의 병렬 누적기 구조 대신 캐리지 저장 누적기에 근거한 2단 파이프라인 분산연산 처리기를 설계하였다. 일차원 변환결과의 행렬변환시 RAM 대신에 비트순차적으로 행렬 변환을 수행하는 구조로 설계함으로써 1-D DCT 및 IDCT 처리후 데이터의 병렬변환이 불필요하며 칩 내부에서의 분산연산이 모두 비트 순차적으로 수행됨으로 하드웨어부담을 감소시켜 효율적인 구조를 갖도록 하였다. 또한 입력 화소의 실시간 처리를 위해 2-비트 단위의 비트 순차 처리 구조를 설계함에 의해 8개의 화소를 8 클럭 사이클에 처리하도록하였다.

설계된 DCT/IDCT는 각각의 모듈별로 HDL을 이용한 모델링을 통해 시뮬레이션을 수행함으로써 그 동작을 검증하였고 Cadence의 OPUS툴을 사용하여 layout을 수행하였으며 설계된 칩의 크기는 약 5.09mm X 5.04mm이다.

参 考 文 献

- [1] "Draft Revised Recommendation H.261 - Video codec for audiovisual services at px64 kbit/s," *OM XV-R 17-E, CCITT Study Group XV - Report R17*, Specialist Group on Coding for Visual Telephony, 1990.
- [2] "JPEG Committee Draft, Part I," *ISO/IEC JTC1/SC2*, Mar. 1991.
- [3] "MPEG-I Committee Draft," *ISO/IEC JTC1/SC29/WG11*, Nov. 1992.
- [4] R. Rao, P. Yip, "Discrete Cosine Transform Algorithms, Advantages, Application," Academic Press, 1990.
- [5] S.A. White, "Applications of distributed arithmetic to digital signal processing: a tutorial review," *IEEE ASSP Magazine*, Vol. 6, No. 3, pp. 4-19, July 1989.
- [6] B. Sikstrom, L. Wanhammer, M. Afghahi, and J. Pencz, "A high speed 2-D discrete cosine transform chip," *Integration, the VLSI journal*, Vol. 5, No. 2, pp. 159-169, June 1987.
- [7] J. C. Carlach, P. Penard, and J. L. Sicre, "TCAD: A 27MHz 8x8 discrete cosine transform chip," *Proc IEEE ICASSP '89*, Glasgow, Scotland, pp. 2429-2432, May 23-26, 1989.
- [8] M. Maruyama, H. Uwabu, I. Iwasaki, H. Fujiwara, and T. Sakaguchi, "VLSI architecture and implementation of a multi-function, forward/inverse discrete cosine transform processor," *Visual Communications Processing, SPIE Vol. 1360*, pp. 410-417, 1990.
- [9] M. Sun, T. Chen, and A. M. Gottlieb, "VLSI implementation of a 16x16 discrete cosine transform," *IEEE Trans. Circuits and Systems*, Vol. 36, No. 4, pp. 610-617, Apr. 1989.
- [10] K. Hwang, "Computer Arithmetic," John Wiley & Sons, 1979.
- [11] W. H. Chen, C. H. Smith, and S. C. Fralick, "A fast computational algorithm for the discrete cosine transform," *IEEE Trans. Comm.*, Vol. COM-25, pp. 1004-1008, Sep. 1977.
- [12] "Specification for Inverse DCT," *Annex 3 to Documents #346R, CCITT SGXV Working Party XV/1*.

 著 者 紹

林 鎬 根(正會員)

1964年 3月 7日生. 1983年 ~ 1989年 서울시립대 전자공학과(학사). 1989年 ~ 1991年 서울시립대 대학원 전자공학과(석사). 1991年 ~ 1993年 한국과학기술연구원 정보전자연구부 연구원

權 用 武(正會員) 第 30卷 B編 第 10號 參照

현재 한국과학기술연구원 정보전자 연구부 선임연구원



柳 根 壯(正會員)

1962年 7月 14日生. 1985年 2月 서강대학교 전자공학과(학사). 1985年 2月 ~ 1992年 3月 삼성 전자 반도체연구소 근무. 1994年 2月 한양대학교 전자공학과(석사) 주관심 분야는 반도체 설계, 반도체

테스팅 등임.

金 炯 坤(正會員) 第 26卷 第 11號 參照

현재 한국과학기술연구원 정보전자 연구부 책임연구원