

論文94-31A-8-5

SOI MOSFET 의 단채널 효과를 고려한 문턱전압과 I-V 특성연구

(A Study on Threshold Voltage and I-V Characteristics by considering the Short-Channel Effect of SOI MOSFET)

金賢哲*, 羅俊晔**, 金鐵城*

(Hyun Cheol Kim, Jun Ho Na and Cheol Seong Kim)

要約

완전 공핍된 박막 n-채널 SOI MOSFET의 단채널 효과를 고려한 문턱전압과 I-V특성에 대해서 연구하였다. 단채널에서의 후면표면이 각각 축적, 공핍, 반전일때의 전하공유 모델을 제시하였다. 전하공유의 정도는 각각의 후면표면의 상태에 따라 다르다.

이동도를 상수라 가정하지 않고, 벌크 이동도외에 음향격자(acoustic phonon)산란으로 인한 이동도와 표면의 불균일로 인한 이동도를 고려하였다. 이 이동도에 수직, 수평전계를 고려해 I-V특성을 연구하였으며, 2차원 소자 시뮬레이터(MEDICI)와 실험치로 모델의 타당성을 검증하였다.

후면게이트 전압이 증가할수록 문턱전압은 떨어지고, 소오스나 드레인에 의해 제어되는 공핍영역도 감소한다. 이동도는 산란효과(음향격자진동, 표면의 불균일)와 전계에 의존하며, I-V특성에 크게 영향을 미친다.

Abstract

We studied threshold voltages and I-V characteristics, considering short channel effect of the fully depleted thin film n-channel SOI MOSFET. We presented a charge sharing model when the back surface of short channel shows accumulation, depletion and inversion state, respectively. A degree of charge sharing can be compared according to each of back-surface conditions.

Mobility is not assumed as constant, and besides bulk mobility, both the mobility defined by acoustic phonon scattering and the mobility by surface roughness scattering are taken into consideration. I-V characteristics is then implemented by the mobility including vertical and parallel electric field.

The validity of the model is proved with the 2-dimensional device simulation(MEDICI) and experimental results.

The threshold voltage and charge sharing region controlled by source or drain reduced with increasing back gate voltage.

The mobility is dependent upon scattering effect and electric field, so it has a strong influence on I-V characteristics.

*正會員, 仁荷大學校 電子工學科
(Dept. of Elec. Eng., Inha Univ.)

**準會員, 金星일렉트론 研究所

(Dept. of Gold Star Elec. Eng.)

接受日字 : 1993年 6月 13日

I. 서론

II. 전하공유를 고려한 문턱전압

박막(thin film) SOI(Silicon On Insulator) MOSFET는 실리콘 벌크(bulk) MOSFET보다 성능이 매우 우수하다. 구조적으로 활성영역(active region)이 기판으로부터 완전히 격리되어 있기 때문에 latch up, 몸체효과(body effect)등이 없고 누설전류와 접합면적이 작으므로 기생 커패시터가 감소되어 열전자(hot carrier)현상이 실리콘 벌크 MOSFET보다 덜하다. 또한 후면표면이 공핍상태에서는 킹크(kink)효과가 없고 단채널에서 우수함이 입증되었다.^[1,4]

박막 SOI는 실리콘 막이 매우 얇아 전면전압에 의해서 완전공핍이 일어날 수 있으며, 전면과 후면게이트 전압에 의해 전하결합(charge coupling)현상으로 인해 전기적 영향을 미친다. 따라서 기존의 벌크(bulk) MOSFET와는 다른 성질을 나타낸다. 완전공핍된 SOI MOSFET에서 단채널의 전하공유(charge sharing) 모델에 의한 문턱전압을 후면표면이 축적상태에 대해선 꾸준히 연구되어 왔다.^[1,5] 그러나, 벌크 MOSFET와는 다른 구조의 차이로 후면게이트 전압효과를 줄이기 위해 쓰이는 공핍일때의 영역과 후면이 반전일때의 영역을 확실히 알기위한 모델이 필요하다.

본 논문에서는 완전 공핍된 박막 4단자 n-채널 SOI MOSFET를 다루며, 전면표면에 의해 완전공핍이 되도록 실리콘 막은 매우 얇고, 전면표면이 강반전상태라는 가정하에, 후면표면상태가 축적, 공핍, 반전상태일때 단채널에서의 전하공유 모델을 각각 제시하였다.

새로 제시한 SOI MOSFET의 전하공유모델에서 파라미터(도핑농도, 산화막두께, 채널길이 등)값을 변화시키면서 타당성을 검증하기 위하여 문턱전압에 대해 연구하였다.

기존의 논문은 실리콘 막내의 도핑농도가 일정하다는 가정하에 이동도의 값을 상수로 정하여 I - V특성을 연구하였으나 본 논문에서는 벌크 이동도외에 단채널에서 소자에 큰 영향을 미치는 수직, 수평전계를 고려한 음향격자진동(acoustic phonon)과 실리콘 표면의 불균일(roughness)로 인한 산란으로 제한된 캐리어 이동도를 고려해 좀더 정확한 I - V특성을 각각의 후면표면(축적, 공핍)상태에 따라 구현하였다.

단채널 효과를 고려한 문턱전압, 벌크 이동도만을 고려한 모델, JAMES C.STRUM^[16] 실험치, 그리고 본 논문에서 고려한 I - V특성을 2차원 소자 시뮬레이터인 MEDICI로 타당성을 비교, 분석하였다.

단채널에서 전하공유를 고려한 완전공핍된 4단자 n-채널 SOI MOSFET를 대상으로 삼았다. 전면표면은 강반전상태이고 후면게이트 전압과 드레인 전압에 무관하게 완전공핍이 일어나도록 실리콘 막두께(T_b)가 매우 얇다. 그러므로 전면, 후면게이트 사이에는 전하결합(charge coupling)이 발생하고, 각각의 게이트 문턱전압은 반대편의 표면상태(축적, 공핍, 반전)에 의존하게 된다. <그림1>은 본 논문에서 해석하는 4단자 n-채널 SOI MOSFET의 구조를 나타낸다.

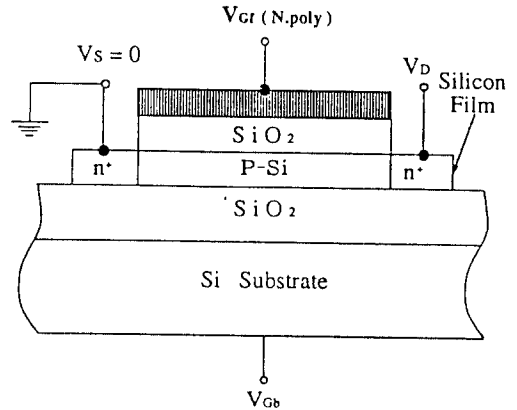


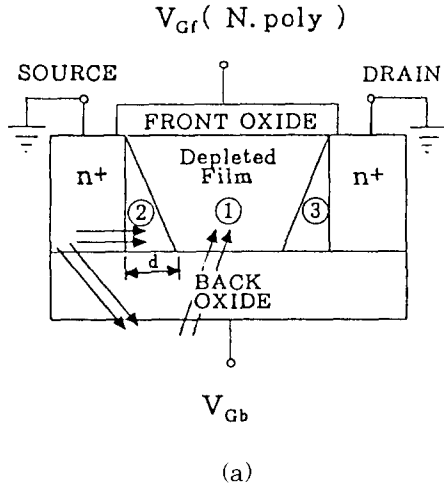
그림 1. 4단자 n-채널 SOI MOSFET 구조
Fig. 1. Four terminal n-channel SOI MOSFET structure.

1. 후면표면이 축적상태인 경우

<그림2a>는 단채널에서 후면표면이 축적상태일 경우 Fossom의 전하공유 모델이며^[6], 전하공유 정도를 결정하게 되는 파라미터 d값을 구하기 위한 세가지 전계성분을 나타낸다. 영역 ①은 전면게이트에 의해서 제어되는 공핍영역이고, 영역 ②,③은 소오스와 드레인에 의해 제어되는 공핍영역이다.

<그림2b>는 실리콘 막내에서 전면에 의해 제어되는 공핍영역을 빗금으로 표시했다. 전면표면전압은 $\Psi_{si} \cong 2\phi_B$ 로 소오스와 드레인 사이에 대략적으로 일정하며, 후면표면전압(Ψ_{sb})은 0이다. <그림2>에서 d값을 구하면 전면에 의한 공핍전하량을 알 수 있다. d값은 <그림2>에 표시된 3가지 전계성분을 이용한 식(1)로 구할 수 있다.^[5,6]

$$E_{br,eff} = [qN_a(V_{bi} - \Psi_{sb}) / 2\epsilon_{si}]^{1/2} + f_n(\epsilon_{ox} / \epsilon_{si}) [(V_{gb} - V_{FB}^b) - \Psi_{sb}] / T_{ob} + f_p(\epsilon_{ox} / \epsilon_{si}) [V_{bi} - (V_{gb} - V_{FB}^b) - \Psi_{sb}] / T_{ob} \quad (1)$$



$$[Q_b]_{SCE} = Q_b - [\Delta Q_b]_{SCE} = -q N_a T_b (1 - d/L_{eff}) \quad (4)$$

$[\Delta Q_b]_{SCE}$ 은 소오스와 드레인에 의해 공핍되는 영역이다. $\Psi_{sb} = 0$, $\Psi_{sf} = 2\Phi_B$ 인 조건으로 유도한 긴채널 문턱전압 식에 단채널 효과와 긴채널에서 무시한 전면 반전층의 자유전자밀도(Q_{nf})를 포함시키면 후면표면이 축적일때 문턱전압은 다음과 같다.^[7]

$$V_{th}^A = V_{FB}^f + (1 + C_b / C_{of}) 2\Phi_B - ([Q_b]_{SCE} + 2Q_{nf}) / (2C_{of}) \quad (5)$$

식(5)에서 반전층의 자유전자밀도(Q_{nf})는 아래와 같이 구할 수 있다.^[11]

$$Q_{nf} = C_{of} [V_{Gf} - V_{FB}^f - (1 + C_b / C_{of}) \Psi_{sb} + (C_b / C_{of}) \Psi_{sb} + Q_b / (2C_{of})]$$

2. 후면표면이 반전상태인 경우

<그림3a>은 후면표면이 반전상태일때의 전하공유모델을 나타내는 것이다. d , d_1 을 구하고 이것들을 이용하여 d_2 를 구할 수 있으므로 전하공유량을 구할 수 있다. <그림3b>는 전면에 의해 제어되는 공핍영역을 빗금으로 표시했다.

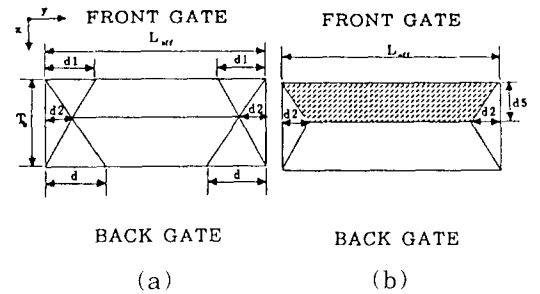
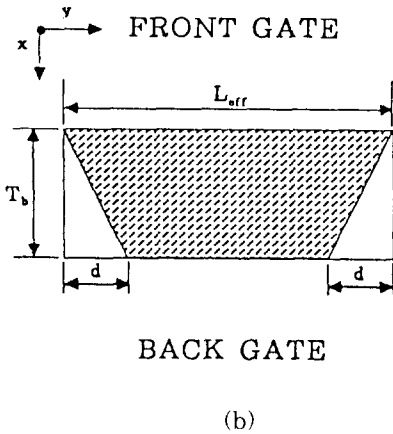


그림 2. 후면표면이 축적일때 전하공유모델과 세가지 유효전계 성분

Fig. 2. The charge-sharing model and three electric field at back surface accumulation.

식(1)에서 f_a 와 f_b 는 실험적 계수이다.^[5] 이 후면표면의 전계로 파라미터 d 값을 다음과 같이 구할 수 있다.

$$d \cong (V_{bi} - \Psi_{sb}) / E_{b(1eff)} \quad (2)$$

식(2)의 d 값으로 게이트에 의해 제어된 단위 면적당 유효공핍전하 ($[Q_b]_{SCE}$)는 다음과 같다.^[5]

$$Q_b = -q N_a T_b \quad (3)$$

그림 3. 후면표면이 반전일때 전하공유모델
Fig. 3. The charge-sharing model at back surface inversion.

d_5 는 후면의 영향으로 전면에 의해서만 공핍되는 높이를 나타내며, 비례식으로 알 수 있다. d 는 식(1)의 후면표면전압(Ψ_{sb})에 $2\Phi_B$ 를 대입하여 후면표면 유효측면전계($E_{b(1eff)}$)를 구하고 식(2)에 이것을 대입하고 Ψ_{sb} 에 $2\Phi_B$ 를 대입하면 d 를 구할 수 있다. d_1 을 구하기 위하여 전면접촉영역에서 전계의 유효측면성분은 아래와 같다.

$$E_{r(1eff)} = [qN_a(V_{bi} - 2\Phi_B) / 2\epsilon_s]^{1/2} + f_a(\epsilon_{ox} / \epsilon_s)(V_{Gf} - V_{FB}^f) - 2\Phi_B / T_{of} + f_b(\epsilon_{ox} / \epsilon_s)[V_{bi} - (V_{Gf} - V_{FB}^f)] / T_{of} \quad (6)$$

d1을 구하기 위해서는 식(2)의 후면표면전압(Ψ_{sb})을 $2\Phi_B$ 로 대체하면 된다.

$$d1 \equiv (V_{bi} - 2\Phi_B) / E_{f1(\text{eff})} \quad (7)$$

d. d1을 구하였으므로 간단한 직선의 방정식으로 d2를 구하여 전하공유정도를 구할 수 있다. 단위면적당 유효공핍전하 $[Q_b]_{SCE}$ 는 다음과 같다.

$$[Q_b]_{SCE} = Q_b - [\Delta Q_b]_{SCE} = -q N_a d5(1 - d2 / L_{\text{eff}}) \quad (8)$$

식(5)와 유사한 방법으로 $\Psi_{sf} = \Psi_{sb} = 2\Phi_B$ 인 조건으로 유도된 긴채널 문턱전압 식에 후면표면이 반전일때 단채널에서 전하공유를 고려한 문턱전압은 다음과 같다.⁷⁾

$$V_{if}^1 = V_{FB}^f + 2\Phi_B - ([Q_b]_{SCE} + 2Q_{nf}) / (2C_{of}) \quad (9)$$

3. 후면표면이 공핍상태인 경우

<그림4a>와 <그림4b>는 후면표면이 공핍상태인 경우의 전하공유 모델이며, 전면에 의해 제어되는 공핍영역을 빗금으로 나타냈다. d5는 적절한 비례식으로 알 수 있다. <그림4b>는 후면게이트전압에 의한 공핍길이(X_d)가 T_b 보다 클수도 있고 작을수도 있기 때문에 이 경우에는 두가지로 나누어 생각해야 한다. X_d 가 T_b 보다 클 경우에는 후면표면이 반전일때의 전하공유모델을 그대로 이용하는데 다만 Ψ_{sb} 만 다르다. X_d 가 T_b 보다 작은 경우는 <그림4>모델을 이용한다.

식(1)과 (2)를 이용하여 d값을 구할 수 있고, d3을 구하기 위해서는 그 부분의 측면전계를 구해야 하며 식(6)의 전면표면전압 $2\Phi_B$ 를 전면표면전압에서 ($T_b - X_d$)거리만큼 떨어진 곳의 전압 ϕ_1 로 바꾸어 측면전계 $E_{f2(\text{eff})}$ 를 구하면 다음과 같다.

$$E_{f2(\text{eff})} = [qN_a(V_{bi} - \Phi_f) / 2\epsilon_s]^{1/2} + f_a(\epsilon_{ox} / \epsilon_s) [(V_{gf} - V_{FB}^f) - \Phi_{sb}] / T_{of} + f_b(\epsilon_{ox} / \epsilon_s) [V_{bi} - (V_{gf} - V_{FB}^f)] / T_{of} \quad (10)$$

여기서 ϕ_1 는 포아송방정식을 풀어 계산될 수 있다.

$$\Phi_f = (qN_a / 2\epsilon_s) / (T_b - X_d) 2[(\Psi_{sb} - 2\Phi_B) / T_b - q] * (T_b - X_d) + 2\Phi_B \quad (11)$$

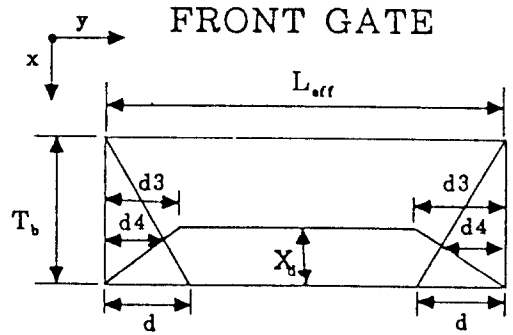
따라서 d3는 다음과 같다.

$$d3 \equiv (V_{bi} - \Phi_f) / E_{f2(\text{eff})} \quad (12)$$

d. d3을 이용하여 간단한 직선의 방정식으로 d4를

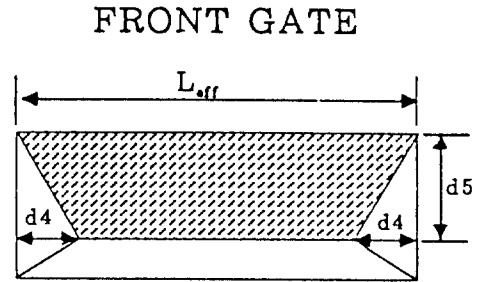
구해서 전하공유정도를 구할 수 있다. 따라서 $[Q_b]_{SCE}$ 는 다음과 같다.

$$[Q_b]_{SCE} = Q_b - [\Delta Q_b]_{SCE} = -q N_a d5(1 - d4 / L_{\text{eff}}) \quad (13)$$



BACK GATE

(a)



BACK GATE

(b)

그림 4. 후면표면이 공핍일때 전하공유모델

Fig. 4. The charge-sharing model at back surface depletion.

식(3)과 유사한 방법으로 $\Psi_{sf} = 2\Phi_B$, $0 < \Psi_{sb} < 2\Phi_B$ 인 조건으로 유도된 긴채널 문턱전압식에 후면표면이 공핍일때 단채널에서 전하공유를 고려한 문턱전압은 다음과 같다.⁷⁾

$$V_{if}^D = V_{FB}^f + (1 + C_b / C_{of}) 2\Phi_B - C_b \Psi_{sb} / C_{of} - ([Q_b]_{SCE} + 2Q_{nf}) / (2C_{of}) \quad (14)$$

식(14)에서 후면표면전압(Ψ_{sb})은 식(15)와 같이

구할 수 있다.

$$\Psi_{sb} = C_{ob} / (C_{ob} + C_b) [V_{gb} - V_{FB}^b + C_b 2\Phi_B / C + Q_b / (2C_{ob})] \quad (15)$$

Ψ_{sb} 는 0과 $2\Phi_B$ 사이에 있고, Ψ_{sb} 를 계산하기 위해 다음과 같은 간단한 반복 계산을 한다.¹⁵

- ① 소오스(혹은 드레인)와 어떤 전하 공유도 없다고 가정하고 식(15)로부터 Ψ_{sb} 를 구한다.
- ② 식(13)을 이용해 유효공핍전하($[Q_b]_{scr}$)를 구한다.
- ③ 식(15)에서 Q_b 대신 $[Q_b]_{scr}$ 를 대입하여 수정된 Ψ_{sb} 값을 구한다.
- ④ ②와 ③단계를 해가 수렴할 때까지 반복 계산한다.

Ⅲ. I - V 특성

1. SOI MOSFET의 전면 캐리어 이동도

박막(thin film) SOI MOSFET는 전면게이트와 후면게이트 사이에 전하결합(charge coupling)으로 인해 벌크 MOSFET와는 다른 전류특성을 가진다. 강반전된 n-채널 MOSFET의 전면 채널에 흐르는 전류에서 이동도는 중요한 파라미터(parameter)이다. 식(16)은 일반 MOSFET의 캐리어 이동도이며 SOI MOSFET에 다음과 같이 적용시킬 수 있다.⁸

$$\frac{1}{\mu_T} = \frac{1}{\mu_{ac}} + \frac{1}{\mu_b} + \frac{1}{\mu_{sr}} \quad (16)$$

식(16)에서 첫번째 항의 음향적자진동으로 인한 이동도는 다음과 같다.^{18,91}

$$\mu_{ac} = \frac{q\hbar^3 \rho u_1^2}{m^* m_v Z_A^2 k_B T} \quad (17)$$

여기서

- q: 기본 전하량, \hbar : Dirac 상수,
- u_1 : 음향속도, m^* : 유효질량, m_v : 이동도 질량,
- Z_A : 변형된 전위, k_B : 볼츠만 상수,
- T: 절대온도, ρ : 실리콘 평균 질량밀도)

실리콘의 평균질량밀도(ρ)는 아래와 같다.

$$\rho = \rho_{bulk} Z_{av} \quad (18)$$

여기서

ρ_{bulk} : 실리콘의 질량밀도, Z_{av} : 반전층의 유효두께 반전층의 유효두께 Z_{av} 는 다음과 같이 근사시킬 수 있다.^{5,10}

$$Z_{av} = \frac{3}{2} \frac{k_B T}{q E_{eff}(y)} + \left(\frac{9\hbar^2}{4m_p q E_{eff}(y)} \right)^{1/3} \quad (19)$$

위 식(19)에서 유효 전계 E_{eff} 는 완전공핍된 실리콘 막내에 포아송방정식을 이용해 다음과 같이 구할 수 있다.

$$E_{eff}(y) = E_{sr}(y) + \frac{|Q_{sr}(y)|}{2\epsilon_s} \quad (20)$$

E_{sr} 는 공핍영역과 전면 반전층 사이의 계면에 미치는 수직전계이며 아래식(21)과 같다.¹¹¹

$$E_{sr}(y) = \frac{-Q_b}{2\epsilon_s} + \frac{\Psi_{sr}(y) - \Psi_{sb}(y)}{T_b} \quad (21)$$

식(16)의 두번째 항인 벌크 이동도(μ_b)는 다음과 같이 근사시킬 수 있다.^{18,12}

$$\mu_b(N_s, T) = \mu_o + \frac{\mu_{max}(T) - \mu_o}{1 + (N_s / C_r)^a} - \frac{\mu_1}{1 + (C_s / N_s)^b} \quad (22)$$

여기서

- $\mu_o, C_r, \mu_1, C_s, a, b$: NBS(National Bureau Standards)에서 연구된 데이터
- N_s : 필름의 도핑농도량 $\mu_{max}(T)$: 최대 이동도

식(16)의 세번째 항인 μ_{sr} 은 표면의 불균일로 인한 표면이동도로 SOI MOSFET와 같이 전, 후면이 고르지 않는 트랜지스터에서는 중요한 파라미터라 할 수 있다. 식(23)은 표면의 불균일로 인해 제한된 이동도이며 δ 는 실험적 값이다.^{13,17}

$$\mu_{sr}(E_{eff}(y)) = \delta / E_{eff}(y)^2 \quad (23)$$

제조건을 포함한 식(16)에다 소오스 또는 드레인에서 실리콘필름안으로의 수평전계를 고려한 식(24)에 적용시키면 SOI MOSFET에서 전면 캐리어 이동도를 구할 수 있다.¹¹⁴

$$\mu_{sr} = \frac{\mu_T}{\left[1 + (\mu_T E_{psl} / V_n^{sat})^2 \right]^{1/2}} \quad (24)$$

여기서

- ν_n^{sat} : 전자의 포화속도, E_{psl} : 수평전계)

수평전계(E_{psl})는 선형영역과 포화영역에 따라 각각 다르다. 즉 $V_{ds} < V_{d(sat)}$ 에서 수평전계는 대략 $E_{psl} = V_{ds} / L_{eff}$ 로 되며, $V_{ds} > V_{d(sat)}$ 일때는 아래와 같다.¹⁵¹

$$E_{\text{pal(sat)}} = \left(\frac{qN_a(V_{bi} - \psi_{sb} + V_{d(\text{sat})})}{2\epsilon_s\epsilon_o} \right)^{1/2} / 2 \quad (25)$$

2. I - V 특성

1) 후면표면이 소오스에서 드레인까지 완전축적 일때

후면이 축적일때의 전류는 다음과 같다. ^[11]

$$I_{ds} = I_{ds}^A \equiv \frac{Z}{L_{\text{eff}}} \mu_{\text{nf}} C_{\text{of}} \left[(V_{\text{gf}} - V_{\text{tf}}^A) V_{\text{ds}} - \left(1 + \frac{C_{\text{bb}}}{C_{\text{of}}} \right) \frac{V_{\text{ds}}^2}{2} \right] \quad (26)$$

드레인 포화전압은 $\partial I_{ds} / \partial V_{\text{ds}} = 0$ 으로 구할 수 있으며, 이를 이용해 드레인 포화전류를 얻을 수 있다. ^[11]

$$I_{d(\text{sat})} = I_{d(\text{sat})}^A \equiv \frac{Z}{L_{\text{eff}}} \frac{\mu_{\text{nf}} C_{\text{of}}}{2(1 + C_{\text{bb}} / C_{\text{of}})} (V_{\text{gf}} - V_{\text{tf}}^A)^2 \quad (27)$$

식(26)과 식(27)은 $\text{Lim}^{[11]}$ 이 유도한 긴채널소자에서의 I-V식에 게이트길이(L) 대신 단채널에서 소오스나 드레인에 의해 공핍되는 길이를 뺀 유효채널길이(L_{eff})로 변형시킨 것이다. 식(27)에서는 포화영역이후에서 유효채널길이가 L_{eff} 에서 L_{eff}' 로 약간씩 줄어드는 것을 고려하여 실제의 소자에 더욱 잘맞는 식을 유도하였다. 따라서 포화영역에서도 전류의 증가를 미소하나마 볼 수 있다. 포화영역 이후의 유효채널길이(L_{eff}')는 다음과 같이 구할 수 있다. ^[16]

$$L_{\text{eff}}' = L_{\text{eff}} \left(1 - \frac{(L_{\text{eff}} - L_{\text{eff}}') V_{\text{ds}}}{L_{\text{eff}} V_{\text{D}}} \right) \quad (28)$$

위 식에서 $L_{\text{eff}} - L_{\text{eff}}'$ 은 아래 식(29)와 같다.

$$L_{\text{eff}} - L_{\text{eff}}' = X_{\text{D}} \left(\left(\frac{X_{\text{D}} V_{\text{max}}}{2\mu_{\text{nf}}} \right)^{1/2} + V_{\text{ds}} - V_{d(\text{sat})} \right)^2 - \frac{X_{\text{D}}^2 V_{\text{max}}}{2\mu_{\text{nf}}} \quad (29)$$

식(29)에서 $X_{\text{D}} = (2\epsilon_s\epsilon_o / qN_a N_{\text{eff}})^{1/2}$ 는 공핍층의 두께이며 N_{eff} 는 fitting parameter이다. ^[16]

2) 후면표면이 소오스에서 드레인까지 완전공핍 일때

후면표면이 어디서나 공핍일때의 선형영역의 전류는 아래와 같다. ^[11]

$$I_{ds} = I_{ds}^D \equiv \frac{Z}{L_{\text{eff}}} \mu_{\text{nf}} C_{\text{of}} \left[(V_{\text{gf}} - V_{\text{tf}}^D) V_{\text{D}} - \left(1 + \frac{C_{\text{bb}}}{C_{\text{of}}} \right) \frac{V_{\text{ds}}^2}{2} \right] \quad (30)$$

여기서 $C_{\text{bb}} = C_{\text{ob}} C_{\text{b}} / (C_{\text{ob}} + C_{\text{b}})$ 이다.

드레인 포화전압을 $\partial I_{ds} / \partial V_{\text{ds}} = 0$ 으로 구하여 포화영역의 전류를 다음과 같이 쓸 수 있다. ^[11]

$$I_{d(\text{sat})} = I_{d(\text{sat})}^D \equiv \frac{Z}{L_{\text{eff}}} \frac{\mu_{\text{nf}} C_{\text{of}}}{2(1 + C_{\text{bb}} / C_{\text{of}})} (V_{\text{gf}} - V_{\text{tf}}^D)^2 \quad (31)$$

3) 후면표면이 소오스근처에선 축적상태, 드레인 부근에선 공핍상태일때 선형영역의 드레인전류는 아래와 같다. ^[11]

$$I_{ds} = I_{ds}^{\text{AD}} \equiv \frac{Z}{L_{\text{eff}}} \mu_{\text{nf}} C_{\text{of}} \left[(V_{\text{gf}} - V_{\text{tf}}^A) V_{\text{ds}} - \left(1 + \frac{C_{\text{bb}}}{C_{\text{of}}} \right) \frac{V_{\text{ds}}^2}{2} - \frac{C_{\text{bb}}}{C_{\text{of}}} V_{\text{ds}} (V_{\text{gb}}^A - V_{\text{gb}}) + \frac{C_{\text{bb}} C_{\text{ob}}}{2C_{\text{of}} C_{\text{b}}} (V_{\text{gb}}^A - V_{\text{gb}})^2 \right] \quad (32)$$

포화영역의 드레인전류는 다음과 같다. ^[11]

$$I_{d(\text{sat})} = I_{d(\text{sat})}^{\text{AD}} \equiv \frac{Z}{L_{\text{eff}}} \frac{\mu_{\text{nf}} C_{\text{of}}}{2(1 + C_{\text{bb}} / C_{\text{of}})} \left[(V_{\text{gf}} - V_{\text{tf}}^A)^2 - 2 \frac{C_{\text{bb}}}{C_{\text{of}}} (V_{\text{gf}} - V_{\text{tf}}^A) (V_{\text{gb}}^A - V_{\text{gb}}) + \frac{C_{\text{ob}} C_{\text{bb}}}{C_{\text{of}} C_{\text{b}}} (V_{\text{gb}}^A - V_{\text{gb}})^2 \right] \quad (33)$$

식(33)에서 $C_{\text{bf}} = C_{\text{of}} C_{\text{b}} / (C_{\text{of}} + C_{\text{b}})$ 이다.

IV. 결과 및 고찰

<표 1>은 본 논문의 소자 파라미터다. 유효채널길이에 대한 문턱전압의 변화량과 I-V 특성곡선에 대한 모델의 검증을 위해 실험치와 2차원 소자 시뮬레이터인 MEDICI를 이용하였다.

표 1. 소자 파라미터

Table 1. Device Parameter.

T_{of} (전면 산화막두께)	0.02 - 0.06 μm
T_{ob} (후면 산화막두께)	0.30 - 1 μm
T_{b} (실리콘 필름두께)	0.1 - 0.5 μm
Q_{of} (전면 고정전하)	5E10 cm^{-2}
Q_{ob} (후면 고정전하)	1E11 cm^{-2}
L_{eff} (유효채널길이)	40 - 0.4 μm
Z (채널 폭)	40 - 1 μm
N_{a} (실리콘 도핑농도)	1E16-7E16 cm^{-3}

<그림 5>는 전면 산화막두께 $T_{\text{of}} = 0.02 \mu\text{m}$, 후면 산화막두께 $T_{\text{ob}} = 0.35 \mu\text{m}$, 실리콘 필름두께 $T_{\text{b}} = 0.1 \mu\text{m}$, N_{a} (실리콘 도핑농도)가 5E16 cm^{-3} , 7E16

cm³. 유효채널길이 $L_{eff} = 2 \mu\text{m}$ 일때 후면전압 대 문턱전압값을 후면표면이 각각 축적, 공핢, 반전일때 MEDICI 시뮬레이터와 비교한 것이다.

<그림 2>, <그림 3>, <그림 4>에서 알 수 있듯이 후면표면전압이 축적, 공핢, 반전으로 증가할수록 후면표면에 공핢영역이 생겨 전면에 의해 제어되는 공핢영역이 적어지므로 <그림 5>에서와 같이 문턱전압은 감소하게된다. 그러나, 후면표면전압이 반전일때 차이가 나는것은 후면표면에 반전층이 생겨 누설전류가 흐르게 되어 사용할 수 없는 영역이며 MEDICI 시뮬레이터로 정확한 문턱전압을 구할 수 없다고 생각된다. 그러므로 이후로 후면표면이 반전일 때는 고려하지 않는다.

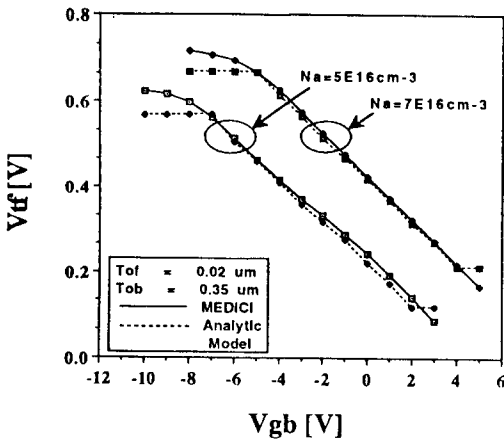


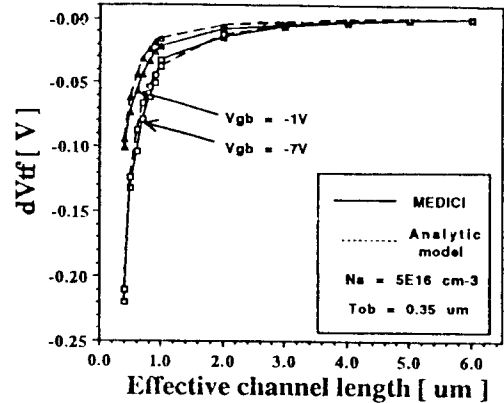
그림 5. (a) $N_a=5E16\text{cm}^{-3}$, (b) $N_a=5E16\text{cm}^{-3}$ 일때 후면전압 대 문턱전압 (V_{tf})

Fig. 5. V_{gb} vs. V_{tf} according to doping concentration at (a) $N_a=5E16\text{cm}^{-3}$, (b) $N_a=5E16\text{cm}^{-3}$.

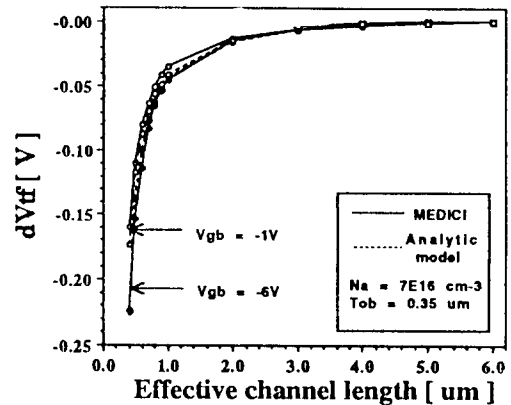
<그림 6>은 전면 산화막두께 $T_{of} = 0.02 \mu\text{m}$, 후면 산화막두께 $T_{ob} = 0.35 \mu\text{m}$, 실리콘 필름두께 $T_b = 0.1 \mu\text{m}$, N_a (실리콘 도핑농도)가 (a) $5E16 \text{cm}^{-3}$, (b) $7E16 \text{cm}^{-3}$ 일때 각각의 후면 표면상태(축적, 공핢)에 따라 채널길이 대 문턱전압 변화량을 나타낸다.

<그림 6a>의 후면표면이 각각 축적(-7V), 공핢(-1V) 영역에서 차이가 미소함을 알 수 있으며, 후면표면이 축적에서 공핢으로 갈수록 본 논문에서 제시한 것처럼 전하공유를 덜 받음을 알 수 있다. 이것은 후면표면상태가 축적에서 공핢으로 전압이 증가할수록 후면표면에서 실리콘 막으로 전계가 작용하므로 일반 벌크 MOSFET보다는 실리콘 막안의 전하공유량이 작아지기 때문이다.

<그림 6b>도 마찬가지로 실리콘 도핑농도를 변화하더라도 축적(-6V), 공핢(-1V)으로 후면전압이 증가할수록 후면표면에서 전계의 영향으로 전하공유를 덜 받음을 알 수 있으며, MEDICI 시뮬레이터 데이터값과 본 논문에서 제시한 해석적 모델을 채널길이 대 문턱전압 변화량으로 비교하여 볼때 차이가 미소함을 알 수 있다.



(a)



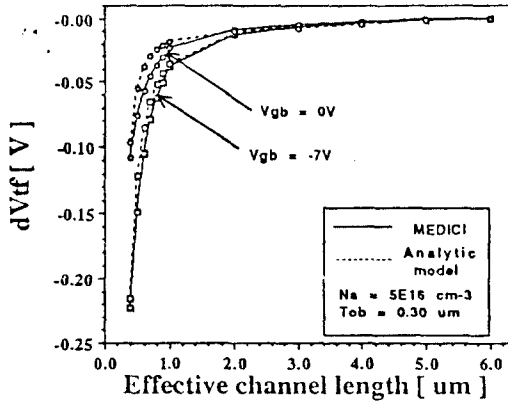
(b)

그림 6. (a) $N_a=5E16\text{cm}^{-3}$, (b) $N_a=7E16\text{cm}^{-3}$ 일때 (L_{eff}) 대 문턱전압 변화량 (dV_{tf})

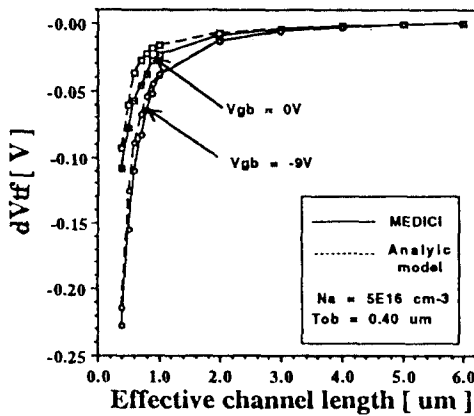
Fig. 6. L_{eff} vs. dV_{tf} according to back surface conditions at (a) $N_a=5E16\text{cm}^{-3}$, (b) $N_a=7E16\text{cm}^{-3}$.

<그림 7>은 N_a (실리콘 도핑농도)가 $5E16 \text{cm}^{-3}$, 전면 산화막두께 $T_{of} = 0.02 \mu\text{m}$, 실리콘 필름두께 $T_b = 0.1 \mu\text{m}$ 이고 (a) $T_{ob} = 0.30 \mu\text{m}$ (b) $T_{ob} = 0.40 \mu\text{m}$ 일때 채널길이 대 문턱전압 변화량을 나타낸다.

산화막의 두께를 가변해도 채널길이 대 문턱전압 변화량은 본 논문에서 제시한 것처럼 후면표면이 축적, 공핍으로 갈수록 소오스나 드레인에 의해 제어되는 공핍영역이 줄어들어 해석적 모델의 결과와 비교적 일치함을 알 수 있다.



(a)



(b)

그림 7. (a) $T_{ob}=0.30\mu m$ (b) $T_{ob}=0.40\mu m$ 일때 채널길이 대 문턱전압 변화량

Fig. 7. L_{eff} vs. dV_{tf} according to back surface conditions at (a) $T_{ob}=0.30\mu m$ (b) $T_{ob}=0.40\mu m$ (a).

<그림 8>은 N_a (실리콘 도핑농도)가 $1E16\text{ cm}^{-3}$ 이고 실리콘 필름두께 $T_b = 0.1\text{ }\mu m$, 전면 산화막두께 $T_{of} = 0.025\text{ }\mu m$, 후면 산화막두께 $T_{ob} = 0.35\text{ }\mu m$, 채널길이 $L = 8\text{ }\mu m$, 채널폭 $Z = 40\text{ }\mu m$ 일때 JAMES C.STRUM의 실험치^[18]와 본 논문의 모델을 비교한 것이다. 본 연구에서 벌크 이동도에 여

러산란효과(surface acoustic phonon, surface roughness)와 수직, 수평전계를 고려한 이동도가 실제의 소자(device)에서도 잘 맞음을 알 수 있다.

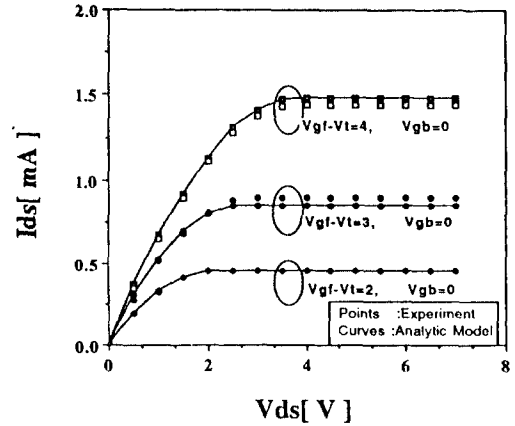


그림 8. 실험치와의 $I_{ds} - V_{ds}$ 특성비교

Fig. 8. The comparison of current-voltage characteristics with measured results.

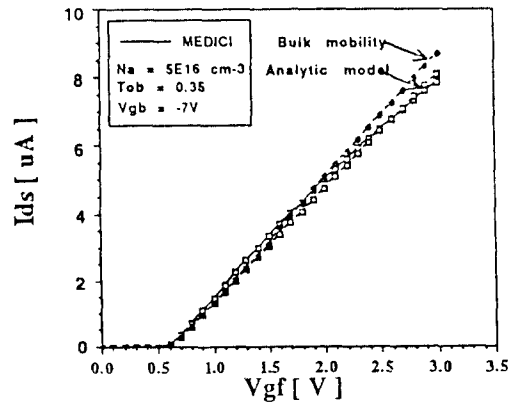


그림 9. $N_a=5E16\text{cm}^{-3}$ 일때 벌크이동도와 $I_{ds} - V_{gf}$ 특성비교

Fig. 9. The comparison of $I_{ds} - V_{gf}$ characteristics with bulk mobility.

<그림 9>는 N_a (실리콘 도핑농도)가 $5E16\text{ cm}^{-3}$ 이고 유효채널길이 $L_{eff} = 2\text{ }\mu m$, 실리콘 필름두께 $T_b = 0.1\text{ }\mu m$, 전면 산화막두께 $T_{of} = 0.02\text{ }\mu m$, 후면 산화막두께가 $T_{ob} = 0.35\text{ }\mu m$ 일때, 후면상태가 축적(-7V)에서 본 논문이 제시한 모델의 $I_{ds} - V_{gf}$ 와 벌크 이동도만을 고려한 $I_{ds} - V_{gf}$ 를 MEDICI 시뮬레이터와 비교하였다. 벌크이동도만을 고려한 모델은 이동도의 값이 상수이므로, 전계의 영향을 받지 않고, I_{ds}

- V_{gf} 곡선이 일정하게 증가한다. 반면 본 논문에서는 벌크 이동도에 음향격자진동(acoustic phonon)의 산란 효과와 실리콘과 산화막 사이의 접합면의 불균일로 제한된 이동도를 포함시킨 모델에 수직, 수평전계를 고려하였으므로 벌크 이동도만을 고려한 모델보다 전면 게이트전압이 증가함에 따라 수직전계의 영향으로 인한 이동도의 감소로 MEDICI 시뮬레이터 값과 더 근사함을 알 수 있다. 시뮬레이션 데이터를 그림에서 보듯이 이동도는 전계에 크게 작용하는 것을 알 수 있으며, 본 논문이 제시한 이동도 모델이 실제의 소자특성에 더욱 정확함을 볼 수 있다.

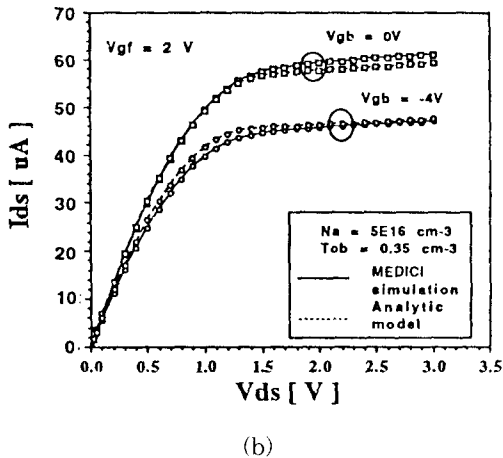
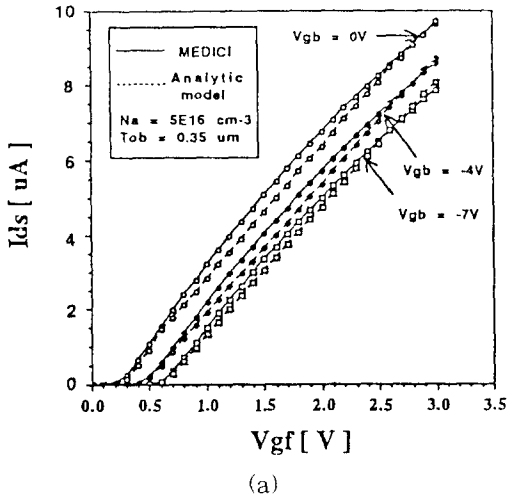


그림 10. $N_a=5E16cm^{-3}$ 일때 MEDICI 시뮬레이터와의 (a) $I_{ds}-V_{gf}$ (b) $I_{ds}-V_{ds}$ 특성비교
 Fig. 10. The comparison of I-V characteristics with MEDICI simulator (a) $I_{ds}-V_{gf}$ (b) $I_{ds}-V_{ds}$.

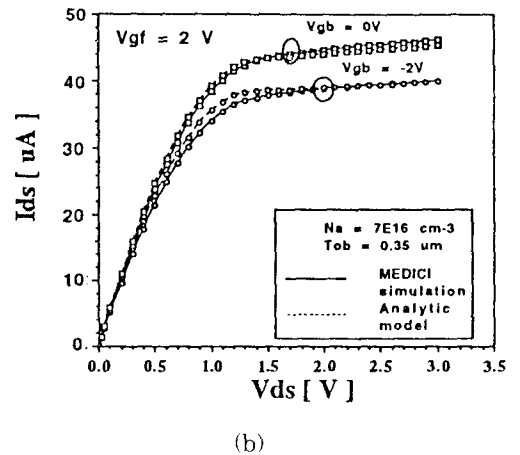
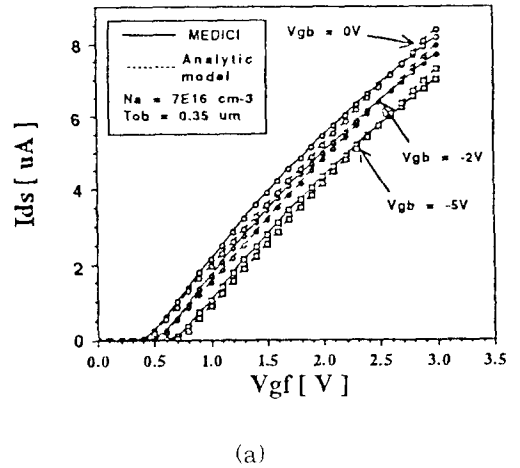


그림 11. $N_a=7E16cm^{-3}$ 일때 MEDICI 시뮬레이터와의 (a) $I_{ds}-V_{gf}$ (b) $I_{ds}-V_{ds}$ 특성비교
 Fig. 11. The comparison of I-V characteristics with MEDICI simulator (a) $I_{ds}-V_{gf}$ (b) $I_{ds}-V_{ds}$.

〈그림 10a〉는 실리콘 필름두께 $T_b = 0.1 \mu m$, 전면 산화막두께 $T_{of} = 0.02 \mu m$, 후면 산화막두께 $T_{ob} = 0.35 \mu m$ 이고 N_a (실리콘 도핑농도)가 $5E16cm^{-3}$, 유효채널길이 $L_{eff} = 2 \mu m$ 일때 후면표면이 축적, 공핍일때 $I_{ds} - V_{gf}$ 특성을 비교하였다. 그림에서 보듯이 후면표면이 축적, 공핍으로 갈수록 문턱전압의 약간의 차와, 후면표면이 공핍으로 전압이 증가하면 약반전 상태로 되므로 곡선의 기울기의 차이를 볼 수 있다.

〈그림 10b〉는 실리콘 필름두께 $T_b = 0.1 \mu m$, 전면 산화막두께 $T_{of} = 0.02 \mu m$, 후면 산화막두께 $T_{ob} = 0.35 \mu m$ 이고 N_a (실리콘 도핑농도)가 $5E16 cm^{-3}$.

유효채널길이 $L_{eff} = 2 \text{ um}$ 일때 전면표면($V_{gr}=2V$)이 강반전상태이고, 후면표면이 공핍일때 $I_{ds} - V_{ds}$ 특성을 MEDICI 시뮬레이터와 비교하였다. 포화영역($V_{ds} > V_{d(sat)}$)에서는 유효채널길이(L_{eff})가 L_{eff}' 로 약간씩 줄어들므로 일정한 기울기가 유지되지않고, 약간씩 증가하였다. 후면표면이 공핍으로 증가할수록 곡선의 기울기가 포화영역에서 차이가 나는 것은 후면표면이 약반전 상태가 되어 약간의 누설전류로 인한 전류의 증가로 생각된다.

<그림 11a>는 실리콘 필름두께 $T_b = 0.1 \text{ um}$, 전면 산화막두께 $T_{of} = 0.02 \text{ um}$, 후면 산화막두께 $T_{ob} = 0.35 \text{ um}$ 이고 N_a (실리콘 도핑농도)가 $7E16 \text{ cm}^{-3}$, 유효채널길이 $L_{eff} = 2 \text{ um}$ 일때 $I_{ds} - V_{gr}$ 특성을 나타낸 것이다.

<그림 11b>는 전면표면($V_{gr}=2V$)이 강반전상태일때 $I_{ds} - V_{ds}$ 특성을 나타낸 것이다. 도핑농도를 가변하더라도 본 논문에서 제시한 해석적 모델이 양호한 결과를 볼 수 있다. 포화영역($V_{ds} > V_{d(sat)}$)에서는 유효채널길이(L_{eff})가 L_{eff}' 로 약간씩 줄어드는 식을 적용하였기 때문에 일정한 기울기가 유지되지않고, 약간씩 증가하였다. 공핍으로 증가할수록 곡선의 기울기가 포화영역에서 차이가 나는 것은 N_a (실리콘 도핑농도)가 $5E16 \text{ cm}^{-3}$ 일때와 같이 후면표면에 약반전 상태가 되어 약간의 누설전류로 인한 전류의 증가로 생각된다.

V. 결론

본 논문에서는 완전공핍된 4단자 박막 n-채널 SOI MOSFET를 대상으로 하였다. 기존의 연구에서는 후면표면이 축적상태일때만 전하공유 모델을 제시하였으나^[5] 본 논문에서는 실제의 소자에서 잘 쓰이는 영역, 즉 후면표면상태가 공핍일때와 누설영역의 척도인 후면이 반전상태일때의 전하공유모델을 제시하였으며 SOI MOSFET에서 후면표면상태(축적, 공핍)에 따라 문턱전압을 연구하였다.

또한, 여러가지 산란 효과(acoustic phonon, surface roughness)와 수직, 수평전계를 고려한 이동도를 구하여 I-V 특성에 대해 연구하였으며, 이를 실험치^[11]와 2차원 소자 시뮬레이터(MEDICI)로 타당성을 검증하였다.

SOI MOSFET가 벌크 MOSFET와는 다른 구조로 인해 각각의 후면상태에 따라 전하공유정도는 본 논문이 제시한 것처럼 축적에서 공핍, 반전으로 후면게이트전압이 증가할수록 다음과 같은 변화를 볼 수 있다.

첫째로, 후면표면전압이 증가할수록 후면표면에 공

핍층이 형성되어 전면 공핍영역과의 전하결합(charge coupling)으로 인하여 전면에 의해 제어되는 공핍양이 적어져 문턱전압은 감소하게 된다.(그림 5)

둘째로, 후면표면전압이 축적, 공핍으로 증가함에 따라 소오스나 드레인에 의해 제어되는 전하공유량이 적게됨으로 문턱전압의 변화량도 적음을 알 수 있다.(그림 6,7)

일반 SOI MOSFET에서 I-V특성에서 이동도값(벌크 이동도)을 상수로 간주하여 I-V를 나타내었으나 본 논문에서는 벌크 이동도외에 실리콘 표면의 음향격자진동(acoustic phonon)과 실리콘의 산화막 접합면에서의 불균일(surface roughness)로 인한 산란으로 제한된 이동도에 수직, 수평전계를 고려하여 좀 더 정확한 모델을 유도하였으며, 이 이동도를 고려한 I-V특성에서 다음과 같은 특성을 볼 수 있다.

첫째로, 단채널에서는 산란효과(음향격자진동, 표면의 불균일)와 수직, 수평전계에 이동도가 의존하므로 I-V특성에 큰 영향을 미친다. 따라서 벌크이동도만을 고려한 I-V특성보다 본 논문에서 제시한 이동도 모델이 실제의 소자에 더욱 근사함을 볼 수 있다.(그림 8,9)

둘째로, 박막에서는 전면 공핍영역과 후면 공핍영역의 전하결합(charge coupling)으로 인하여 전면의 문턱전압은 후면게이트전압이 증가함에 따라 전면 공핍영역이 줄어들어 문턱전압은 떨어진다. 따라서 후면게이트전압이 공핍으로 증가할수록 전류는 더욱 커지게된다.(그림 10,11) 셋째로, 후면게이트전압이 공핍으로 증가할수록 후면에 약반전층이 서서히 생겨 후면표면에 누설전류의 영향이 커지므로 SOI MOSFET에서는 후면이 반전일때는 사용하지 않는다. <그림 10,11>에서 보듯이 후면게이트전압이 증가할수록 시뮬레이터 I-V특성과 차이가나는 것은 바로 누설전류의 영향으로 생각된다.

* 본 연구는 1992년도 인하대학교 산업과학기술연구소 연구비 지원의 일환으로 수행되었습니다.

參 考 文 獻

[1] Surya Veeraraghavan and Jerry G. Fossum, "Short-channel effects in SOI MOSFET's," IEEE Trans. Electron Devices, vol. 36, pp.522, 1989.

[2] K.Konrad Young, "Short-channel effect in fully depleted SOI MOSFET's," IEEE Trans. Electron Devices, vol. 36, pp399, 1989.

- [3] S.P.Edwards, K.J.Yallup, and K.M.Se Meyer, "Two-dimensional numerical analysis of the floating region in SOI MOSFET's," IEEE Trans. Electron Devices, vol. 35, pp.1012, 1988.
- [4] Jean-Pierre Colinge, "Silicon-on-insulator Technology: Materials to VLSI," IMEC, Belgium.
- [5] S. Veeraraghavan and J.G.Fossom, "A physical short - channel model for the thin-film SOI MOSFET applicable to devices and circuit CAD," IEEE Trans. Electron devices, pp.1866, 1988.
- [6] D. Frohman-Bentchkowsky, "Conductance of MOS transistors in saturation," IEEE Trans. Electron Devices, ED-16, pp.108-113 ,1969.
- [7] H.-K.Lim and J.G.Fossom, "Threshold voltage of thin-film SOI MOSFET's," IEEE Trans. Electron Devices, pp.1244, 1983.
- [8] Claudio Lombardi, Stefano Manzini, Antonio Saporito, and Massimovanzi, "A physical based mobility model for numerical 35 simulation of nonplanar devices," IEEE Trans Electron devices, pp.1164, 1988.
- [9] C.T.Sah, T.H.Ning, and L.L.Tschopp, "The scattering of electrons by surface oxide charges and by lattice vibrations at the silicon-silicon dioxide interface," Surface Sci., vol.32, pp.561, 1972.
- [10] S.A.Schwarz and S.E.Russek, "Semi-empirical equations for electron velocity in silicon : part II - MOS inversion layer," IEEE Trans. Electron Devices vol.ED-30, pp.1634-1639, 1983.
- [11] H.-K.Lim and J.G.Fossom, "I-V characteristics of thin-film SOI MOSFET's in strong inversion," IEEE Trans Electron devices ,pp.401, 1984.
- [12] G.Masetti, M.Severi, and S.Solmi, "Modeling of carrier mobility against carrier concentration in arsenic-, phosphorus-, and boron- doped silicon," IEEE Trans. Electron Devices, vol. Ed-30, pp.764, 1983.
- [13] A.Hartstein, T.H.Ning, and A.B. Fowler, "Electron scattering in silicon inversion layers by oxide and surface roughness, "Surface Sci., vol.58, pp.178, 1976.
- [14] D. M. Caughey and R. E. Thomas, "Carrier mobility in silicon empirically related to doping and field," PROC IEEE, pp.2192, 1967.
- [15] S.M.Sze, "Physics of semiconductor devices," 2nd Edition.
- [16] Paolo Antegnetti, "Semiconductor device modeling with SPICE".
- [17] S.C.Sun and James D.Plummer, "Electron mobility in inversion and accumulation layers on thermally oxidized silicon surfaces," IEEE Trans. Electron Devices, vol. ED-27, pp.1497, 1980.
- [18] JAMES C.STURM, K.TOKUNAGA, and JEAN-PIERRE COLINGE, "Increased Drain Saturation Current in Ultra-Thin Silicon-on-Insulator (SOI) MOS Transistors," IEEE Electron Device Letters, vol. 9, No 9, pp.460, 1988.

著 者 紹 介

金賢哲(正會員) 第 29卷 A編 第 8號 參照
현재 인하대학교 전자공학과 박사
과정

羅俊暉(準會員)
1992年 인하대학교 전자공학과 졸업(공학학사).
1994年 인하대학교 대학원 졸업(공학석사). 1994年
~ 현재 금성일렉트론 연구원



金鐵城(終身會員)
1938年 6月 29日生. 1963年 2月
청주대학교 물리학과 졸업(이학
사). 1972年 3月(Keio)대학 계측
공학과(공학석사). 1979年 3月 경
응의숙대학 계측공학과(공학박
사). 1979年 ~ 현재 인하대학교
전자공학과 교수. 주관심 분야는 초미세 MOS 소자,
고속소자 등임.