

Hot electron에 의하여 노쇠화된 PMOSFET의 문턱전압과 유효 채널길이 모델링

(The Threshold Voltage and the Effective Channel Length Modeling of Degraded PMOSFET due to Hot Electron)

洪性澤*, 朴鍾泰*

(Seong Taik Hong and Jong Tae Park)

要約

Hot electron에 의하여 노쇠화된 PMOSFET의 문턱전압과 유효 채널길이를 위한 반 경험적인 모델을 제시하였다. 게이트 산화층에 포획된 전자는 게이트 전류 모델을 이용하여 계산하였으며 이를 이용하여 유효 채널의 길이를 계산하였다. 변화된 유효 채널의 길이는 문턱전압과 드레인 전류 변화와 같이 스트레스 게이트 전압의 함수이고 스트레스 시간과 log 함수 관계에 있음을 알 수 있었다. 측정된 데이터를 분석하여 제시된 문턱전압 변화와 유효채널길이 감소 모델을 초기 게이트 전류와 소자길이의 함수로 간단히 표시할 수 있었다.

Abstract

In this paper, semi empirical models are presented for the hot electron induced threshold voltage shift (ΔV_t) and effective channel shortening length (ΔL_{th}) in degraded PMOSFET. Trapped electron charges in gate oxide are calculated from the well known gate current model and ΔL_{th} is calculated by using trapped electron charges. ΔL_{th} is a function of gate stress voltage such as threshold voltage shift and degradation of drain current. From the correlation between ΔL_{th} and stress time, ΔL_{th} has a logarithmic function of stress time. From the measured results, ΔV_t and ΔL_{th} are function of initial gate current and device channel length.

1. 서론

소자의 크기가 sub 또는 deep submicrometer

레벨로 축소됨에 따라 NMOSFET 뿐만 아니라 PMOSFET에서 hot carrier로 인한 소자의 노쇠화는 더욱 심각하게 되었다. 특히 지금까지는 PMOSFET의 채널길이가 NMOSFET 보다 상대적으로 컸으므로 PMOSFET에서 hot carrier 현상에 의한 소자 노쇠화가 심각한 정도는 아니었으나 PMOSFET의 채널길이가 계속해서 축소되고 있는 현재로써는 PMOSFET의 노쇠화로 인한 집적회로에서의 신뢰도에 큰 영향을 미치게 되었고 앞으로 더 큰 영향을 미

*準會員, 正會員, 市立 仁川大學校 電子工學科
(Dept. of Elec. Eng., Incheon Univ.)

※ 본 연구는 과학재단 지원 핵심 연구과제
(#931-0900-026-2)로 수행되었음.

接受日字 : 1993年 12月 13日

치게 될 것이다.^[1-2]

PMOSFET에서 hot carrier로 인한 소자 노쇠화 메카니즘 및 노쇠화 모델링에 관한 많은 연구들이 발표되었다.^[3-4] PMOSFET의 소자 노쇠화 메카니즘은 드레인 부근에서 생성된 hot electron이 게이트 산화층에 주입되어 게이트 산화층에 포획되므로 채널의 수평전계를 저하시키고 이로 인하여 문턱전압이 양의 방향으로 변화하고 드레인 전류 및 상호전달콘덕턴스를 증가시킨다. 또한, 게이트 산화층에 포획된 전자의 양이 증가함에 따라 채널이 단채널화되어 유효 채널길이가 작아지게 되고 이로 인하여 hot electron으로 인한 punchthrough가 일찍 일어나게 될 것이다(HEIP).

노쇠화된 PMOSFET의 특성을 모델링하기 위하여 Park 등은 게이트 산화층에 포획된 전자로 인한 유효 채널길이의 단채널화 현상을 해석학적으로 모델링하여 소자의 노쇠화를 설명하고 있다.^[5] 그러나 이 방법은 hot electron으로 인한 단채널길이(ΔL_{H1})를 구하기 위한 해석학적 모델의 수식이 복잡하여 쉽게 ΔL_{H1} 를 예견할 수 없다.

본 연구에서는 PMOSFET의 노쇠화 변수인 ΔV_t 와 ΔL_{H1} 가 게이트 전류의 함수로 표시할 수 있음을 측정으로부터 알 수 있었으며 이를 바탕으로 ΔV_t 와 ΔL_{H1} 를 위한 반 경험적 모델을 제시하고자 한다. 그리고 측정의 조건 및 채널길이에 따라 PMOSFET의 소자 노쇠화를 분석하므로 앞으로 deep submicrometer 레벨에서 소자 노쇠화를 예측할 수 있게 하고자 한다.

II. PMOSFET의 소자 노쇠화 모델

PMOSFET의 드레인에 높은 전압을 인가하면 채널에서의 수평전계는 매우 크게되며 소오스로부터 가속된 hole이 드레인 부근에서 충격 이온화를 일으키게 된다. 이 충격 이온화로 인하여 EHP (Electron-Hole Pair)가 생성되고 이때 생성된 hole은 드레인으로 흐른다. 그리고 이때 생성된 electron은 대부분 기관전류를 형성하고 게이트 산화막과 기관사이의 전위장벽 보다 큰 에너지를 갖는 일부 전자가 게이트로 주입되어 게이트 산화층에 포획되거나 게이트로 흘러 게이트 전류를 형성하게 된다. 그림 1은 게이트 산화층에 포획된 전자와 이로인한 유효 채널길이 변화를 나타내기 위한 것이다. 게이트 산화층에 전자가 포획된 양 N_t 에 따라 채널의 최대 수평전계 E_m 및 채널의 속도포화영역 ΔL 이 변하게 된다. $N_t = 0$ 인 경우는 Ko 등의 결과로부터 최대 수평전계 E_m

및 채널의 속도포화영역 길이 ΔL 을 다음과 같이 쓸 수 있다.^[6]

$$E_m = \left[\frac{(V_{ds} - V_{dss})^2}{l^2} + E_{sat}^2 \right]^{1/2} \quad (1)$$

$$\Delta L = l \cdot \ln \left[\frac{(V_{ds} - V_{dsat})/l + E_m}{E_{sat}} \right] \quad (2)$$

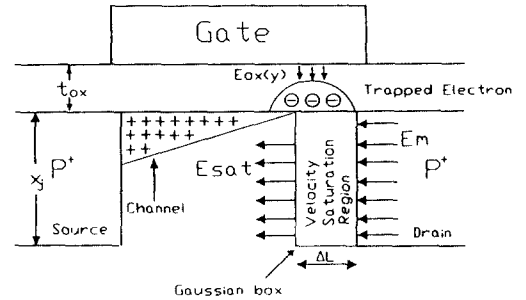


그림 1. 포화영역에서 노쇠화된 PMOSFET의 도식도

Fig. 1. Schematic diagram of degraded PMOSFET in the saturation region.

여기서 l 은 속도포화영역의 유효길이이다. 그러나 $|V_{ds}| > |V_{gs}|$ 조건의 스트레스가 인가된 후 게이트 산화층 내에 N_t 가 가우시안 함수를 갖는다는 가정을 이용하여 Park 등이 구한 최대 수평전계의 변화와 채널의 속도포화영역의 변화는 다음과 같다.^[5]

$$E_m = \left[\frac{(V_{ds} - V_{dss} - qN_t / C_{ox})^2}{l^2} + E_{sat}^2 - \left(\frac{qN_t}{lC_{ox}} \right)^2 \right]^{1/2} \quad (3)$$

$$\Delta L = l \cdot \ln \left[\frac{V_{ds} - V_{dss} + lE_m - qN_t / C_{ox}}{lE_{sat} - qN_t / C_{ox}} \right] \quad (4)$$

식 (3)과 (4)의 E_m 및 ΔL 을 구하기 위하여는 hot electron이 산화층에 포획된 N_t 양을 구해야 하는데 이는 스트레스 후의 게이트 전류 I_g 를 측정하여 이론적인 계산식 (5)의 I_g 와 비교하므로 근사적인 값을 추정할 수 있다.^[7]

$$I_g \cong 0.5 \frac{I_{sub} T_{ox}}{\lambda_r} \left(\frac{\lambda E_m}{\phi_b} \right)^2 P(E_{ox}) \exp \left(\frac{\phi_b}{E_m \lambda} \right) \quad (5)$$

여기서 $P(E_{ox})$ 는 계면 아래 영역에서 hot electron이 redirecting 충돌을 한 후 더 이상 충돌이 없이 Si/SiO₂ 계면까지 움직일 확률이고 λ_r 은

redirection 산란 평균자유행정이고 λ 는 hot electron의 산란 평균자유행정이다. ϕ_b 는 Si/SiO₂ 영상력과 전자터널링을 고려한 Si/SiO₂ 전위장벽 높이이다. 그런데 ΔL 은 스트레스를 가하기 전의 소자에서도 일정한 값을 갖게 되므로 스트레스 후의 ΔL 은 다음과 쓸 수 있다.

$$\Delta L = \Delta L_0 + \Delta L_H \quad (6)$$

여기서 ΔL_0 는 스트레스를 가하기 전의 속도포화영역의 길이이며 ΔL_H 는 hot electron에 의한 유효 채널길이의 단채널길이가 된다. 스트레스의 조건과 소자의 공정 조건에 따라 ΔL_H 가 서로 다른 값을 갖게 될 것이다. 결국 ΔL_H 는 PMOSFET의 노쇠화 변수가 될 것이며 ΔV_t 와 같이 게이트 전류를 관측함으로써 ΔL_H 의 값을 예견할 수 있을 것이다. Steven 등은 ΔV_t 를 초기 게이트 전류 I_g 의 함수로 다음 식과 같이 반 경험적 모델로 나타내었다.⁸

$$\Delta V_t = 2.5e^{0.5L} I_g^n \quad (7)$$

여기서 게이트 산화층 두께는 15nm이며 채널길이가 0.5 - 1.3 μ m인 소자인 경우 $m = -3$, $n = 0.3$ 의 상수 값으로 표시 하였다.

본 연구에서는 채널길이와 스트레스 전압의 조건에 따라 Steven 등이 제안한 식 (7)의 타당성을 검토하고 ΔL_H 를 식 (7)과 같이 게이트 전류 및 채널길이의 함수인 반 경험적 모델을 제시하고자 한다. 그러므로 초기 소자의 I_g 를 측정함으로써 노쇠화된 PMOSFET의 소자변수 ΔV_t 및 ΔL_H 를 간단히 구할 수 있게 된다.

III. 결과 및 고찰

본 연구에 사용된 매물 채널 PMOSFET는 n⁺ 다결정 게이트 표준 공정으로 제작되었다. 게이트 산화층 두께는 15nm이고 소오스-드레인 접합 깊이는 250nm, 유효 채널길이는 0.5 - 0.8 μ m이었다. 앞서의 논문들 처럼 포획된 전자는 가우시안 분포 $N_t = N_0 \exp [0.5(y-y_0)^2/\sigma^2]$ 를 갖는다고 가정하였다. 여기서 σ 와 y_0 는 드레인 접합에 관해서 0.15 μ m와 0.1 μ m이고 N_0 는 fresh 소자에 대해 약 $1 \times 10^{10} \text{cm}^{-2}$ 로 가정 한 초기 포획된 전자이다.^{7,9}

1. 문턱전압 변화와 게이트 전류의 상관관계
일반적으로 NMOSFET에서는 소자의 노쇠화 정

도를 기관 전류를 관측함으로써 알 수 있으나 PMOSFET에서는 게이트 전류를 관측함으로써 소자의 노쇠화 정도를 예견하고 있다. 그러나 PMOSFET에서 게이트 전류에 의한 방법이 아주 정확한 방법은 아니어서 BERT에서는 게이트 전류와 기관 전류의 적당한 비에 따라 노쇠화 정도를 표시하고 있다.¹⁰ 그렇지만 이 방법은 매우 복잡하며 스트레스 조건 및 소자의 변수에 따라 weighting ratio가 다르게 되므로 실제로 사용하기에 어려움이 있다. 본 연구에서는 얼마정도의 오차를 감수하면서 초기 I_g 에 의한 소자의 노쇠화 정도를 모델링 하였다.

그림 2는 ΔI_d , ΔV_t , 초기 게이트전류 I_g 와 스트레스 게이트 전압의 관계를 나타내었다. 스트레스 조건은 $V_{ds} = -6.8\text{V}$ 이며 V_{gs} 는 -0.5V 부터 -2.4V 까지이고 dc 스트레스 시간은 20분이었으며 유효 채널길이는 0.5 μ m이다. ΔV_t 는 $V_{ds} = -50\text{mV}$ 일때 $I_{ds} = W/L \times 0.1\mu\text{A}$ 가 흐르는 지점의 게이트 전압으로 정의 하였으며 측정은 $V_{gs} - \Delta V_t = -0.5\text{V}$, $V_{ds} = -0.5\text{V}$ 에서 행 하여졌다. 많은 다른 논문에서 언급된 것 처럼 최대 소자 노쇠화는 게이트 전류가 최대인 스트레스 전압 조건에서 나타나고 문턱전압의 양의 변화는 게이트 산화층에 전자가 포획되었음을 의미한다.^{11,12} 이 포획된 전자는 노쇠화된 소자의 I_g 와 I_{sub} 를 감소 시킨다.

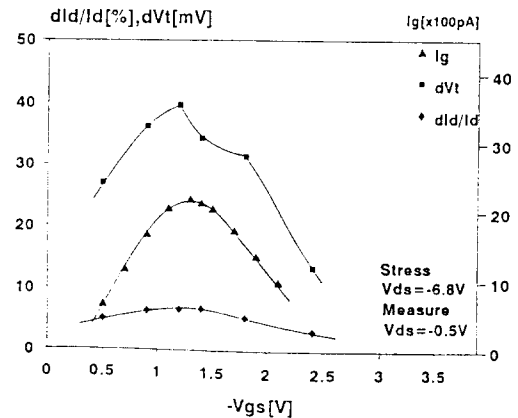


그림 2. 스트레스 게이트 전압에 따른 ΔI_d , ΔV_t , I_g , $L_{eff} = 0.5\mu\text{m}$

Fig. 2. $\Delta I_d/I_d$, ΔV_t , and I_g versus the stress gate voltage for $L_{eff} = 0.5\mu\text{m}$.

I_g 와 I_{sub} 의 감소는 최대 수평 채널전계의 감소가 원인인 포획된 전자 때문이다. E_m 의 감소는 캐리어의 에너지를 감소시킴으로써 노쇠화된 소자의 I_g 특성으로부터 포획된 전자의 근사적인 양을 추출할 수 있다. 그림 3은 fresh 소자와 노쇠화된 소자의 I_g 와 V_g 의

관계를 나타낸 것으로 실선과 점선은 노쇠화된 소자와 fresh 소자의 측정된 I_g 를 나타낸다. 사각형과 삼각형 마크는 식 (5)로 부터 이론적인 관계를 나타내고 그 값은 $N_t = 1 \times 10^{10} \text{cm}^{-2}$ 와 $N_t = 8.78 \times 10^{11} \text{cm}^{-2}$ 이다. 그림 3으로 부터 스트레스 시간과 스트레스 전압 조건에 따른 근사적인 N_t 를 예견할 수 있다. 또한 fresh 소자와 노쇠화된 소자의 I_g 의 peak가 약간 변화했음을 알 수 있다. 이것은 산화층을 가로 지르는 수직전계가 노쇠화된 소자에 대해 E_m 이 감소 했기 때문이다.

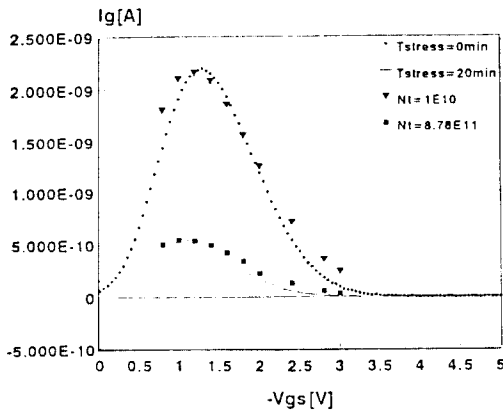


그림 3. 게이트 전압에 따른 측정된 게이트 전류와 계산된 게이트 전류
 측정된 데이터 : 점선, 실선. 계산된 데이터 : 마크

Fig. 3. The measured and the calculated gate current with gate voltage.
 lines : measured data, marks : calculated data.

그림 2로 부터 ΔV_t 는 I_g 의 함수로 표현할 수 있음을 의미하므로 그림 4에 ΔV_t 와 I_g 의 관계를 나타내었다. 그림 4로 부터 $\Delta V_t \propto I_g^{0.36}$ 관계로 나타낼 수 있는데 이때 n 은 상수로서 본 연구에서는 $n = 0.36$ 정도임을 알 수 있다. 채널의 길이에 관계없이 거의 일정함을 알 수 있으며 채널길이가 짧을 수록 ΔV_t 와 I_g 가 큰 것을 알 수 있다. 그림 5는 채널길이에 따른 ΔV_t 와 ΔI_d 를 나타낸 것으로 채널길이가 짧을 수록 ΔV_t 가 큰 것을 알 수 있다. 이것은 스트레스시 동일한 $V_{ds} = -6.8V$ 를 인가하였기 때문에 유효 채널길이가 짧을 수록 소자의 노쇠화가 많이 되었음을 의미한다. 그림 5로 부터 Steven 등의 연구결과와 같이 $\Delta V_t \propto e^{m \cdot L_{eff}}$ 로 표시할 수 있으므로 ΔV_t 를 L_{eff} 에 대한 지수함수로 표시한 결과 다음과 같은 관계를 구할 수 있었다.^[8]

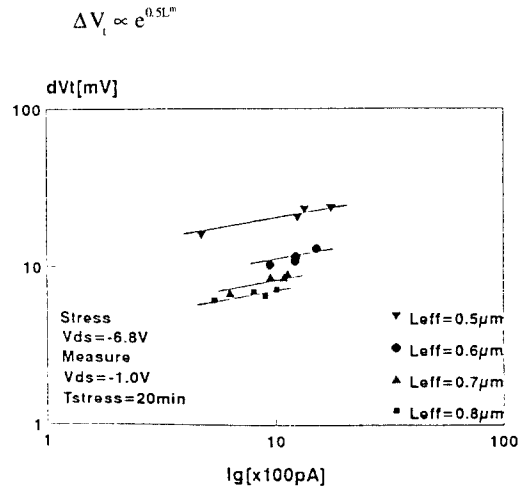


그림 4. ΔV_t 와 I_g 의 상관관계. 기울기 $n = 0.36$
 Fig. 4. Correlation between ΔV_t and I_g . The slope of lines is 0.36.

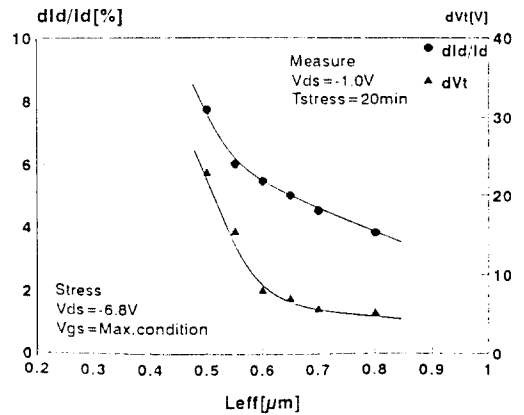


그림 5. ΔV_t 와 유효 채널길이의 상관관계. 기울기 $m = -2.8$

Fig. 5. Correlation between ΔV_t and effective channel length. The slope of curve is -2.8.

본 연구에서 상수 $m = -2.8$ 로써 Steven 등의 결과와도 유사하다. 그림 6은 스트레스 시간에 따른 ΔV_t 를 나타낸 것으로 스트레스 시간이 증가함으로 ΔV_t 는 증가하나 NMOSFET에서와 같이 power law 관계식을 만족하지는 않고 시간이 클 수록 약간 포화되는 현상이 일어남을 알 수 있다.^[13] 그림 6으로 부터 채널길이가 짧을 수록 ΔV_t 는 크지만 채널길이에 관계없이 스트레스 시간에 따른 문턱전압의 변화는

거의 일정한 것을 알 수 있다.

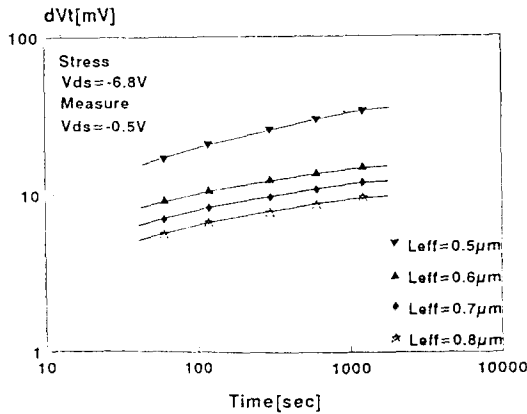


그림 6. 스트레스 시간에 따른 ΔV_t . $L_{eff} = 0.5 - 0.8\mu m$

Fig. 6. The variation in ΔV_t during stress time. $L_{eff} = 0.5 - 0.8\mu m$.

결국 그림 4와 5로부터 ΔV_t 는 I_R 및 L_{eff} 의 함수로 나타낼 수 있으므로 일반적으로 ΔV_t 는 다음과 같이 쓸 수 있다.

$$\Delta V_t = C e^{-0.51 \cdot m} I_R^n \quad (8)$$

여기서 C는 상수이며 공정조건과 소자의 변수에 따라 다른 값을 갖게된다. 식 (8)로부터 PMOSFET의 문턱전압의 특성 변화는 소자의 초기 전류만 측정함으로 관측이 가능함을 알 수 있다.

2. 유효 채널의 단채널화 길이와 게이트 전류의 상관관계

노쇠화된 소자의 드레인 전류의 증가는 게이트 산화층에 포획된 N_t 에 의한 유효 채널의 단채널화에 의하여 설명될 수 있으므로 스트레스의 조건과 소자의 변수에 따른 단채널 길이 ΔL_{ch} 의 특성을 분석하는 것은 큰 의미가 있다.^[14] 그림 7은 스트레스 시간에 따른 ΔL_{ch} 를 나타낸 것이다. 노쇠화된 소자의 측정은 $V_{ds} = -6.8V$, $V_{gs} = -1.2V$ 에서 하였으며 ΔL_{ch} 계산방법은 Park 등과 동일한 방법으로 하였다.^[15] 그림의 결과로부터 hot electron에 의한 유효 채널길이의 단채널길이 ΔL_{ch} 는 다음과 같이 쓸 수 있다.

$$\Delta L_{ch} \propto m \log(t + T)$$

Takeda 등은 $|V_{ds}| > |V_{gs}|$ 조건에서 스트레스를 가하면 산화층에 전자가 포획되고 이때에는 ΔL_{ch} 가 log

함수로 증가하며 $|V_{ds}| \approx |V_{gs}|$ 조건에서는 계면전하 생성에 의하여 ΔL_{ch} 와 스트레스 시간과의 관계가 power law 식을 만족하게 되는 것을 측정을 통하여 경험적으로 모델링 하였다. 본 연구에서는 $|V_{ds}| > |V_{gs}|$ 의 조건에서 스트레스를 인가 하였으므로 ΔL_{ch} 와 스트레스 시간과의 관계는 log 함수 관계를 갖게 되며 이것은 Takeda 등의 결과와도 일치하는 것이다.^[15] Takeda 등은 채널길이와 ΔL_{ch} 의 관계에 관한 분석은 없었으나 본 연구의 결과로부터 기울기 m값이 채널길이가 짧을수록 큰 값을 갖게되어 동일한 스트레스 드레인 전압에서 채널길이가 짧을수록 hot electron에 의한 소자의 노쇠화가 가속되는 것으로 생각되어 진다.

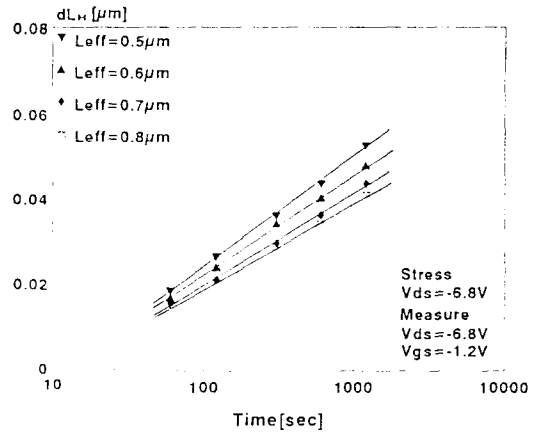


그림 7. 스트레스 시간에 따른 ΔL_{ch} . $L_{eff} = 0.5 - 0.8\mu m$

Fig. 7. The variation in ΔL_{ch} during stress time. $L_{eff} = 0.5 - 0.8\mu m$.

그림 8은 스트레스 게이트 전압에 따른 게이트 전류와 ΔL_{ch} 의 관계를 나타내었다. 스트레스 조건은 $V_{ds} = -6.8V$ 이고 V_{gs} 는 $-0.5V$ 부터 $-2.4V$ 까지이며 채널길이 $L_{eff} = 0.5\mu m$ 이며 스트레스 시간은 20분이었다. 그림 8로부터 게이트 전류가 최대인 지점에서 ΔL_{ch} 가 가장 큰 값을 가지며 V_{gs} 에 대한 I_R 의 곡선과 V_{gs} 에 대한 ΔL_{ch} 곡선은 모양이 비슷함을 알 수 있다. 즉 ΔL_{ch} 와 I_R 는 비례하는 관계가 있음을 알 수 있다. 이런 ΔL_{ch} 와 I_R 의 상관관계를 분석하기 위하여 그림 9에 I_R 와 ΔL_{ch} 의 관계를 나타내었다. 그림 9로부터 $\Delta L_{ch} \propto I_R^n$ 관계로 나타낼 수 있으며 상수 $n = 0.345$ 임을 알 수 있다. 그리고 n 값은 스트레스 시간에 관계없이 거의 일정한 값을 가지는 것을 알 수 있다. 이것은 앞의 그림 4에서 $\Delta V_t \propto I_R^n$ 의 관계를 갖는 것과 유사하다.

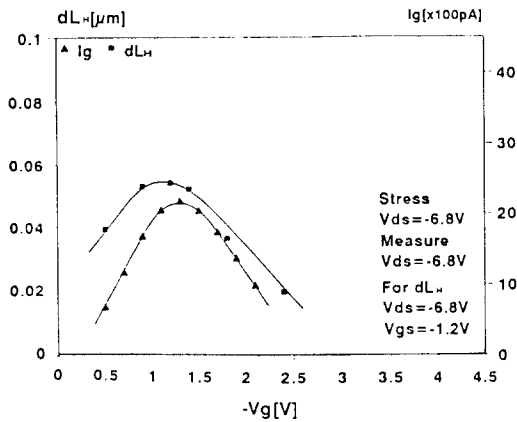


그림 8. 일정한 드레인 전압 인가시 스트레스 전압에 따른 ΔL_{th} , I_{gd} , $V_{ds} = -6.8V$, $T_s = 20min$, $L_{eff} = 0.5\mu m$
 Fig. 8. ΔL_{th} , I_{gd} , versus the stress gate voltage with constant drain stress voltage. $V_{ds} = -6.8V$, $T_s = 20min$, $L_{eff} = 0.5\mu m$.

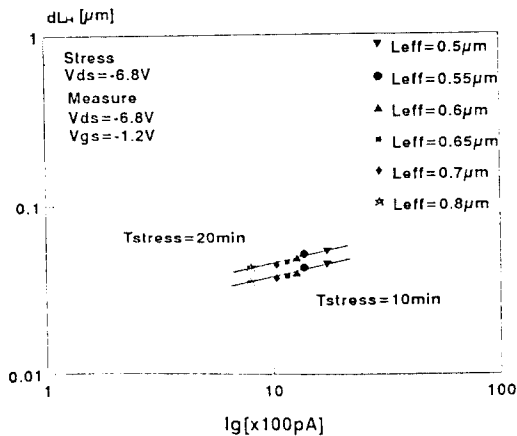


그림 9. ΔL_{th} 와 I_{gd} 의 상관관계 / 기울기 $n = 0.345$
 Fig. 9. Correlation between ΔL_{th} and I_{gd} . The slope of lines is 0.345.

그림 10은 채널길이에 따른 ΔL_{th} 를 나타낸 것으로 채널길이가 짧을 수록 ΔL_{th} 가 큰 것은 스트레스 드레인 전압이 일정했기 때문이다. 앞에서 ΔV_t 를 L_{eff} 함수로 나타낸 것과 같이 그림 10으로 부터 ΔL_{th} 를 L_{eff} 의 함수로 표시할 수 있을 것이므로 다음과 같이 반 경험적 근사 모델을 만들 수 있을 것이다.

$$\Delta L_{th} \propto e^{0.51m}$$

여기서 상수 $m = -1.15$ 을 알 수 있다. 그리고 그

림 10으로 부터 m 값은 스트레스 시간에 관계없이 거의 동일한 값을 갖는 것을 알 수 있다.

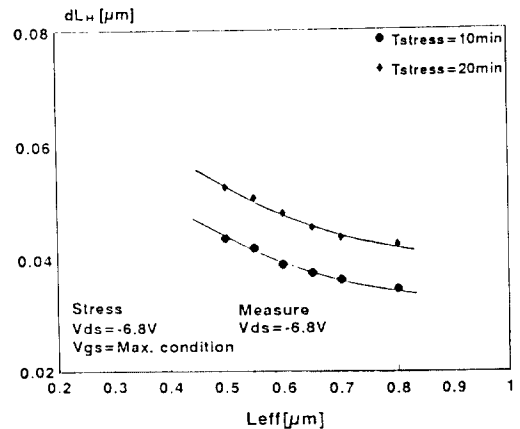


그림 10. ΔL_{th} 와 유효 채널길이의 상관관계 / 기울기 $m = -1.15$

Fig. 10. Correlation between ΔL_{th} and effective channel length. The slope of curves is -1.15.

결국 그림 9와 10으로 부터 ΔL_{th} 는 I_{gd} 및 L_{eff} 의 함수로 나타낼 수 있으므로 일반적으로 ΔL_{th} 는 다음과 같이 쓸 수 있게된다.

$$\Delta L_{th} = C e^{0.51m I_{gd}^n} \quad (9)$$

여기서 C 는 상수이며 식 (9)로 부터 노쇠화된 PMOSFET 유효 채널의 ΔL_{th} 는 소자의 게이트 전류만 측정함으로써 관측이 가능함을 알 수 있다.

IV. 결론

PMOSFET에서 hot electron에 의한 문턱전압 및 유효 채널길이를 위한 반 경험적인 모델을 제시하였다. ΔV_t 는 Steven 등의 결과와 같이 게이트 전류에 n 승에 비례하며 유효 채널길이가 짧을 수록 지수함수적으로 증가하는 것을 알 수 있었다.

Hot electron에 의한 유효 채널길이 감소 ΔL_{th} 는 스트레스 시간과 \log 함수의 상관관계가 있음을 알 수 있었다. 그리고 ΔV_t 와 같이 게이트 전류에 n 승에 비례하고 유효 채널의 길이가 짧을 수록 지수함수적으로 증가하는 것을 알 수 있었다.

본 연구에서 제안된 모델로부터 스트레스를 인가하기전의 소자의 게이트 전류만 측정함으로 소자의

노쇠화 변수인 문턱전압 변화 및 단채널 길이를 쉽게 간단히 추정할 수 있었고 특히 deep submicrometer 레벨 소자의 노쇠화 분석을 유효 채널길이를 이용함으로써 쉽게 분석할 수 있을 것이다.

参 考 文 献

- [1] W. Weber and F. Lau, "Hot Carrier in Submicrometer p-channel MOSFET's," IEEE Electron Devices Lett. vol. EDL-8, No. 5, pp. 208-210, 1987.
- [2] T. Tsuchiya and J. Frey, "Relationship Between Hot Electrons/Holes and Degradation of p- and n- channel MOSFET's," IEEE Electron Devices Lett. vol. EDL-6, No. 1, pp. 8-10, 1985.
- [3] F. Matsuoka, H. Iwai, H. Hayashida, K. Hama, Y. Toyoshima, and K. Maeguchi, "Analysis of Hot Carrier Induced Degradation Mode on PMOSFET's," IEEE Trans. Electron Devices vol. ED-37, No. 6, pp. 1487-1495, 1990.
- [4] A. Schwerin, W. Hansch, and W. Weber, "The Relationship Between Oxide Change and Device Degradation : A Comparative Study of n- and p-channel MOSFET," IEEE Trans. Electron Devices, vol. ED-34, No. 12, pp. 2493-2500, 1987.
- [5] J. T. Park, S. T. Hong, and B. R. Kim, "An Analytical Model for Hot Electron Induced Effective Channel Shortening Length in PMOSFET's," Submitted to IEEE Trans. Electron Devices.
- [6] P. K. Ko : *Advanced MOS Device Physics*, eds. N. G. Einspruch and G. S. Gildenblat (Academic Press, New York, 1989), P. 28.
- [7] K. S. Yang, J. T. Park, and B. K. Kim, "The Lateral Electric Field Model for Substrate and Gate Current of Stressed SC-PMOSFET," *Jpn. J. Appl. Phys.* vol. 32, Part 1, No. 18, pp. 429-433, 1993.
- [8] Steven W. Mittle and Michael J. Hargrove, "Hot Carrier Degradation in P-Channel MOSFET's," in IEEE/IRPS, pp. 98-102, 1989.
- [9] R. Mahnkopf, G. Przgrembel and H. G. Wagemann : *J. de Phys.*, 49 (1989) C4.
- [10] P. M. Lee, "Modeling and Simulation of Hot-Carrier Effects in MOS Devices and Circuits," Memorandum No. UCB/ERL M90/30, 30 April 1990.
- [11] T. C. Ong, P. K. Ko, and C. Hu, "Hot Carrier Current Modeling and Device Degradation in Surface-Channel p-MOSFET's," IEEE Trans. Electron Devices, vol. ED-37, No. 7, pp. 1658-1666, 1990.
- [12] T. Tsuchiya, Y. Okazaki, M. Miyake, and T. Kobayashi, "New Hot Carrier Degradation Mode and Lifetime Prediction Method in Quater-Micrometer PMOSFET," IEEE Trans. Electron Devices, vol. ED-39, No. 2, pp. 404-408, 1992.
- [13] C. Liang, H. Gaw, and P. Cheng, "An Analytical Model for Self-Limiting Behavior of Hot Carrier Degradation in 0.25 μ m n-MOSFET's," IEEE Electron Devices Lett. vol. ED-13, No. 11, pp. 569-571, 1992.
- [14] K. S. Yang, J. T. Park, and B. R. Kim, "An Analytical Model for Substrate and Gate Current of Stressed SC-PMOSFET in the Saturation Region," in Ext Abstracts of SSDM '92, pp. 164-166, 1992.
- [15] Reinout Woltjer, Akemi Hamada, and Eiji Takeda, "Time Dependence of p-MOSFET Hot-Carrier Degradation Measured and Interpreted Consistently Over Ten Orders of Magnitude," IEEE Trans. Electron Devices, vol. 40, No. 2, pp. 392-401, 1993.

著 者 紹 介



洪性澤(準會員)
 1968年 1月 7日生. 1993年 2月
 인천대학교 물리학과 (이학사).
 1994年 현재 동 대학원 전자공학과
 석사과정 재학중. 주관심 분야
 는 실리콘 소자 모델링 및 Reliability
 등임.

朴鍾泰(正會員) 第 29卷 A編 第 7號 參照
 현재 인천대학교 전자공학과 교수