

유화처리와 광CVD법 질화인막을 이용한 GaAs MISFET 특성

(Characteristics of Sulfide Treated GaAs MISFETs with Photo-CVD Grown P_3N_5 Gate Insulators)

崔奇煥*, 曹成奎*, 丁潤夏**

(Ki Hwan Choi, Seong Kue Jo and Yoon Ha Jeong)

要約

유화처리와 광CVD법 질화인막을 이용하여 GaAs MISFET를 제작하였다. 드레인 전류의 드리프트는 $1.0s \sim 1.0 \times 10^4s$ 의 주기 동안 22% 정도 감소하였으며, 실온에서 측정된 전계효과 이동도와 외인성 전달 컨덕턴스는 각각 $1300cm^2/V \cdot sec$ 와 $1.33mS$ 를 나타내었다. 또한, 유화처리시의 온도조건에 따른 영향을 알아보기 위하여, GaAs MIS 다이오드의 정전용량-전압특성과 AES 분석을 행하였다.

Abstract

GaAs MISFETs, with photo-CVD grown P_3N_5 gate insulator and sulfide treatment, have been fabricated and showed the instability of drain current reduced less than 22 percent for the period of $1.0s \sim 1.0 \times 10^4s$. The effective electron mobility and extrinsic transconductance of the device are about $1300cm^2/V \cdot sec$ and $1.33mS$ at room temperature. The C-V characteristics of GaAs MIS diode and AES analysis are also discussed with respect to effects of sulfide treatment conditions.

1. 서론

현재까지 다양한 게이트 절연막을 이용한 GaAs MISFETs(metal-insulator-semiconductor field effect transistors)소자가 제작되었지만, GaAs MIS구조의 계면에 존재하는 높은 계면준위밀도때문에 페르미 준위 피닝현상(Fermi energy level pinning)과 게이트 절연막 자체의 결함으로 인하여,

우수한 특성의 GaAs MISFET소자의 구현이 어려웠다.^[1, 2] 그러나, 최근 GaAs표면을 유화처리할 경우 계면준위밀도가 감소하게 되어, GaAs MIS소자의 전기적 특성이 향상된다는 여러 실험결과가 보고되고 있다.^[3, 4] 이는 유화처리를 함으로써, 계면준위의 주된 생성원인인 GaAs 표면의 자연산화막이 제거된 후, Ga_xS_y , As_xS_y 등의 단일층이 형성되어, 더 이상의 표면산화를 막는 불활성화작용(passivation effect) 때문이라고 설명되고 있다.^[5] 또한, 게이트 절연막 성장 공정에 있어서 V족원소의 강한 휘발성때문에, 고온공정이 어려운 화합물 반도체의 경우, 저온 광CVD법(photochemical vapor deposition technique)이

*準會員, **正會員, 浦項工科大学校 電子電氣工學科
(Dept. of Elec. Eng., POSTECH Univ.)
接受日字 : 1994年 2月 22日

열산화법이나 열 CVD법에 비교해서, 비교적 양호한 계면특성을 얻을 수 있으며, InP MISFET소자 제작에 있어서는 이미 응용되고 있다.^{6, 7)}

따라서, 본 논문에서는, 먼저 온도변화에 따른 절연막과 GaAs계면의 특성변화를 분석하여, 최적 유화처리 조건을 확립하고, 저온 절연막 성장 공정인 광CVD법으로 성장한 질화인막(P₃N₅ film)을 게이트 절연막으로 사용하여, GaAs MISFET소자를 제작한 후, 그 전기적 특성을 분석하였다.

II. GaAs 표면의 유화처리의 온도 의존성

GaAs기판 표면에 유화처리를 할 경우, 그 처리용액의 온도에 따른 GaAs표면의 자연산화막 제거 및 불활성화 효과의 변화를 알아보기 위하여 온도를 변화시켜 가면서, 유화처리 용액의 pH를 측정하고, 유화처리된 GaAs표면에 대한 AES(Auger electron spectroscopy) 분석 및 Al/ 질화인막/GaAs MIS다이오드를 제작하여, 처리온도에 따른 계면특성의 변화를 조사하였다.

1. AES(Auger electron spectroscopy) 분석

면방위 (100)인 undoped GaAs기판을 트리클로로에틸렌(trichloroethylene), 아세톤(aceton), 메탄올(methanol)의 순서로 유기세척한 후, (NH₄)₂S_x : H₂O (1:1)의 유화처리용액의 온도를, 25 C, 40 C, 50 C, 60 C로 각각 달리하여 각각 20분간 유화처리한 다음, GaAs표면을 AES분석하였다.

표 1. 유화처리된 GaAs 표면의 S/As와 O/A의 온도 의존성

Table 1. Temperature dependence of S/As and O/As and on sulfurized GaAs surface.

sulfur treatment temperature (℃)	Relative atomic concentration (%)	
	S / As	O / As
25	85.94	16.97
40	94.10	18.99
50	83.52	23.42
60	77.47	31.23
Untreated	0.0	56.59

표 1에 처리온도에 따른 GaAs표면의 O/As, S/As비를 나타내었다. 표에서 나타나는 바와 같이

유화처리를 한 경우 처리를 하지않은 경우에 비해 O/As 비가 상당히 작으며 이로부터 유화처리를 함으로써 GaAs표면의 자연산화막이 제거되었음을 볼 수 있었다. 유화처리온도가 증가함에 따라 GaAs표면의 O/As 비가 점차 증가하는 것을 알 수 있는데 이는 온도가 증가할수록 유화처리용액의 pH가 감소하게 되어 자연산화막의 제거가 둔화되기 때문이다. 또한 S/As 비가 40 C의 유화처리에서 가장 크게 나타나고 있는데 이것은 다른 온도에서 처리하는 것에 비해 가장 효과적인 GaAs표면의 불활성화 작용이 일어났음을 알 수 있다.

2. Al/질화인막/GaAs MIS 다이오드의 계면특성

GaAs기판의 유화처리의 온도의존성을 조사하기 위해, Al/질화인막/GaAs MIS다이오드를 제작하였다. 먼저 undoped GaAs 기판의 뒷면에, AuGe/Ni/Au의 순으로 열증착시킨 후, RTA(rapid thermal annealing)법으로, 450 C에서 30초간 열처리하여, 음접촉을 형성하였다. 각각 25 C, 40 C, 50 C, 60 C에서 20분간 유화처리를 한 후, 질소로 건조시켜, 곧바로 광CVD 반응관에 장착하였다.

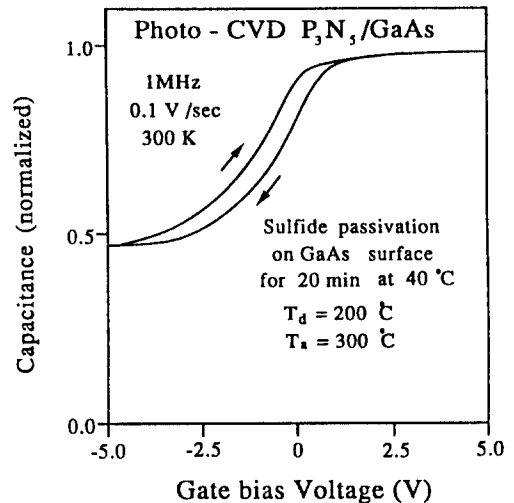


그림 1. 40 C에서 유화처리한 Al/질화인 GaAs MIS 다이오드의 고주파(1MHz) 정전용량 - 전압 특성

Fig. 1. High frequency(1MHz) C-V plots normalized by insulator capacitance for Al-P₃N₅-GaAs MIS diode(Sulfide passivated at 40 C for 20min).

질화인막을 성장하기 위한 원료가스로는, PCl₃(50

sccm)과 NH₃가스(100 sccm)를 사용하였고, 반응 여 기원으로는 185 nm의 파장을 갖는 저압 수은램프를 사용하였다. 광CVD법의 원리 및 자세한 공정내용은, 이미 보고한 바 있다.^[8] 절연막 성장온도는 200 C, 성장압력은 2 torr로 유지하였으며, 절연막의 증착이 끝난 후, 수소 분위기에서 300 C에서 5분간 in-situ 열처리 공정을 행하였다. 마지막으로 게이트 전극으로서 Al을 증착시킨 다음, 그 전기적 특성을 평가하였다. 그림 1은 40 C에서 유화처리를 한 MIS다이오드의 고주파 (1MHz) 정전용량-전압(C-V)특성곡선을 나타낸다. 용량값은 절연막 용량값(C_{ox} : 15.3nF/cm²)으로 표준화시켜 나타내었으며, 0.1 V/sec의 스위프율 (sweep rate)로 -5V에서 5V 까지 측정하였다. 히스테리시스 폭은 0.6V이었으며 캐리어 주입형(carrier injection type)의 특성을 나타내었다.

Terman 방법^[9]을 이용하여, 각각의 유화처리온도에 따른 계면준위밀도의 에너지갭 내 분포를 그림 2에 나타내었다. 40 C에서 유화처리를 한 경우 전도대로부터 0.35eV 떨어진 곳에서 4.3×10¹⁰ cm⁻² eV⁻¹의 최소 계면준위밀도를 얻을 수 있었다.

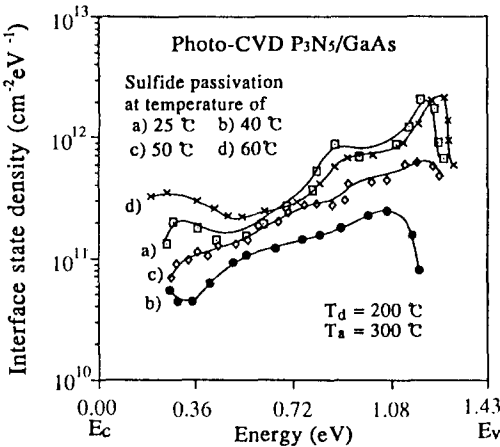


그림 2. Al/GaAs MIS 다이오드의 계면준위밀도
Fig. 2. Interface trap density of Al-P₃N₅-MIS Diode.

III. GaAs MISFET소자 제작 및 특성

AES분석 및 MIS다이오드의 특성으로부터 얻은 최적 유화처리조건을 이용하여, 게이트 내경과 외경이 각각 100μm, 200μm인 corbino-disc type GaAs MISFET소자를 제작 하였다.

그림3은 제작된 MISFET소자의 단면도를 나타내

며, 전체적인 제작공정은 그림4에 요약 하였다.

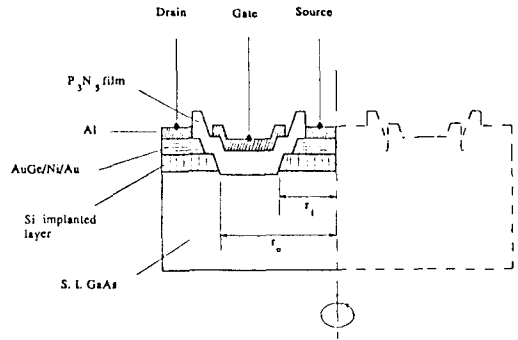


그림 3. Corbino disc type GaAs MISFET 소자 단면도

Fig. 3. Schematic cross-section view of a corbino-disc type GaAs MISFET.

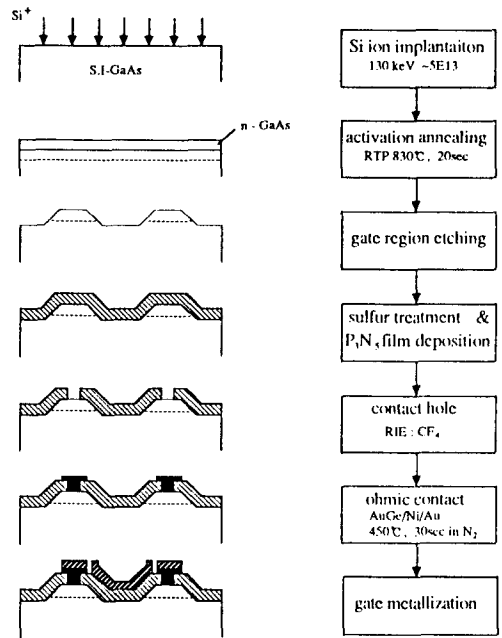


그림 4. GaAs-MISFET 소자 제작 공정도

Fig. 4. The flow diagram of GaAs-MISFET fabrication.

먼저 S.I. (Cr-doped) GaAs 기판의 전면에 Si 이온을 주입 시킨 다음 RTA법을 이용하여 주입된 이온을 활성화 시켰다. 전도채널을 형성하기 위하여 소오스와 드레인간의 영역을 약 0.3mm정도 에칭한 다음, 40 C에서 20분간 유화처리를 행하여 곧바로 계

이트 절연막으로써 질화인막을 약 1000 Å 정도 증착시켰다. CF₄가스를 이용한 건식 에칭법으로 접촉 홈(contact hole)을 형성한 후 AuGe/Ni/Au를 사용하여, 소오스와 드레인 전극을 형성하고, 게이트 금속으로 Al을 약 2000 Å 정도 증착시켜, MISFET소자를 완성하였다. 그림 5는 제작된 GaAs MISFET 소자의 드레인 전류-전압특성이다. 게이트 전압은 -1 V에서 1.5V까지 0.5V씩 증가시켰다. 이 특성은 -1 V의 문턱전압(threshold voltage)을 가지는 축적형(accumulation mode) MISFET의 동작을 나타내었으며, 발표된 GaAs MISFET특성과 비교해 볼때 작은 히스테리시스 및 우수한 선형성을 가지고 있다. ^[10] 선형영역에서의 전계효과 이동도는 약 1300 cm²/V·sec이고 외인성 전달컨덕턴스(extrinsic transconductance)는 1.33mS였다.

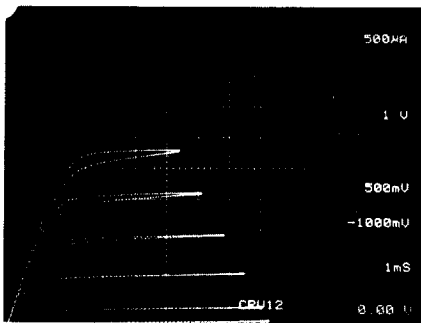


그림 5. 축적형 GaAs MISFET소자의 드레인 전류-전압 특성

Fig. 5. Typical drain current-voltage characteristics of umulation mode GaAs MISFET.

그림 6은 1.0s~1.0×10⁴s 주기동안의 드레인 전류 드리프트(drain curent drift)를 나타낸다. 실온(300K)에서 빛에 의한 캐리어의 발생을 억제하면서, 드레인 전압과 게이트 전압을 각각 4.0V, 0.5V 인가한 후 시간에 따른 드레인 전류의 변화를 측정하였다. 10⁴s 후의 드레인 전류는 초기치 전류(1670 mA)에 비해 22%정도 감소하였으며, 이러한 결과는 아직 발표되어 있지 않은 것으로 볼때 매우 우수한 결과로 생각된다. 즉, 유화처리조건의 최적화 및 광CVD법을 이용한 저온 게이트절연막 성장법이 GaAs MISFET소자의 특성 향상에 큰 역할을 한 것으로 생각된다.

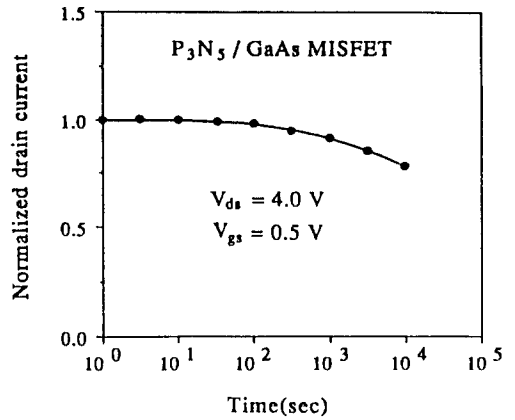


그림 6. 축적형 GaAs MISFET소자의 드레인 전류 드리프트

Fig. 6. The long-term drain current drifting behavior of accumulation mode GaAs MISFET.

IV. 결론

GaAs기판에 각각 온도를 달리하여, 유화처리를 행하여 AES 분석 및 MIS 다이오드의 계면특성으로부터, 유화처리효과의 온도 의존성을 조사하였으며, 저온에서 성장시킨 광CVD법 질화인막을 게이트 절연막으로 사용하여, 축적형 GaAs MISFET를 제작하였다.

AES분석 및 MIS다이오드의 계면특성분석 결과 40℃에서의 유화처리가 가장 효과적임을 알 수 있었으며, Terman방법을 이용하여 구한 MIS 다이오드의 계면준위분포는 전도대로부터 0.35eV떨어진 곳에서 4.3×10¹⁶cm⁻² eV⁻¹의 최소 계면준위밀도를 얻을 수 있었다. 40℃에서 유화처리한 후 제작한 축적형 GaAs MISFET의 전류-전압특성은 작은 히스테리시스와 우수한 선형성을 나타내었으며, 이 소자의 전계효과 이동도와 외인성 전달컨덕턴스는 각각 1300cm²/V·sec, 1.33mS 이었다. 드레인 전류 드리프트는 1.0s~1.0×10⁴s의 주기에서 초기치 전류의 22% 정도가 감소하였다.

감사의 글

이온주입공정을 도와주신 한국전자통신연구소 화합물 반도체 연구부 여러분께 깊은 감사를 드립니다. 이 연구는 서울대 반도체 공동연구소와 한국통신 장기기초연구의 지원에 의하여 수행되었으며, 감사의 뜻을 표합니다.

參考文獻

- [1] T. Sugano, F. Koshiga, K. Yamasaki and S. Takahashi, "Application of anodization in oxygen plasma to plasma to fabrication of GaAs IGFET's." *IEEE Trans. Electron Devices.*, vol. ED- 25, pp. 449, 1980.
- [2] T. Waho and F. Yanagawa, "A GaAs MISFET using an MBE-grown CaF₂ gate insulator layer." *IEEE Trans. Electron Devices.*, vol. EDL-8, no. 10, pp. 548, 1988.
- [3] J. F. Fan, H. Oigawa and Y. Nannichi, "The effect of (NH₄)₂S treatment on the interface characteristics of GaAs MIS structures." *Japan. J. Appl. Phys.*, vol. 27, pp. L1331, 1988.
- [4] A. S. Weling, K. K. Kamath and P. R. Vaya, "The effect of external excitation on the sulphur passivation of GaAs surfaces." *Thin Solid Films.*, vol. 215, pp. 179, 1992.
- [5] Y. Nannichi, J. F. Fan, H. Oigawa and A. Koma, "A Model to Explain the Effective Passivation of the GaAs Surface by (NH₄)₂S_x Treatment." *Japan. J. Appl. Phys.*, vol. 27, pp. L2367, 1988.
- [6] S. Takahashi, T. Nakada, K. Kami-mura, H. Zama, T. Hattori and A. Kunioka, "Preparation of thin silicon nitride layer by photo-CVD and its application to InP MISFET's." *Japan. J. Appl. Phys.*, vol. 26, pp. L1331, 1988.
- [7] Y. Hirota, T. Hisaki and O. Mikami, "Inversion-mode InP MISFET using a photochemical phosphorus nitride gate insulator." *Electron. Lett.*, vol. 21, pp. 690, 1985.
- [8] Y. H. Jeong, J. H. Lee, Y. H. Bae and Y. T. Hong, "Composition of phosphorus-nitride film deposited on InP surfaces by a photochemical vapor deposition technique and electrical properties of the interface." *Appl. Phys. Lett.*, vol. 57, pp. 2680, 1990.
- [9] L. M. Terman, "An investigation of surface states at silicon/silicon oxide interface employing metal-oxide-silicon diodes." *Solid-State Electron.*, vol. 5, pp. 285, 1962.
- [10] S. Tiwari, S. L. Wright and J. Batey, "Unpinned GaAs MOS capacitors and transistors." *IEEE Electron Device Lett.*, vol. EDL-9, no. 9, pp. 488, 1988.

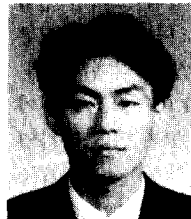
著者紹介



崔奇煥(準會員)

1970年 1月 6日生. 1992年 2月
한양대학교 전자공학과 졸업.
1994年 2月 포항공과대학교 전자
전기공학과 석사학위 취득. 1994
年 3月 ~ 현재 삼성전자(주) 메모
리사업본부 메모리설계팀 연구원.

주관심 분야는 GaAs계열 반도체소자공정개발, non-volatile-memory설계및 모델링 등임.



曹成奎(準會員)

1971年 3月 15日生. 1993年 2月
경북대학교 전자공학과 졸업.
1993年 3月 ~ 현재 포항공과대학
교 전자전기공학과 석사과정 재학
중. 주관심 분야는 GaAs및
InPMSFET소자공정개발, 광

CVD법에 의한 절연막성장 등임.

著 者 紹 介



丁 潤 夏(正會員) 第 29卷 第 4號

參照

현재 포항공과대학교 전자전기

공학과 부교수