

급속열처리에 의한 TiN/TiSi₂ 이중구조막을 이용한 submicron contact에서의 전기적 특성

(The Electrical Properties of TiN/TiSi₂ Bilayer Formed
by Rapid Thermal Anneal at Submicron Contact)

李鐵眞*, 成萬永**, 成英權**

(Cheol Jin Lee, Man Young Sung and Yung Kwon Sung)

要約

실리콘 기판위에 Ti 막을 스퍼터링방법으로 퇴적시킨 후, 암모니아 분위기에서 급속열처리시켜 형성한 TiN/TiSi₂ 이중구조막에 대한 N' contact과 P' contact에서의 전기적 특성을 평가하였다. N' contact 저항은 급속열처리온도가 증가함에 따라서 약간 증가하였으나 P' contact 저항은 감소하는 경향을 나타냈다. 0.5X0.5[μm^2] contact에서 N' contact 저항은 24[Ω] 이하를 나타냈고, P' contact 저항은 40-88[Ω]을 나타냈다. 급속열처리온도가 증가함에 따라서 N' contact과 P' contact은 둘다 누설전류 특성이 저하되었으며, N' contact의 누설 전류값은 0.06[fA/ μm^2] 이하 이고, P' contact은 0.11-0.15[fA/ μm^2]로서 P' contact이 N' contact보다 높았다. Junction 파괴전압은 열처리온도가 증가함에 따라서 N' Junction은 일정 하였지만 P' Junction은 약간 감소하였다. 한편 1단계 열처리보다는 2단계 열처리에 의한 이중구조막의 전기적 특성이 더 우수한 것을 나타냈다. 암모니아 분위기에서 급속열처리에 의해 형성시킨 TiN/TiSi₂ 이중구조막은 ULSI contact의 barrier layer로 사용 가능함을 알 수 있었다.

Abstract

The electrical properties of TiN/TiSi₂ bilayer formed by rapid thermal anneal in NH₃ ambient after the Ti film is deposited on silicon substrate are investigated. N' contact resistance slightly increases with increasing annealing temperature while P' contact resistance decreases. The contact resistance of N' contact was less than 24[Ω] but P' contact was 40-88[Ω] at 0.5X0.5[μm^2] contact. The leakage current of P' contact is higher than that of N' contact but the leakage current indicates degradation of the contact at high annealing temperature for both N' and P' contacts. The leakage current of N' junction was less than 0.06[fA/ μm^2] but P' contact was 0.11-0.15 [fA/ μm^2].

The junction breakdown voltage for N' junction remains constant with increasing annealing temperature while P' junction slightly decreases. The electrical properties of a two step annealing are better than that of one step annealing. The TiN/TiSi₂ bilayer formed by RTA in NH₃ ambient reveals good electrical properties to be applicable at ULSI contact.

*正會員, 群山大學校 電氣工學科
(Dept. of Elec. Eng., KunSan Univ.)

** 正會員, 高麗大學校 電氣工學科

(Dept. of Elec. Eng., Korea Univ.)

接受日字 : 1993年 5月 23日

I. 서 론

오늘날 반도체소자의 집적도가 크게 증가함에 따라 소자의 크기와 contact의 크기는 submicron으로 감소하게 되어 ULSI 시대에서의 contact 재료와 그 형성기술에 대한 과제가 크게 대두되고 있다. Al-Si 막을 submicron contact에서 전극재료와 금속 배선 막으로 사용할 때 나타나는 junction spike¹⁾와 silicon nodule 현상²⁾을 해결하기 위한 방안으로 DC sputtering 방법에 의해 TiN막과 Ti막을 이중구조로 contact에 퇴적시켜 형성한 TiN/Ti 구조의 barrier metal 공정의 적용이 시도되었다.³⁾⁴⁾

그러나 TiN/Ti 구조의 barrier metal은 junction spike와 silicon nodule 현상을 해결하는데 효과적이지만, 반면에 다층구조의 금속막을 sputtering 방법으로 퇴적시키기 때문에 shadow effect에 의해 막의 step coverage가 나빠지고, 아울러 sputtering에 의한 TiN막은 조성비를 정확하게 제어하기가 어렵다. 또한 contact hole을 형성할 때 플라즈마 또는 RIE(reactive ion etch) 건식식각에 의한 실리콘기판의 손상과 실리콘기판에 형성되는 자연 산화막(native oxide)에 의해 Ti-Si 계면이 불안정하게 되는 현상이 발생하였다.⁵⁾⁶⁾ 따라서 상술한 바와같은 문제점을 극복하고 우수한 contact barrier metal 공정을 확립하기 위한 방안으로서 양호한 barrier 특성을 갖는 TiN이나 TiW등을 barrier layer로, 또한 낮은 저항의 확산층과 안정된 계면의 형성이 가능한 저저항 실리사이드인 TiSi₂나 WSi₂등을 ohmic layer로 적용하여 contact barrier layer로 사용하는 방법이 검토되어 왔으나 그중에서도 TiN/TiSi₂ 구조가 큰 주목을 받게 되었다. TiSi₂막은 25[$\mu\Omega\cdot\text{cm}$]의 낮은 비저항을 갖고 있을 뿐만아니라 사방형(orthorhombic) 구조를 갖는 열화학적으로 안정한 물질이며, 산화막이나 실리콘기판과 접착력이 우수하고 아울러 실리콘기판에 대한 ohmic 특성이 우수하므로 ohmic layer로서 사용이 기대되고 있다. 따라서 contact에서의 전기적 특성과 barrier 특성을 개선시키기 위한 방안으로써, TiN/TiSi₂ 이중구조막을 금속열처리에 의해 형성시키는 방법이 검토되었다.⁷⁾⁸⁾⁹⁾

저자들은 step coverage 개선과 안정된 조성비를 갖는 TiN막의 형성 그리고 안정된 계면의 형성을 위한 방안으로서 TiN/TiSi₂ 이중구조막을 NH₃ 분위기에서 금속열처리에 의해 동시에 형성시켜 초고집적 반도체소자의 contact barrier layer로 적용하는 방법을 연구해왔다. 이러한 연구에 대한 결과로서

TiN/TiSi₂ 이중구조막의 경합반응에 있어서 열처리 온도 특성과 실리콘기판에 주입된 BF₂ 불순물 원자에 의한 특성과 2단계 열처리 특성 그리고 Ti-Si 계면에 존재하는 산화막에 따른 특성을 평가하고 아울러 각각의 막에 대한 제반 특성을 고찰하여 이미 보고한 바 있다.¹⁰⁾¹¹⁾¹²⁾

한편 TiN/TiSi₂ 이중구조막을 금속열처리로 형성시켜 경합반응 특성과 구조적 특성을 평가하는 연구는 외국에서도 많이 진행되었으나⁷⁾⁸⁾⁹⁾¹³⁾¹⁴⁾¹⁵⁾ submicron contact에서의 전기적 특성에 대한 발표는 별로 없는 실정이다. 그러나 이러한 TiN/TiSi₂ 이중구조막을 실제로 초고집적 반도체소자에 적용하기 위해서는 전기적 특성에 대한 평가가 매우 중요하게 대두되므로, 본 논문에서는 앞서 언급한 여러가지 조건에 따른 TiN/TiSi₂ 경합반응의 특성과 각각의 막에 대한 분석 결과를 토대로하여, TiN/TiSi₂ 이중구조막을 고집적 반도체소자의 submicron contact에 실제로 적용하여 N' junction과 P' junction 각각에 대한 contact 저항과 contact 누설전류 그리고 junction 파괴전압 특성을 고찰함으로써 초고집적 반도체소자의 contact에 대한 응용 가능성을 평가하였다.

II. 실험방법

금속열처리에 의해 형성시킨 TiN/TiSi₂ 이중구조막의 전기적 특성을 평가하기 위한 시료제작은 초고집적 반도체소자 제조공정을 이용하였으며, 이것에 대한 공정 순서도를 그림 1에 나타냈다. 먼저 비저항이 18-20[$\Omega\cdot\text{cm}$]인 P형(100) 실리콘기판에 N-well을 형성시킨 후, 얇은 산화막과 질화막을 이중구조로 형성시키고 나서 사진식각공정을 이용하여 active 영역을 정의시켰다. 이어서 field oxidation을 시켜 active 영역을 서로 분리시킨 다음 active 영역위에 존재하는 질화막을 제거시키고 나서 active 영역에 N' junction과 P' junction을 형성시키기 위한 사진공정을 진행하였다. 그리고 나서 N' junction은 As 이온 dose가 5.0E15[ions/cm²]인 조건에서 에너지를 40[keV]로 하여 실리콘기판에 이온주입시켜 형성하였으며, 또한 P' junction은 BF₂ 이온 dose 5.0E15[ions/cm²]를 50[keV]에너지로 주입시켜 실리콘기판에 형성시켰다. 한편주입시킨 불순물 원자들은 확산로를 사용하여 950[°C]에서 60분동안 N₂ 분위기로 열처리하여 활성화시켰다. 그리고 나서 CVD 산화막을 500[nm] 퇴적시킨 후 사진식각공정을 이용하여 active 영역에 0.5x0.5[μm^2] 크기의 contact hole을 형성시켰다. 이어서 100:1 HF 용액에서 45초 동안 습식식각을 실

시하여 contact hole의 실리콘 표면위에 형성된 자연 산화막을 제거시킨 후, sputter를 사용하여 Ti막을 50[nm], 70[nm], 90[nm] 퇴적시켰다. Ti막은 chamber를 10^{-7} [Torr]의 진공으로 만든 후, Ar가스를 120[sccm]으로 공급하여 chamber 압력을 7 [mTorr]로 유지시킨 후, 상온에서 DC power를 2 [kw]로 인가하여 퇴적시켰으며, 퇴적율은 180[nm/min]이었다. 이어서 RTA 장치를 사용하여 600 [°C], 700[°C], 800[°C] 온도에서 NH₃ 분위기로 30 초 동안 급속열처리를 실시하여 TiN/TiSi₂ 이중구조막을 동시에 형성시켰다. 급속열처리 조건은 반응로내에 시료를 넣고나서 반응로를 진공으로 만든 후 이어서 NH₃ 가스를 반응로에 공급하여 대기압으로 유지한 후, 할로겐 램프에 의한 열처리를 실시하였다. 이때 온도상승율은 50[°C/sec]으로 조절하였다. 한편 2 단계 열처리방법은 1차 열처리를 600[°C]에서 NH₃ 분위기로 30초 동안 실시한 후, 이어서 2차 열처리를 800[°C]에서 NH₃ 분위기로 30초 동안 실시하였다. 그리고나서 sputter를 사용하여 Al-1%Si막을 800 [nm] 퇴적시켜 Al/ TiN/TiSi₂ 구조를 만든 후, 사진식각공정을 이용하여 Al/TiN/TiSi₂ 구조인 복합급속막의 패턴을 형성시킨 다음, 확산로를 사용하여 400 [°C]에서 N₂ 분위기로 30분 동안 열처리를 실시함으로써 안정된 contact을 형성시켰다.

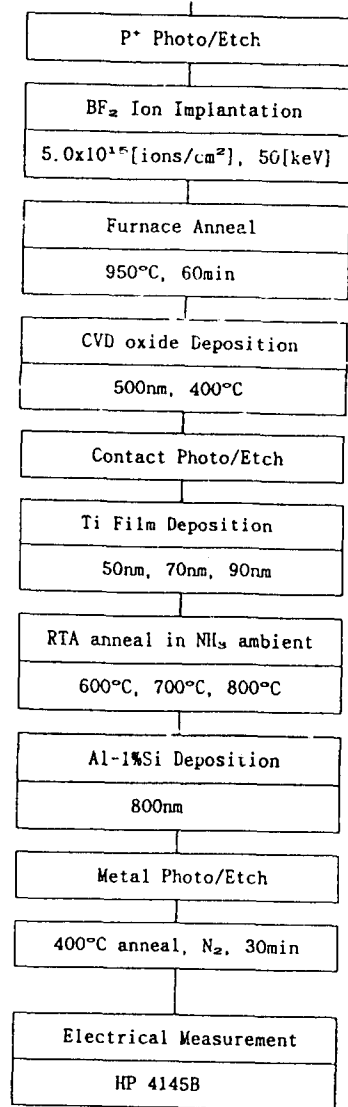
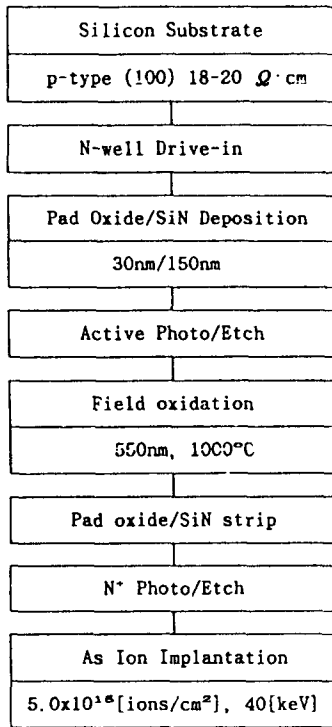
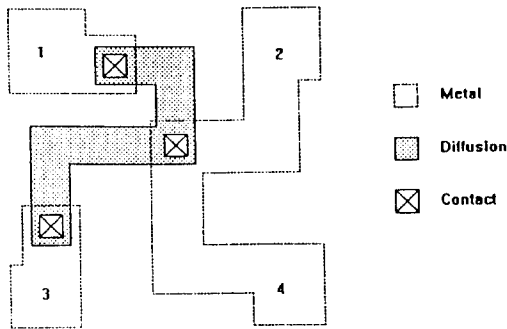


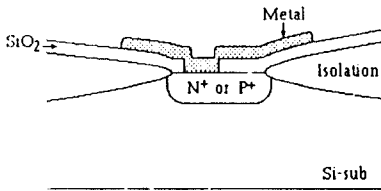
그림 1. TiN/TiSi₂ 이중구조막의 전기적 특성평가에 대한 공정 순서도
Fig. 1. Process flow chart of TiN/TiSi₂ bilayer for the electrical properties.

한편 TiN/TiSi₂ 이중구조막을 barrier metal로 사용한 contact에서의 전기적 특성을 평가하기 위하여 0.5 micron 크기의 미세가공이 가능한 반도체 제조공정을 이용하였다. contact 저항 특성은 contact의 크기가 0.5X0.5[μm²]인 Kelvin pattern에서 측정된 100개 contact에 대한 평균값으로 평가하였고, contact 누설전류 특성은 크기가 250X400[μm²]인

active의 면적위에 300개의 contact을 형성시킨 후, -5[V]의 전압을 인가하여 300개 contact에서의 누설전류값에 대한 평균치를 측정하여 평가하였다. 한편 junction 파괴전압은 contact 누설전류 평가를 위한 것과 동일한 패턴에서 역방향전압을 인가하여 양단 간에 흐르는 전류가 10[μ A] 이상인 경우를 파괴 전압으로 규정하였다. 그림 2에 contact resistance를 평가하기 위한 Kelvin pattern을 나타냈고, 그림 3은 contact 누설전류와 junction 파괴전압의 측정을 위한 pattern을 보여주고 있다. 앞서 언급한 contact의 전기적 특성은 HP 4145B(parameter analyzer)를 사용하여 측정하였다.



(a)



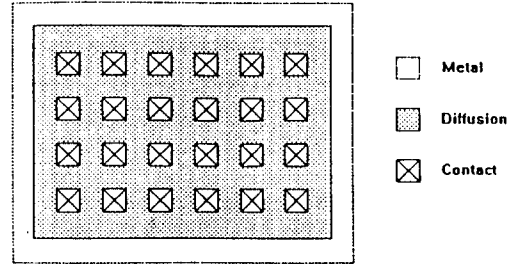
(b)

그림 2. contact 저항을 측정하기 위한 Kelvin pattern. (a)평면도 (b)단면도

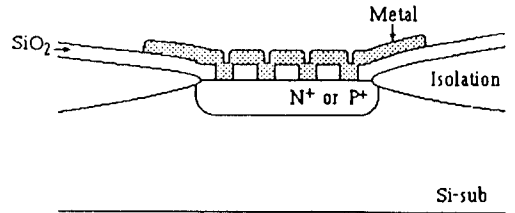
Fig. 2. Kelvin pattern for measurement of contact resistance (a)top view (b) vertical structure.

Ⅲ. 결과 및 고찰

반도체소자의 전기적 특성과 신뢰성에 큰 영향을 미치는 contact에서 실리콘기판과 금속 배선막사이에 안정된 계면을 만들어 우수한 전기적 특성을 확보



(a)



(b)

그림 3. contact 누설전류와 junction 파괴전압의 측정 test pattern(a)평면도 (b)단면도

Fig. 3. Test patterns for the contact leakage current and junction breakdown voltage (a)top view (b)vertical structure.

하기 위한 방안으로써, 금속열처리에 의한 TiN/TiSi₂ 이중구조막을 contact barrier layer로 사용하여 Al-Si/TiN/TiSi₂/Si 구조를 형성시킨 후 N⁻ junction과 P⁻ junction에서의 contact 저항과 contact 누설전류 그리고 junction 파괴전압에 대하여 평가하였다. 이때 N⁻ junction은 실리콘기판에 As 불순물 이온 5E15[ions/cm²]를 40[KeV]로 주입시킨 후, 950[°C]에서 60분간 N₂ 분위기로 열처리를 하여 형성시켰으며, junction 깊이는 0.2[μ m]이고 junction의 면저항은 55[ohm/sq]이었다. 한편 P⁻ junction은 실리콘기판에 BF₂ 불순물 이온 5E15 [ions/cm²]를 50[KeV]로 주입시킨 후, 950[°C]에서 60분간 N₂ 분위기로 열처리하여 형성시켰으며, P⁻ junction 깊이는 0.4[μ m]이고 junction의 면저항은 48 [ohm/sq] 이었다.

그림 4는 TiN/TiSi₂ 이중구조막을 contact

barrier layer로 사용한 금속배선막에 대한 N⁻ junction의 contact 저항 특성을 나타내고 있다. 이때 contact의 구조는 Al/TiN/TiSi₂/N⁻이고 contact 저항값은 0.5x0.5Ω[μm²] 크기의 contact에서 Kelvin pattern을 사용하여 평가하였다.

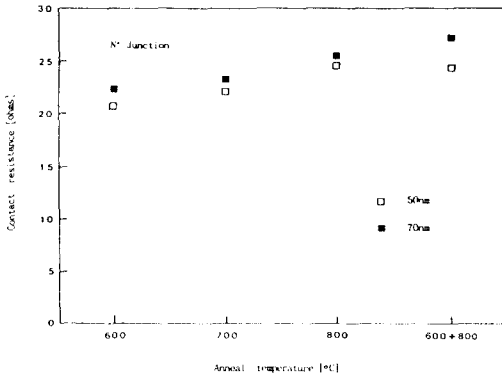


그림 4. N⁻ junction 에서 급속열처리 온도에 따른 TiN/TiSi₂ 이중구조막의 contact 저항 특성. Ti 막의 두께는 50nm와 70nm임

Fig. 4. Characteristics of contact resistance dependent on RTA temperature for TiN/TiSi₂ bilayer at the N⁻ junction. Deposited Ti film is 50nm and 70nm, respectively.

앞서 언급된 결과에서도 보여지듯이 열처리온도가 높을수록 형성되는 실리사이드막의 두께가 증가하고 아울러 불순물의 확산계수가 증가하는 것으로 알려져 있다.^[16] 또한 TiSi₂막에서의 As 불순물 원자의 고용도는 800[°C]에서 2x10²⁰[atoms/cm³] 정도로 크기 때문에 SIMS 분석에 의하면 열처리 후에 다량의 As 원자가 TiSi₂막 내부에 존재하는 것으로 알려져 있다.^[17] 따라서 열처리온도가 증가할수록 TiSi₂막 내부로 실리콘 기판에 존재하는 As 원자의 이동이 증가하게 되어 결국 실리콘기판의 표면에는 As 원자의 불순물 농도가 감소하게 되므로 contact 저항이 증가하게 된다.

그림 4에 의하면 퇴적된 Ti막의 두께가 두꺼울수록 contact 저항이 높고 또한 TiN/TiSi₂ 이중구조막의 형성 열처리온도가 증가할수록 contact 저항이 증가하게 된다. 이것은 형성되는 실리사이드막의 두께가 두꺼울수록 실리사이드막내에 포함되는 불순물 원자가 증가하고 또한 열처리온도가 높을수록 As 불순물 원자의 재분포가 활발하게 일어남으로서 나타나는 결과이다.

N⁻ junction에서의 contact 저항은 Ti막 두께가

50[nm]인 경우에 24[Ω] 이하의 작은 값을 보여주고 있는데 이것은 Okamoto등의 연구 결과인 28-35 [Ω]에 비해서도 양호한 특성을 나타내며^[9] 아울러 TiN/Ti 구조의 30[Ω] 보다 약간 낮은 값을 나타내는 것으로서 초고집적 반도체소자에 적용될 경우 양호한 contact 특성을 나타낼 것으로 기대된다. 한편 600[°C]와 800[°C]에서 2단계 급속열처리를 실시할 경우에는 800[°C]의 1단계 열처리에 비해 약간 낮은 저항값을 나타낸다.

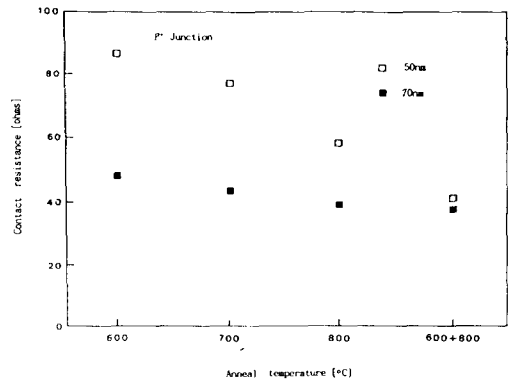
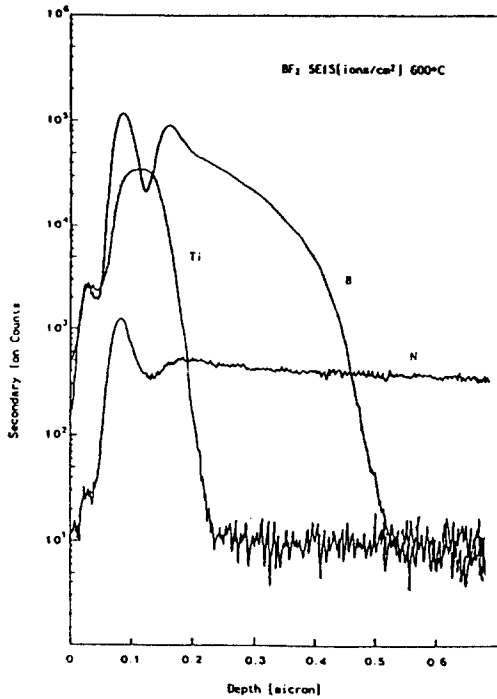


그림 5. P⁻ junction 에서 급속열처리 온도에 따른 TiN/TiSi₂ 이중구조막의 contact 저항특성. Ti 막의 퇴적 두께는 50nm 와 70nm임

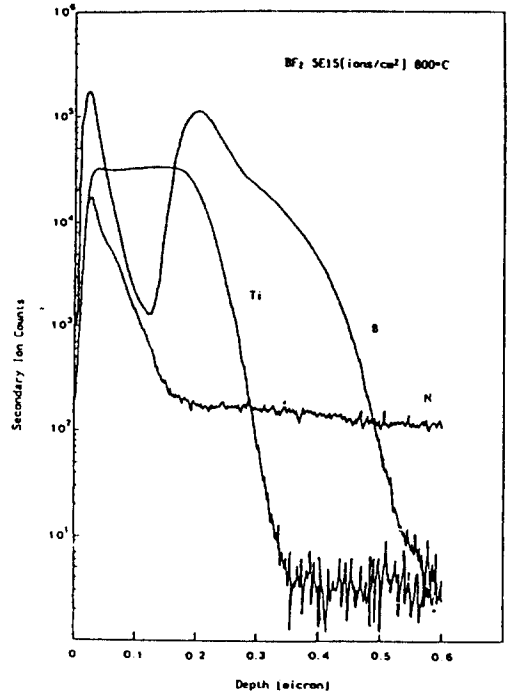
Fig. 5. Characteristics of contact resistance dependence on RTA temperature for TiN/TiSi₂ bilayer at the P⁻ junction. Deposited Ti film is 50nm, and 70nm, respectively.

P⁻ junction에서의 contact 저항에 대한 열처리온도 의존성을 그림 5에 나타냈다. N⁻ junction과는 반대로 열처리온도가 증가할수록 contact 저항값이 감소하는 현상을 보여준다. TiN/TiSi₂ 이중구조막의 형성과정에서 실리사이드막 내부에 존재하는 boron 원자는 TiSi₂막에서의 고용도가 800[°C]에서 <10¹⁸ [atoms/cm³] 정도로 낮기 때문에, TiSi₂막 내부로부터 이동하여 TiN막 내부와 TiSi₂-Si 계면에 축적(pile-up)되는 특성을 나타낸다.^[18] 이때 계면에 축적되는 boron 원자의 농도는 열처리온도가 높을수록 증가하는 것을 그림 6에 나타낸 SIMS 분석결과로 확인할 수 있었다. 그림 6은 BF₂ 이온이 BF₂ 불순물 이온이 5E15[ions/cm²] 주입된 실리콘기판위에 Ti 막을 70[nm] 퇴적시킨 후 암모니아 분위기에서 급속 열처리로 30초 동안 열처리하여 형성시킨 TiN/TiSi₂

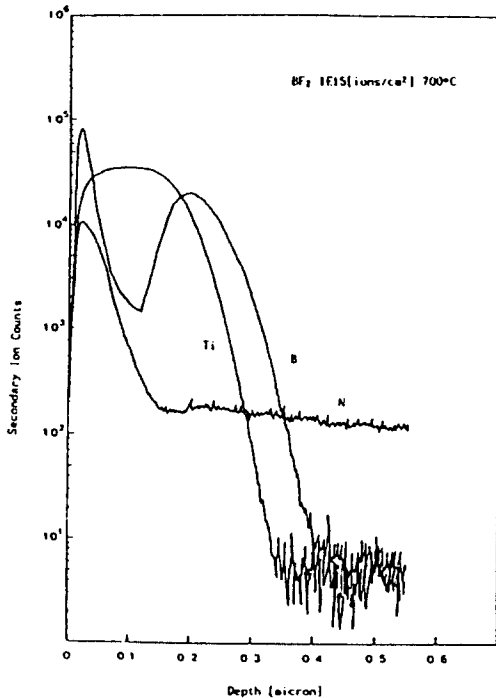
이중구조막에 대한 SIMS 분석결과를 나타낸 것이다.



(a) 600°C



(c) 800°C



(b) 700°C

그림 6. 열처리 온도에 따른 TiN/TiSi₂ 이중구조막의 SIMS Profile. 70nm Ti 막을 NH₃ 분위기에서 30초동안 열처리시킴 (a) 600°C (b) 700°C (c) 800°C

Fig. 6. SIMS Profiles for TiN/TiSi₂ bilayer as a function of annealing temperature. 70nm Ti films annealed by RTA in NH₃ ambient for 30 sec. (a) 600°C (b) 700°C (c) 800°C

결국 TiN/TiSi₂ 이중구조막의 형성 열처리온도가 증가하면 실리콘기판에서 boron 원자의 표면농도가 증가함에 기인하여 contact 저항은 감소하게 된다. P' junction의 경우에는 퇴적된 Ti막의 두께가 두꺼울수록 contact 저항이 크게 감소하는 것을 보여주며 N' junction과는 달리 낮은 온도에서도 그 차이가 큰 것을 알 수 있다.

이러한 특성은 이미 알려진 것처럼 N' junction에 비하여 P' junction에서 실리사이드 반응속도가 빠르기 때문에 형성되는 실리사이드막의 두께가 더 증가하는 사실과 잘 일치하고 있다.^[19] 실리사이드막의 두께가 증가할수록 더 많은 Si 원자를 실리사이드 반응

에 소모시켜 결과적으로 TiSi₂-Si 계면에서 더 높은 불순물 농도를 유지하게 되므로 contact 저항은 감소하게 된다. 낮은 온도에 비해서 높은 온도에서 Ti막 두께에 따른 contact 저항값의 차이가 감소하는 현상은 온도가 높을수록 불순물원자의 재분포가 활발하게 진행되어서 TiSi₂막 내부에 함유되는 불순물 농도는 감소하고 반면에 TiSi₂-Si 계면에 축적되는 불순물 농도는 증가하기때문인 것으로 생각된다. 한편 600 [°C]와 800 [°C]에서 2단계 열처리를 실시한 경우가 800 [°C]에서 1단계 열처리에 비해 더 낮은 contact 저항값을 얻을 수 있었다.

P' junction에서 TiN/TiSi₂ 이중구조막의 contact 저항은 H. B. Erzgaber등이 발표한 40-75 [Ω]과 거의 비슷한 수준을 나타내고 있으며^[20] 기존의 TiN/Ti 구조의 저항값인 100-120 [Ω]에 비해서도 훨씬 낮은 저항값을 나타낸다. 아울러 2단계 열처리에 의한 조건도 우수한 contact 저항 특성을 나타내므로 초고집적 반도체소자에 적용할 경우 양호한 특성이 기대된다.

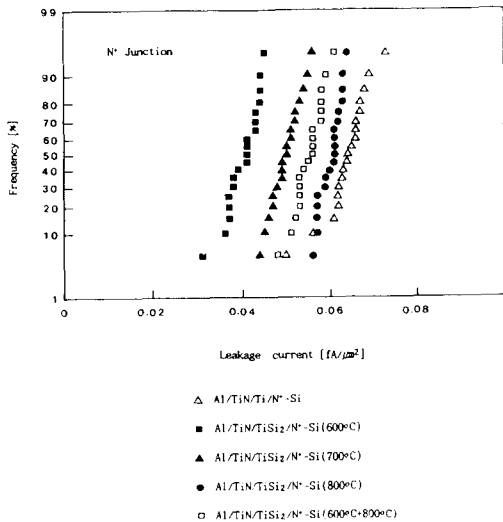


그림 7. N' junction에서 급속열처리 온도에 따른 TiN/TiSi₂ 이중구조막의 contact 누설전류 특성. 50nm Ti막을 Si 기판위에 퇴적시킴

Fig. 7. Characteristics of contact leakage current dependent on RTA temperature for TiN/TiSi₂ bilayer at the N' junction. 50nm Ti film is deposit-ed on the silicon substrate.

P' junction에서 TiN/TiSi₂ 이중구조막의 contact 저항값이 기존의 TiN/Ti 구조에 비해 훨씬 낮은 저항값을 나타내는 이유는 실리콘기판에 TiSi₂ 막을 형성시킴으로서, RIE 건식식각에 의한 실리콘 손상층과 실리콘표면에 형성되는 자연산화막을 제거하여 깨끗한 계면을 형성하는 것이 가능하기 때문인 것으로 생각된다. 한편 N' junction과 P' junction의 contact 저항을 비교할 때 전반적으로 P' junction의 contact 저항이 훨씬 높은 것은 실리콘 기판에 주입된 As와 boron의 표면 불순물 농도 차이에 기인한다.^[21]

As 불순물 이온 5E15 [ions/cm²]를 40 [KeV]의 에너지로 실리콘기판에 주입시켜 N' junction을 만든 후, Ti막을 50 [nm] 퇴적시켜 각각의 온도조건에서 형성시킨 TiN/TiSi₂의 contact 누설전류특성을 그림 7에 나타냈다. TiN/TiSi₂ 이중구조막의 contact이 기존의 TiN/Ti 구조의 contact에 비해 누설전류값이 적은 것을 알 수 있고, 전반적으로 TiN/TiSi₂ 구조의 contact 누설전류값은 0.06 [fA/μm²] 이하로 Okamoto등이 발표한 0.4 [nA/μm²]에 비해 매우 낮은 것을 알 수 있다.^[9] 그림 7에 의하면 열처리온도가 증가할수록 누설전류값이 증가하는 것을 알 수 있으며 또한 600 [°C]와 800 [°C]에서의 2단계 열처리가 800 [°C]에서의 1단계 열처리보다 더 낮은 누설전류값을 갖는 것을 보여주고 있다. 이러한 특성은 Si원자와 Ti원자가 반응하여 실리사이드막을 형성할 때 실리사이드의 반응속도에 의한 특성으로 설명할 수 있다. 일반적으로 열처리온도가 증가함에 따라서 실리사이드 반응은 더욱 활발하게 진행되며 이것은 기판에 있는 실리콘 원자가 Ti막 내부로 급격하게 이동하는 것을 의미한다. 따라서 온도가 증가할수록 기판에 있는 실리콘 원자의 급격한 이동으로 인하여 기판에서 실리콘 격자의 불안정성이 증대되므로 누설전류가 증가하게 된다.^[22]

2단계 열처리에서는 1차로 낮은 온도인 600 [°C]에서 TiN/TiSi₂ 이중구조막을 일단 형성시킨 후, 이어서 800 [°C]의 2차 열처리에서는 이미 형성된 막의 구조를 안정화시키는 것이 주도적으로 진행되고 아울러 TiN막과 TiSi₂막내에 존재하는 일부의 과잉 Ti 원자에 의한 실리사이드 반응이 부분적으로 진행되기 때문에 800 [°C]에서의 1단계 열처리에서 나타나는 실리콘 원자의 급격한 이동을 억제시킬 수 있어서, 1단계 열처리방법에 비해 누설전류 특성을 개선시킬 수 있다.

그림 8에 나타낸 800 [°C] 1단계 열처리와 600 [°C]와 800 [°C] 2단계 열처리로 형성시킨 TiN/TiSi₂ 이중구조막에 대한 XPS depth profile은 이러한 실리

사이드 반응속도 차이를 잘 보여주고 있다.

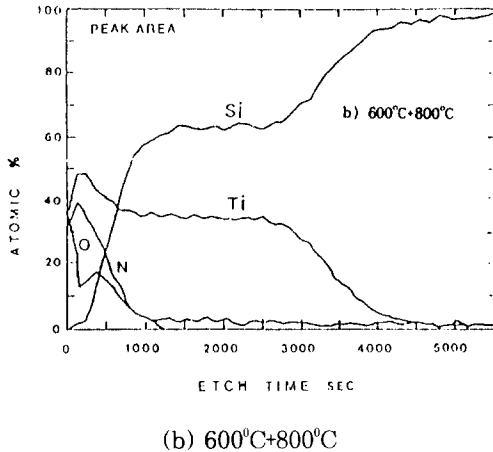
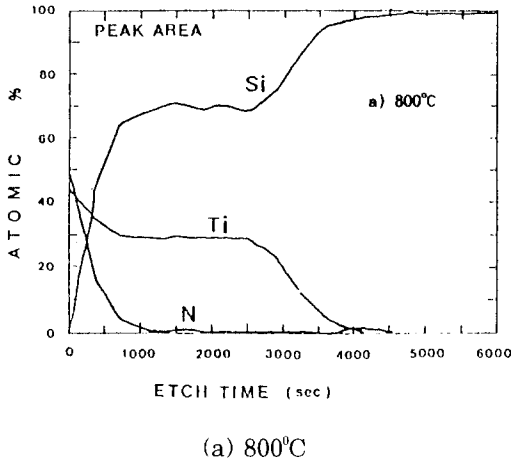


그림 8. 열처리 조건에 따른 TiN/TiSi₂ 이중구조막의 XPS depth profile 70nm Ti막을 NH₃ 분위기에서 30초 동안 열처리시킴 (a) 800°C (b) 600°C+800°C

Fig. 8. XPS depth profiles for TiN/TiSi₂ bilayer as a function of annealing condition 70nm Ti films annealed by RTA in NH₃ ambient for 30 sec. (a) 800°C (b) 600°C+800°C

그림 9는 BF₂ 불순물 이온 5E15 [ions/cm²]를 50 [KeV]의 에너지로 실리콘기판에 주입시켜 P' junction을 형성시킨 후 Ti막을 50[nm] 퇴적시키고 나서, 각각의 온도조건에서 열처리시켜 형성한 TiN/TiSi₂ 이중구조막의 contact 누설전류 특성을 나타내고 있다.

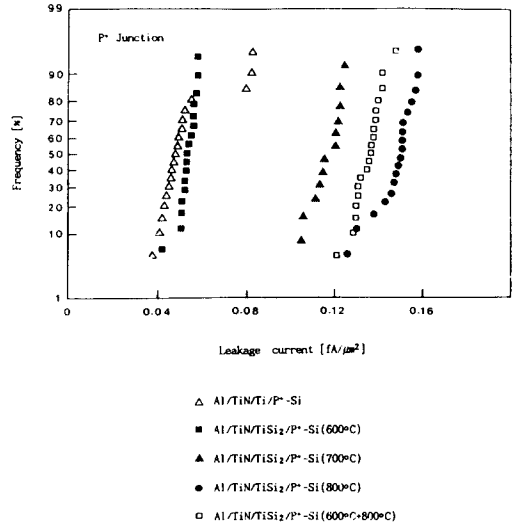


그림 9. P' junction에서 금속열처리 온도에 따른 TiN/TiSi₂ 이중구조막의 contact 누설전류 특성. 50nm Ti막을 Si 기판위에 퇴적시킴

Fig. 9. Characteristics of contact leakage current dependent on RTA temperature for TiN/TiSi₂ bilayer at the P' junction. 50nm Ti film is deposited on the silicon substrate.

N' junction의 경우와 마찬가지로 P' junction의 contact에서도 열처리온도가 증가할수록 contact의 누설전류값이 증가하였으며, 600[°C]와 800[°C]에서 2단계 열처리한 경우가 800[°C]에서 1단계 열처리한 경우보다 contact 누설전류값이 적은 것을 알 수 있다. 이러한 누설전류 특성은 N' junction의 경우와 마찬가지로 열처리온도에 따른 실리콘 원자의 확산속도에 기인하는 것으로 생각된다. 앞서 contact 저항에서 언급한 것처럼 N' junction에 비해서 P' junction에서 Ti막내로 실리콘 원자의 이동이 훨씬 급격하게 일어나기 때문에^[23] 실리콘격자의 불안정성이 증가되어서 결국 P' junction에서의 contact 누설전류는 N' junction에 비하여 2배 정도 큰 값을 나타냈으며, 이것은 기존의 TiN/Ti 구조의 contact 누설전류값인 0.04-0.06[fA/μm²]에 비해 3배 정도 큰 0.11-0.15 [fA/μm²]인 것을 알 수 있다. 이와같이 P' junction의 누설전류 특성은 기존의 방법에 비하여 저하되지만 초고집적 반도체소자에 적용이 가능한 수준이며 앞으로 contact 형성 공정을 개선시키면 더 낮은 누설전류값을 얻을 수 있으리라 기대된다.

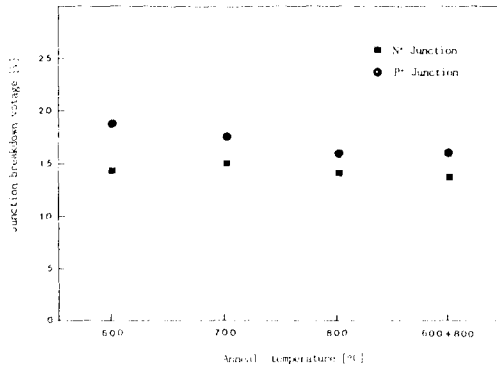


그림 10. 급속열처리 온도에 따른 TiN/TiSi₂ 이중구조막의 junction 파괴전압 특성. 50nm Ti막을 Si 기판위에 퇴적시킴

Fig. 10. Characteristics of junction break-down voltage dependent on RTA temperature for TiN/TiSi₂ bilayer. 50nm Ti film is deposited on the silicon substrate.

그림 10은 N⁺ junction과 P⁺ junction에 Ti막을 50 [nm] 퇴적시켜 TiN/TiSi₂ 이중구조막을 형성시킨 후 각각에 대한 junction 파괴전압 특성을 보여주고 있다. 파괴전압의 규정은 junction에 역방향전압을 인가하여 10[μA]의 역방향전류가 흐르는 전압을 파괴전압으로 하였으며 이때 N⁺ junction은 깊이가 0.2[μm]이고 P⁺ junction은 깊이가 0.4[μm]이었다. N⁺ junction의 파괴전압은 열처리조건에 따른 변화가 거의 없으며 약 13.7[V]의 파괴전압을 나타냈다. 이것은 junction의 형성조건이 950[°C]에서 60분간이므로 TiN/TiSi₂ 이중구조막의 형성에 따른 열처리온도와 시간이 junction 깊이의 변화에 거의 영향을 주지 못하며 또한 실리콘기판에서 형성되는 TiSi₂막의 두께도 junction의 깊이에 비하면 작은 수준이므로 junction에는 큰 영향을 미치지 않는 것으로 생각된다. 한편 P⁺ junction의 파괴전압 특성은 열처리온도가 증가함에 따라서 파괴전압이 약간 낮아지는 경향을 보이지만 큰 차이는 없으며 약 16.2-18.5[V]의 파괴전압을 나타냈는데 이러한 특성은 열처리온도가 증가하면 실리콘기판에서 형성되는 TiSi₂막의 두께가 증가하는 것에 기인하여 junction의 파괴전압이 약간 낮아지는 것을 보여주고 있다. N⁺ junction에 비하여 P⁺ junction의 junction 파괴전압이 높은 이유는 P⁺ junction의 깊이가 0.4[μm]로서 N⁺ junction의 0.2[μm]보다 2배 크기 때문으로 생각된다. 결국 N⁺ junction과 P⁺ junction에서의 TiN/TiSi₂ 이중구조막

의 junction 파괴전압은 기존의 TiN/Ti 구조와 거의 유사하며 초고집적 반도체소자에 충분히 적용이 가능한 수준인 것을 알 수 있다.

IV. 결론

급속열처리로 형성시킨 TiN/TiSi₂ 이중구조막을 사용한 0.5x0.5[μm²] contact의 저항값은 N⁺ junction에서 24[Ω] 이하로서, TiN/Ti 구조의 30[Ω]에 비해 약간 작은 저항값을 나타내며, P⁺ junction에서는 40-88[Ω]로서 TiN/Ti 구조의 저항값인 100-120[Ω]에 비해 낮은 값을 나타냈다. 또한 2단계 열처리방법은 1단계 열처리방법보다 우수한 contact 저항 특성을 나타냈다. TiN/TiSi₂ 이중구조막의 contact 누설전류 특성은 열처리온도가 증가할수록 누설전류값이 증가하는 경향을 나타내며 또한 600[°C]와 800[°C]에서의 2단계 열처리가 800[°C]의 1단계 열처리보다 더 작은 누설전류값을 갖는다. 이 경우 N⁺ junction에서 TiN/TiSi₂ 구조의 누설전류값은 0.06[fA/μm²] 이하로서 TiN/Ti 구조에 비해 누설전류값이 매우 낮은 것을 알 수 있으며, P⁺ junction에서는 TiN/TiSi₂ 구조가 TiN/Ti 구조에 비해 누설전류값이 3배 정도 높은 0.11-0.15[fA/μm²]이지만 초고집적 반도체소자에 적용가능한 수준이며 앞으로 contact 형성공정을 개선시키면 더 낮은 누설전류 값을 얻을 수 있으리라 기대된다. 한편 junction 파괴전압 특성은 열처리온도가 증가함에 따라서 N⁺ junction은 파괴전압의 변화가 거의 없었지만 P⁺ junction은 파괴전압이 약간 낮아지는 특성을 보여준다. N⁺ junction의 파괴전압은 약 13.7[V]이었고 P⁺ junction의 파괴전압은 16.2-18.5[V]로서 양호한 수준이었다. 결론적으로 급속열처리로 형성시킨 TiN/TiSi₂ 이중구조막을 contact barrier로 사용하면, P⁺ junction에서의 누설전류값은 약간 높지만 그 이외의 전기적 특성에서는 기존의 TiN/Ti 구조의 contact보다 더 우수하므로 후후 초고집적 반도체소자에 적용이 가능한 것으로 평가된다.

감사의 글

이 연구는 한국학술진흥재단에서 지원한 1994년도 신진우수인력지원기금에 의해서 수행되었음을 알리며 관계당국에 감사를 드립니다.

參考文獻

- [1] J.O. McCaldin and H. Sankur. "

- Diffusivity and Solubility of Si in the Alloy/Si Contacts by Rapid Thermal Sintering.", *Appl.Phys.Lett.*, Vol.19, pp.524-527, Dec. 1971.
- [2] H. Mori, "Resistance increase in small area Si-doped Al-n-Si contacts.", *IEEE Trans. Electron Devices*, Vol.ED-30, pp.81, 1983.
- [3] Takeo Maeda, Takeo Nakayama, and Junichi Matsunaga, "A Highly Reliable Interconnection for a BF₂ Implanted Junction Utilizing a TiN/Ti Barrier Metal System.", *IEEE Trans. on Electron Devices*, Vol. ED-34, No.3, pp.599-606, March 1987.
- [4] I. Suni, M. Blomberg, and J. Saarilahti, "Performance of titanium nitride diffusion barriers in aluminum-titanium metallization schemes for integrated circuits.", *J. Vac.Sci.Technol.*, Vol.23, pp.2233-2236, June 1985.
- [5] A. Kohlhase, M. Mandl, and W. Pamler, "Performance and failure mechanisms of TiN diffusion barrier layers in submicron devices.", *J. Appl.Phys.* Vol.65, No.6, pp.2464-2469, March 1989.
- [6] M. Mandl and H. Hoffman, "Diffusion barrier properties of Ti/TiN investigated by transmission electron microscopy.", *J. Appl.Phys.*, Vol.68, No.5, pp.2127-2132, Sept. 1990.
- [7] E. D. Adams, K.Y. Ahn, and S. B. Brodsky, "Formation of TiSi₂ and TiN during nitrogen annealing of magnetron sputtered Ti films.", *J. Vac.Sci. Technol. A*, Vol.3, pp.2264-2267, 1985.
- [8] S.W Sun and R.L. Hance, "Effects of TiSix/TiNy/Al metallization process on the shallow junction related properties.", *Mater. Res. Soc. Symp. Proc.*, Vol.92, pp.165, 1987.
- [9] T. Okamoto, M. Shimizu, A. Ohsaki, Y. Mashiko, K. Tsukamoto, T. Matsukawa and S. Nagao, "Simultaneous formation of TiN and TiSi₂ by lamp annealing in NH₃ ambient and its application to diffusion barriers.", *J. Appl. Phys.* 62(11), 1, pp.4465-4470, Dec. 1987.
- [10] Cheol-Jin Lee and Yung-Kwon Sung, "A Study on the Properties of TiN/TiSi₂ Bilayer by Rapid Thermal Anneal in NH₃ ambient.", *전기학회논문지*, 제41권, 8호, pp.869-874, 1992. 8
- [11] 이철진, 성영권, "실리콘기판의 BF₂불순물 농도에 의한 TiN/TiSi₂ 경합반응과 불순물 재분포 특성.", *전기학회 논문지*, 제 42권 6호 pp. 94-101, 1993.1
- [12] Cheol-Jin Lee and Yung-Kwon Sung, "Characterization of TiN/TiSi₂ Contact Barrier by Two Step Anneal in NH₃ ambient." *KITE J. Electronics Engineering*, Vol.3, No.2, pp.40-43, Nov. 1992.
- [13] H. Kaneko, M. Koyanagi, S. Shimizu, and S Kishino, "Novel submicron MOS devices by self-aligned nitridation of silicide.", *IEDM Tech.*, pp.208-211, 1985.
- [14] M. Fukumoto, T. Yoshida and T. Ohzone, "Titanium Silicide Interconnect Technology for Submicrometer DRAM.", *IEEE Trans. on Electron Devices* Vol.35, No. 12, pp.2328-2332, Dec.1988.
- [15] Hiroko Kaneko and Seigo Kishino, "Novel Submicrometer MOS Devices by Self-Aligned Nitridation of Silicide.", *IEEE Trans. Electron Devices*, Vol.ED-33, No.11, pp.1702-1708, Nov. 1986.
- [16] J. Hui, S. Wong and J.Moll, "Specific Contact Resistivity of TiSi₂ to P' and N' Junctions.", *IEEE Trans. Electron Device Lett.*, Vol.EDL-6, No.9, pp.479-481, 1989.
- [17] S.P. Muraka and D.S. Williams, "Dopant redistribution in silicide-silicon and silicide-polycrystalline silicon bilayered structure", *J. Vac.Sci. Technol.* B5(6), pp.1674-1688, Nov/Dec 1987.
- [18] T. P. Chow, W. Katz, and G. Smith, "Titanium silicide formation on BF₂ implanted silicon.", *Appl.Phys.Lett.*

- 46(1), pp. 41-43, January 1985.
- [19] M.E. Alperin and W.D. Parmantie. "Development of the self-aligned titanium silicide process for VLSI CMOS technologies.", *IEEE J. Solid-State Circuits*, Vol. SC-20, pp.61-69, Feb. 1985.
- [20] H. B. Erzgaber, P. Zaumsel, E. Bugiel, R. Sorge, K. Tittelbach-Helmrich, F. Richter, D. Panknin, and M. Trapp. "Properties of the $TiSi_2/p-n$ structures formed by ion implantation through silicide and rapid thermal annealing.", *J. Appl. Phys.*, 72(1), 1, PP.73-77, July 1992.
- [21] Lia K.E. and C.Y. Ting. "On the Resistivity of $TiSi_2$: The Implication for Low-Temperature Applications.", *IEEE Trans. Electron Devices*, Vol.ED-34, No.1, pp.58-63, Jan. 1987.
- [22] T. Brat and C.M. Osburn. "Self-Aligned Ti Silicide Formed by Rapid Thermal Annealing.", *J. Electrochem. Soc.*, Vol.133, No.7, pp.1451-1458, July 1986.
- [23] 이철진, 허윤중, 성영권, "Ti self-Aligned Silicide를 이용한 contact에서의 전기적 특성.", 전기학회논문지, 제42권 2호, PP.170-177, 1992.2

 著 者 紹 介



李鐵眞(正會員)

1958年11月16日生. 1982年 고려대 전기공학과 졸업. 1984년 고려대 대학원 전기공학과 졸업(공학석사). 1993년 고려대 대학원 전기공학과 졸업(공학박사). 1983년12월~1991년 9월 삼성전자(주) 반도체연구소 선임연구원. 1993년~현재 군산대학교 전기공학과 전임강사. 주관심 분야는 초고집적 반도체 공정개발, ASIC 공정개발, contact 및 interconnection 공정, 강유전체박막 Nanotechnology 등임.



成萬永(正會員)

1949年 6月 3日生. 1974년 고려대 전기공학과 졸업. 1977년 고려대 대학원 전기공학과 졸업(공학석사). 1981년 고려대 대학원 전기공학과 졸업(공학박사). 1985년~1988년 University of Illinois, Associate Professor. 1989년~현재 University of Illinois, Research Professor. 현재 고려대 전기공학과 교수. 주관심 분야는 반도체소자모델링, 전력용 MOS transistor, 고속반도체소자, GaAs on Si 등임.



成英權(正會員)

1933年 1月18日生. 1956년 일본 오사카대 전기공학과 졸업. 1960년 동대학원 전자물리공학과 졸업(석사). 1965년 동대학원 전자물리공학과 졸업(공학박사). 1966년~1967년 한양대 전기공학과 부교수. 1967년~현재 고려대 전기공학과 교수. 1981년~1982년 일본 동북대 반도체연구소 방문교수. 주관심 분야는 플라즈마 CVD Process, 저온 Laser CVD Process, 서브미크론 소자기술, silicide-Si 계면 특성, SOI 등임.