

# RAPHAEL 프로그램을 이용한 인텔 i486 마이크로 프로세서의 168 pin PGA 패키지 인덕턴스 모델링

(Inductance Modeling of Intel i486 microprocessor 168  
pin PGA package using RAPHAEL program)

朴鍾勳\*, 朴鴻濬\*

(Jong-Hoon Park and Hong-June Park)

## 要約

인텔 i486 마이크로 프로세서가 내장된 168 pin PGA 패키지의 각 신호선에 대한 인덕턴스 값들을 3차원 인덕턴스 계산 프로그램인 RAPHAEL의 RI3 를 이용하여 추출하였다. 리드프레임의 외형을 표현한 파일은 Mentor Boardstation 을 이용하여 레이아웃을 입력시킨후 출력시킨 파일을 RAPHAEL 의 RI3 입력형태로 변환하였다. 다중층 구조를 갖는 PGA 패키지의 전원과 접지면들은 막대모양의 도선들로 조합된 그물 구조로 모델화 하였다. 도선의 정전용량은 RAPHAEL의 2차원 정전용량 추출 프로그램인 RC2 를 이용하여 단위 길이에 해당되는 값을 구하고 이를 각 신호선별 길이에 따라 고려하여 구하였고 패키지 핀의 경우는 3 차원 시뮬레이션 프로그램인 RC3 로 정전용량 값을 계산하였다. 향후 신호 보전성 분석을 위한 회로 시뮬레이션에 활용하기 위하여 추출된 L, C, R 값들을 단일 소자 모델로 하여 SPICE 입력파일 형태로 변환하였다.

## Abstract

By using the RAPHAEL 3D inductance calculation program RI3, the PGA package inductance values of INTEL i486 microprocessor have been extracted. The lead frame layouts are drawn using the Mentor Boardstation and the output files are converted into the RI3 program input format of RAPHAEL. The power and ground planes of the PGA package are modeled by grid-line structures of single bars. The capacitance values of signal lines have been calculated by using the RAPHAEL 2D/3D capacitance extraction program. The extracted L, C, R values have been converted into the SPICE netlist formats with lumped circuit model for future use in the signal integrity analysis.

## 1. 서론

\*正會員, 浦項 工科大學校 電子電氣工學科  
(Dept. of Elec. Eng., Pohang Univ.)  
接受日字 : 1994년 4月 15日

최근 반도체 공정기술의 발전으로 인하여, VLSI 칩 내부의 소자 크기와 도선들의 길이가 줄어서 칩 상의

신호 지연 시간이 비약적으로 빨라졌다. 이에 따라 CMOS 칩의 경우 동작 속도가 100 MHz 에 도달하였고 ECL이나 GaAs MESFET 칩의 경우 500 MHz 에서 수 GHz 에 도달하였다. 그러나 이러한 칩 속도의 고속화에도 불구하고 칩 사이의 연결을 위한 패키지나 PCB(Printed Circuit Board) 상의 도선에 의한 지연 시간은 획기적인 개선이 이루어지지 못하였고 이로 말미암아 이 부분이 전체 시스템 동작 속도를 좌우하게 되었다. 비록 MCM(Multi Chip Module) 이나 WSI(Wafer Scale Integration) 기술이 연구되고 있으나 아직까지는 특수한 용도에 응용될 뿐 본격적인 실용화에는 못 미치고 있다. 이러한 실정에서 신호가 고속화됨에 따라 기존에 사용중인 패키지나 PCB 의 기생 요소들은 그라운드 바운스(ground bounce) 현상을 발생 시키게 되며, 이와 더불어 신호선 간의 잡음 및 누화 현상(cross talk), 전송선 효과에 의해 입출력단 에서 발생한 반사파 현상등은 신호 보전성(signal integrity) 측면에서 심각하게 고려 되어야 한다.<sup>[1]</sup> 이러한 문제를 해결하고자 각종 도선과 패키지의 기생요소를 추출하여 분석하고자 하는 연구가 활발히 진행되고 있으며, 이에따라 많은 상용 소프트웨어가 발표되었다.<sup>[2]</sup><sup>[3]</sup><sup>[4]</sup> 특히 사용되는 소자나 PCB의 구성이 다층화 되고 복잡해 짐에 따라 3차원 시뮬레이션 프로그램이 필요한데 이러한 3 차원 시뮬레이션을 위하여 기존의 전자장 이론에 따른 맥스웰 방정식을 수치 해석적인 방법으로 풀 경우, 해석 시간이 너무 길어져서 대규모 구조에는 응용하기가 어렵다.

이러한 제한을 극복하기 위하여 주어진 도선 형태에서 몇몇 대표적인 형태만을 선정하여 자세하게 수치 해석적 방법으로 값을 얻고 이를 이용하여 복잡한 도선연결의 기생요소를 훨씬 간단한 산술적인 연산에 의하여 구하는 방법이 이용되고 있다. 인덕턴스의 경우도 이와 같은 개념을 이용하여 PEEC(Partial Element Equivalent Circuit) 방법을 이용한 프로그램들이 상용화 되었다. 이중 대표적인 것으로 RAPHAEL 의 RI3 프로그램을 들 수 있는데 이를 이용하여 보다 복잡한 구조에 대해서도 빠른 시간안에 결과를 얻을 수 있다. 그러나 아직도 본 논문에서 분석한 168핀 PGA(Pin Grid Array)와 같은 큰 구조의 경우, 전체모양을 동시에 분석하기에는 컴퓨터의 속도나 메모리 용량상의 제약에 따라 긴 해석시간을 요구하게 되며, 이와 같은 제약점들을 개선하고자 하는 연구가 진행되고 있다.<sup>[5]</sup>

본 논문에서는 RAPHAEL 의 3 차원 인덕턴스 추출 프로그램인 RI3 를 이용하여 현재 보편적으로 사용되는 VLSI 소자인 인텔 i486 168 pin PGA 패

키지의 인덕턴스를 추출하고 이를 실제 보드나 시스템의 신뢰성 검증에 활용 할 수 있도록 회로 시뮬레이션 프로그램인 SPICE의 입력형태에 맞게 변환하였다. 본 논문의 2장에서는 인덕턴스 추출 프로그램의 이론과 프로그램의 정확도에 대한 검증에 대하여 설명 하였고 3장에서는 i486 PGA 패키지의 구조를 설명하고 4장에서는 시뮬레이션 및 모델화 과정에 대하여 설명하고 5장에서 결론을 맺었다.

## II. 인덕턴스 추출 프로그램

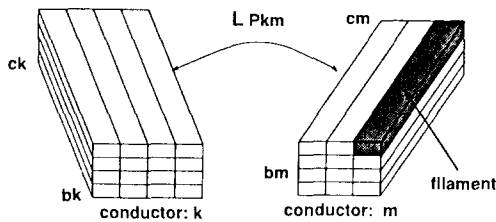
칩 상의 도선이나 패키지, PCB 상의 도선들의 기생요소를 추출하고 분석하기 위한 여러 종류의 상용 소프트웨어들이 발표되었다. 이중에서 패키지나 PCB 상의 도선을 주로 분석하는 것으로는 RAPHAEL, Maxwell, OptEM, Quad, Greenfield 등이 있고 학교에서 발표된 것으로는 FastHenry/FastCap 등이 있다.<sup>[2]</sup><sup>[3]</sup><sup>[4]</sup><sup>[5]</sup> 이 소프트웨어들은 각 응용분야에 따라 시뮬레이션 방법에 차이가 있으나 크게 수치 해석적인 방법을 이용하는 것과 간략화된 공식과 모델을 이용하는 것들로 나눌 수 있다.

### 1. 인덕턴스 추출

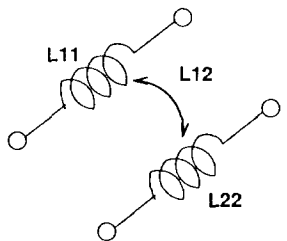
과거 인덕턴스는 수동소자로 전력전자의 주된 응용 소자 이었으나 현재 고속화된 능동소자를 이용한 VLSI 시대에서는 수동소자로의 이용보다는 없어야 할 회로상의 기생요소가 되고 있다. 이러한 인덕턴스 값들은 실제로 맥스웰 방정식을 수치 해석적 방법으로 풀어서 추출 할 수 있으나, 보다 짧은 시간안에 복잡한 구조를 분석하기 위하여 PEEC 방법을 이용하게 되었다.<sup>[6]</sup> PEEC 방법을 이용하면 인덕턴스의 계산이 컴퓨터를 이용하기에 용이한 형태로 변환되고 특히 전류의 흐름이 있는 폐회로에서만 정의되는 인덕턴스를 폐회로가 아닌 실제로 구하고자 하는 패키지나 도선들의 경우에 쉽게 적용할 수 있다.

PEEC 개념에서는 도선의 인덕턴스 값을 그림 1(a)와 같이 직육면체 모양의 도선의 일부(segment) k, m이 있을 경우 각 도선은 전류 흐름을 위한 루프가 형성되지 않으나 도선의 시작점 bk, bm에서 끝점 ck, cm으로 전류가 흐른다고 가정하고 두 도선 세그먼트 간에 상호 인덕턴스 값을 식 (1)과 같이 정의하여 구한다. 이 인덕턴스는 루프가 형성된 일반적인 인덕턴스와 구분하기 위하여 부분 인덕턴스(partial inductance)라 부른다. 각 도선 세그먼트 들의 단면은 필라멘트(filament) 들로 분할되는데 한 필라멘트 내부에서는 단면에 대한 전류 밀도가 일정하다고

가정한다. 그러므로 그림 1(a)의 두 도선 세그먼트 간의 상호 인덕턴스는 식 (2)와 같이 각 필라멘트 들 간의 부분 상호 인덕턴스들의 조합으로 근사화 시킬 수 있으며 각 필라멘트 들에 대한 상호 인덕턴스는 다시 식 (3)의 노이만 공식으로 근사화 시킬 수 있다. 따라서 도선 세그먼트 간의 부분 상호 인덕턴스는 도선 세그먼트 단면의 분할 갯수인 P, Q에 따라 정확도가 결정된다. 이와 같이 각 도선 간의 부분 상호 인덕턴스들의 값을 구하면, 그림 1(b)에 보인 것처럼 부분 상호 인덕턴스  $L_{12}$ 는 부분 자체 인덕턴스  $L_{11}$ 과  $L_{22}$ 와 함께 가상적인 폐루프(closed loop)를 형성하게 되고 이들에 대해 기존의 폐회로 루프에서 정의된 인덕터의 전류 전압 관계를 그대로 적용할 수 있게 된다.



(a) Filament inductance



$$L_{loop} = L_{11} + L_{22} - 2 \cdot L_{12}$$

(b) partial inductance

그림 1. 부분 상호인덕턴스  
Fig. 1. A partial mutual inductance.

전체 도선은 이러한 각 도선 세그먼트들의 조합으로 이루어져 있는데, 각 도선 세그먼트 들에 대한 부분 인덕턴스 값들 및 세그먼트 들의 연결된 형태로 부터 회로망 방정식을 풀어서 전체 도선에 대한 인덕턴스 값을 계산할 수 있다.

$$L_{pkm} = \frac{\mu_0}{4\pi} \frac{1}{a_k a_m} \int_{a_i} \int_{a_m} \int_{b_k} \int_{b_m} \frac{|dl_k \cdot dl_m|}{r_{km}} da_k da_m \quad (1)$$

식 (1)에서  $a_k$ 와  $a_m$ 은 각 도선의 단면을 나타내고,  $b_k$ 와  $b_m$ 은 각각 도선 k 와 m 의 시작점이고  $c_k$ 와  $c_m$ 은 끝점을 나타내고,  $r_{km}$ 은 도선의 미소거리  $dl_k$ 와  $dl_m$ 간의 거리를 나타낸다.

$$L_{pkm} = \lim_{P \rightarrow \infty, Q \rightarrow \infty} \frac{1}{PQ} \sum_{i=1}^P \sum_{j=1}^Q L_{pfij} \quad (2)$$

$$L_{pfij} = \int_{b_i}^{c_i} \int_{b_j}^{c_j} \frac{dl_i \cdot dl_j}{r_{ij}} \quad (3)$$

식 (2), (3)에서 P와 Q는 각 도선의 단면을 분할한 필라멘트의 갯수이며  $L_{pfij}$ 는 필라멘트 i와 필라멘트 j 간의 부분 상호 인덕턴스이고  $r_{ij}$ 는 필라멘트 i, j 간의 거리를 나타낸다.

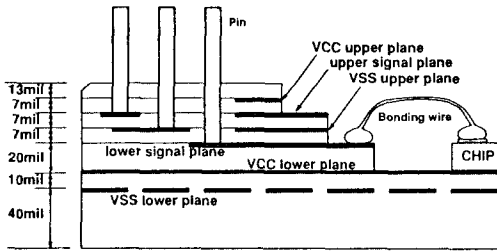
### 2. RAPHAEL 프로그램의 검증

실제 패키지의 정확한 인덕턴스 값을 추출하기 위하여 RAPHAEL의 RI3 프로그램의 정확도를 검증 하였다. [7] 단면의 모양이 직사각형인 경우 두께가 0.342mm 이고 폭이 5mm이고 길이가 650mm인 구리판 도선을 평행하게 배치하고 두 도선의 한쪽 끝단을 두꺼운 구리판으로 연결하여 루프를 형성시키고 도선간의 거리를 변화시켜가며 다른 한쪽 끝에서 루프 인덕턴스를 측정한 결과 시뮬레이션 결과와의 오차를 2% 이내로 할 수 있었다. 시뮬레이션은 구리판의 모서리 효과를 고려하기 위하여 단면을 여러개의 작은 직사각형 들로 나누어 여러개의 직육면체의 도선들로 구성된 구리판으로 가정하여 수행 하였으나, 단면을 나누지 않고 1개의 직육면체로 한 경우에도 도선 간의 거리가 도선 두께의 15배 이상일때 측정치와의 오차를 2% 이내로 할 수 있었다. 단면이 복잡한 경우 프로그램의 특성상 모두 직육면체로 근사화 시켜야 한다. 특히 단면이 원형인 경우, 같은 단면적의 직육면체로 바꾼 경우 측정치와의 오차가 2-6% 이내로 도선 간의 거리가 두께의 10배 이상으로 멀어질 경우 루프 인덕턴스의 경우 오차를 2% 이내로 할 수 있었다. 본 논문의 경우 패키지 내부의 신호선이나 본딩 와이어와 핀의 경우 도선간의 거리가 두께에 비하여 멀리 떨어져 있으므로 한개의 직육면체로 근사화시켜 시뮬레이션 하였다.

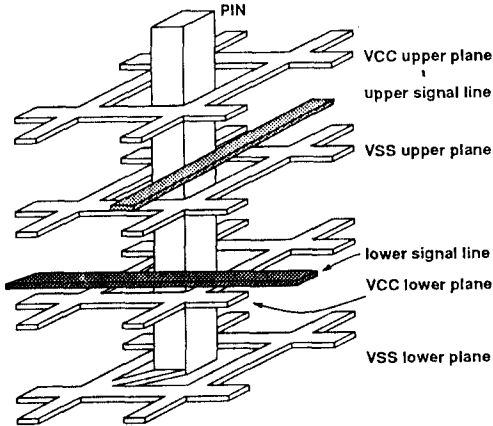
### Ⅲ. 인텔 i486 패키지

본 논문에서 이용한 인텔 i486 마이크로 프로세서 칩은 동작 주파수가 33 MHz 이고 총 168개의 핀을 갖는 PGA 패키지로 되어있다. 패키지 내부의 신호선은 2 개의 층을 사용하여 연결하고 그 외에 VCC

용으로 2 층, VSS 용으로 2 층의 전원 및 접지면을 사용하는 그림 2-(a) (b)와 같은 다중층 구조로 되어 있다. 사용한 각종 외형자료는 기존 참고자료를 활용하여 가정된 값을 이용하였고 실제 신호선의 연결 모양은 X선 촬영을 하여 얻었다.<sup>[7] [8]</sup> 신호선의 폭과 두께는 각각 5 mil, 0.8 mil 로 하였고 본딩 와이어의 직경은 1 mil 로 하였다. 본딩 와이어를 통하여 패키지에 연결된 칩상의 패드는 187 개로 이중 85 개를 VCC나 VSS로 사용하였다.



(a)



(b)

그림 2. (a) 168 핀 PGA 패키지의 단면 (b) 168 핀 PGA 패키지의 plane 구조

Fig. 2. (a) The cross section of the 168 pin PGA package (b) The plane structure of the 168 pin PGA package.

칩에서 패키지의 핀까지 외형적, 전기적 조건의 차이에 따라 구분하면 그림 3과 같이 크게 6 부분으로 나눌 수 있으며 이중에서 구동부와 부하부를 제외한 나머지 4 부분을 패키지 분석에 고려하였다. 인텔 i486의 신호선 연결의 주된 부분인 다중층 내의 신호선은

스트립 라인 구조를 가지며 폭이 작고 일정한 모양의 선을 사용하였다. 이는 i386 마이크로 프로세서의 132핀 PGA 패키지의 경우 신호선의 저항을 줄이고 자가급적 크게 하여 테이퍼 모양을 갖는 것과 큰 차이가 있다.

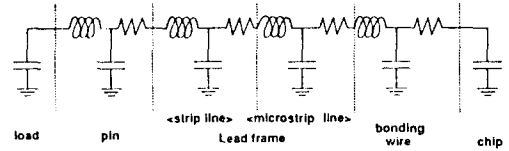


그림 3. 패키지 구조상의 전송선 모델

Fig. 3. Transmission line model in package structure.

#### IV. 패키지 인덕턴스 추출

패키지 모델링을 위한 과정은 그림 4와 같다. i486과 같은 복잡한 구조의 모양을 기술하기 위해서는 전용의 그래픽 도구가 필요한데 본 논문에서는 Mentor사의 Boardstation 소프트웨어를 사용하여 그림 5와 같이 입력시켰다. Boardstation 에서 출력된 파일을 상세한 패키지의 물리적 구조의 자료와 함께 RAPHAEL 프로그램의 입력 형태에 맞도록 변환시켰다. 그림 4에서 RI3, RC2, RC3 는 각각 RAPHAEL 프로그램의 3 차원 인덕턴스 계산, 2 차원 정전용량 계산 및 3 차원 정전용량 계산 프로그램을 나타낸다. 그림 2-(b)와 같이 전원(VCC) 과 접지(VSS) 면은 막대모양의 직육면체들로 구성된 그물 구조로 하였다. 인덕턴스는 칩의 패드에서 외부 핀을 바라본 값으로 추출하였다. 전체 i486 칩의 구조를 한번에 시뮬레이션 하기에는 너무 많은 시간이 소요되므로 편의상 상호 간에 전기적 관련이 적은 6 개의 부분으로 나누어 시뮬레이션 하였다. 이 6개 부분에서 각각의 VCC, VSS 면 들은 그 해당되는 영역에만 정의되기 때문에 이러한 조건하에서의 시뮬레이션 결과는 자연스럽게 각 영역에 해당되는 VCC 와 VSS 면에 연결된 선의 효과를 회로적으로 분명하게 나타낼 수 있다. 신호선의 모양을 나타내는 각 막대 모양은 (RAPHAEL에서는 single\_bar라고 함) 2 개의 필라멘트로 구성하여 모서리 효과를 고려하였다. 표피효과는 주파수가 50MHz인 경우 표피 깊이가 9.3um로 패키지 내부 신호선의 두께가 20.3um (0.8mil) 인 경우 도선의 윗면과 아랫면을 고려한 표피 깊이와 큰 차이가 없어 무시하였다. 또한 신호의

파장은 공기중 주파수가 50 MHz 인 경우 6 m 로 패키지의 크기에 비하여 월등히 크므로 추출한 L, R, C 값들은 분포(distributed)모델 대신 그림 7과 같이 칩의 각 패드당 직렬로 연결된 저항과 자체 인덕턴스와 주변 신호선과의 상호 인덕턴스, 그리고 접지면에 연결된 정전용량과 인접 신호선 간의 커플링(coupling) 정전용량 들로 구성된 단일 소자(lumped) 모델로 하였다.<sup>[9]</sup>

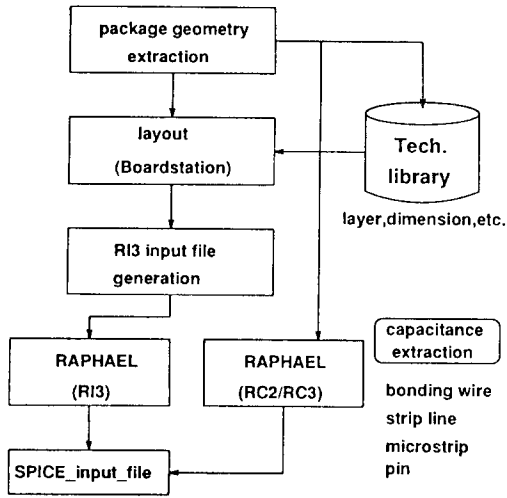


그림 4. 패키지 모델링 과정  
Fig. 4. The flow of package modeling.

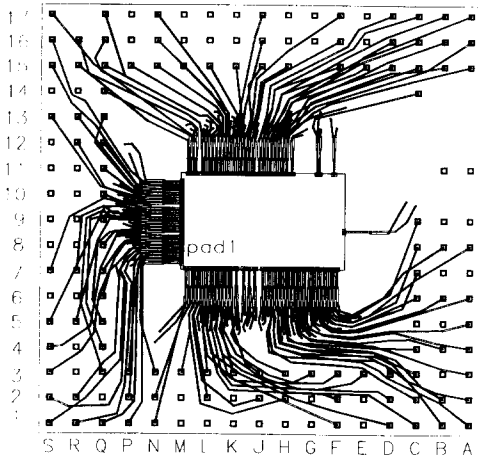


그림 5. Mentor Boardstation을 이용하여 입력 시킨 i486 패키지 도면  
Fig. 5. The package layout designed by Mentor Boardstation software.

각 신호선의 정전용량은 RAPHAEL 프로그램의 2 차원, 3 차원 정전용량 추출 프로그램인 RC2, RC3 를 이용하여 구하였다. 본딩 와이어의 경우 2차원 시뮬레이션으로 단위 길이 당의 정전용량을 구하여 실제 길이를 곱하여 구하였다. 본딩 와이어가 리드 프레임에 접촉되는 지점에서 다층 구조의 스트립 라인 구조로 된 신호선까지 연결되기 까지는 신호선의 한쪽면이 공기중에 노출된 구조인, 마이크로 스트립 구조를 갖는데 2 차원 정전용량 추출 시뮬레이션으로 자체 정전용량과 상호 정전용량을 구하였고, 패키지의 핀만 3 차원 정전용량 추출 시뮬레이션으로 정전용량을 구하였다. 다중층 내부의 스트립라인 구조의 신호선 간의 상호 정전 용량은 무시하였다.

패키지의 핀 이름은 그림 5에서 패키지의 왼쪽 부분과 아래 부분에 표시한 숫자와 영문자들의 조합으로 나타낼 수 있다. 그리고 칩상의 패드는 핀의상 패키지의 P1 핀에 연결된 패드를 1번 패드로 정의하여 시계 방향으로 번호를 붙였다.

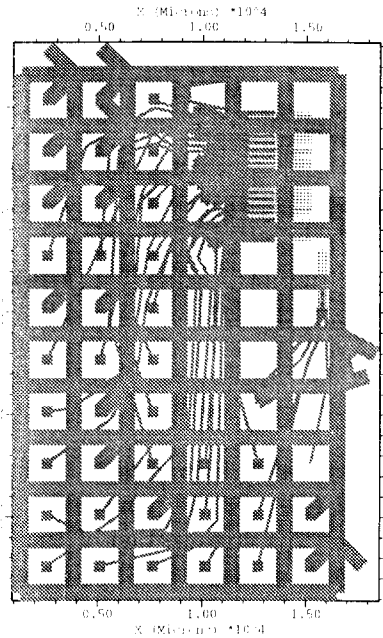


그림 6. RAPHAEL의 dplot 프로그램으로 그려진 168핀 PGA 패키지의 일부 도면  
Fig. 6. A part of 168 pin PGA package drawn by dplot program in RAPHAEL.



선에 사용 함으로써 향후 i486 칩을 사용한 회로의 신호 보전성의 분석에 사용될 수 있고, 또한 본 논문에서 개발된 패키지의 회로 해석 방법론(methodology)은 다른 종류의 PGA 및 여러 패키지 형태의 해석에 적용될 수 있으리라 기대된다.

#### 參 考 文 獻

- [1] Stuart K. Tewksbury, "Microelectronic System Interconnections Performance and Modeling", IEEE press, 1994.
- [2] Technology Modeling Associates Inc., "TMA RAPHAEL Interconnect Analysis Program", Version 2.2, Aug. 1993.
- [3] Quantic Laboratories Inc., "Greenfield 2D user's manual", ver. 3.0, 1991.
- [4] Quad Design Technology, "Traces User's Guide", ver. 8.2, Feb. 1993.
- [5] M. Kamon, M. Tsuk, J.White, "Fast Henry: A Multiple-Accelerated 3-D Inductance Extraction Program", in Proc. 30th DAC, pp. 678-683, June 1993.
- [6] A. E. Ruehli, "Inductance calculations in a complex integrated circuit environment", IBM J. Res. Develop. 16, No. 5, pp. 470-480, 1972.
- [7] Jong-Hoon Park, Hong-June Park, "A measurement-based SPICE circuit modeling of VLSI package inductances using the RAPHAEL 3D simulation program", ICVC Technical Digest, pp. 123-126, Nov. 1993.
- [8] Charles A. Harper, "Electronic packaging and interconnection handbook", McGraw-Hill, chap. 6, 1991.
- [9] H. B. Bakoglu, "Circuit, Interconnections and Packaging for VLSI", Addison-Wesley, 1990.

#### 著 者 紹 介



朴 鍾 勳(正會員)

1961年 3月 24日生. 1984年 연세대학교 전자공학과(학사). 1986年 연세대학교 전자공학과(석사). 1986年 ~ 1990年 금성반도체(주) 연구원. 1990年 ~ 1992年 금성일렉트론(주) 선임연구원.

1992年 ~ 현재 포항공과대학교 전자공학과 박사과정 재학중. 주관심 분야는 ASIC 설계, IC interconnect(도선), 전송선 및 패키지 모델링 및 해석 등임.



朴 鴻 濬(正會員)

1956年 10月 11日生. 1979年 서울대학교 전자공학과(학사). 1981年 한국과학기술원 전기 및 전자공학과(석사). 1984年 ~ 1989年 미국 Berkeley 대학 전자공학과(박사). 1981年 ~ 1984年 전자

통신연구소 CAD실 연구원. 1989年 ~ 1991年 미국 INTEL사 Technology CAD Senior Engineer. 1991年 ~ 현재 포항공과대학교 전자전기공학과 조교수. 주관심 분야는 IC설계(ASIC 및 저전력, 저전압 회로설계), IC소자 모델링, IC interconnect, 전송선 및 패키지 모델링 및 해석 등임.