

저항열을 이용한 간단한 FIR 필터의 설계방법

(Simple Design of FIR Filters Using Resistor Array)

金濟佑*, 金振圭**, 趙敏亨***

(Je Woo Kim, Jin Kyu Kim and Min Hyoung Cho)

要約

본 논문에서는 디지털 산술연산을 이용하지 않고, FIR 필터를 설계하는 방법을 제안한다. 필터의 계수들은 저항열과 차동증폭기로 구성할 수 있으므로, FIR 필터를 설계할때 복잡한 디지털 산술연산이 불필요하다. 나아가, 필터링 과정에서 자동적으로 D/A 변환이 이루어 지므로, D/A 변환을 위한 별도의 D/A 변환기가 필요하지도 않다. 예로써 17개의 계수를 갖는 FIR 필터를 설계해 보았다.

Abstract

In this paper a method of designing FIR filters without digital arithmetic operations is presented. The filter coefficients are represented by resistors combined with a differential amplifier. With this method an FIR filter can be simply impemented without refering to complex digital arithmetic operations. Furthermore, in this scheme, no additional D/A converter is needed for D/A conversion. Spectral response of a pulse shaping filter of 17 coefficients is shown as an illustration.

1. 서론

현대의 신호처리분야에서 디지털신호 처리 기술이

아나로그신호처리방법을 급속히 대체하고 있는데, 이는 디지털신호처리기술을 이용함으로써 회로의 크기를 줄여 Downsizing 을 하거나, 디지털동작에 의한 동작의 신뢰성을 보장하기 위해서이다. 디지털신호처리에서 디지털 필터는 매우 중요한 역할을 한다. 따라서 성능이 우수한 디지털 필터를 쉽게 구현하기 위하여 많은 연구가 행해졌다.^{[1]~[3]} 이러한 연구들은 주로 두가지 방향에 초점이 맞추어져 있는데 하나는 Pass Band Ripple 이나 Side Lobe Level 을 개선하는 등 필터의 성능을 개선하기 위한 것이며, 다른 하나는 Hardware의 복잡도를 줄이는 것이다. 잘 알려진 바와 같이 디지털 필터는 많은 양의 산술연산이 요구된다. 예를 들어 계수당 10 Bits 의 해상도를 갖는 디지털 필터의 경우 수천의 디지털 산술연산이 필

*正會員, 水源大學校 情報通信工學科
(Dept. of Information Systems and Telecommunications Eng., Suwon Univ.)

**正會員, 三星電子 通信시스템 産業電子事業部
無線通信研究그룹

(Dept. of Radio Communications Research Group,
Advanced Electronic, Samsung Electronics co.)

***正會員, 水源大學校 電氣工學科
(Dept. of Electrical Eng., Suwon Univ.)

接受日字 : 1993年 12月 17日

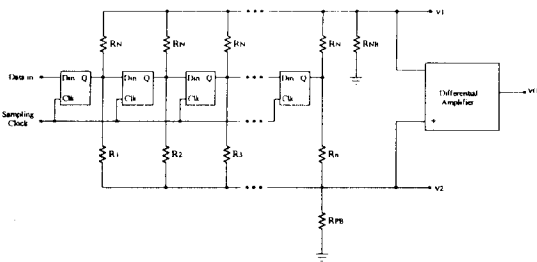
요하다.

이러한 난점을 극복하기 위한 노력의 일환으로, Jackson^[4] 과 Samueli^[5] 는 Canonic Signed Digit Code를 이용한 곱셈기가 없는 FIR 필터를 소개한 바 있다. 그러나 이러한 방법들 역시 천이거나 덧셈같은 디지털산술연산을 필요로 한다. 따라서 수십개의필터계수를 갖는 디지털 필터를 구현한다는 것은 고도의ASIC 기술을 이용하지 않으면 대단히 어렵거나, 많은 하드웨어를 수반하지 않으면 안된다. 또한 이렇게 디지털연산을 이용한 디지털 필터의 구현에는 최종단에서 디지털신호를 아날로그신호로 바꾸고자 할 때 별도의 D/A 변환기가 필요하게 된다.

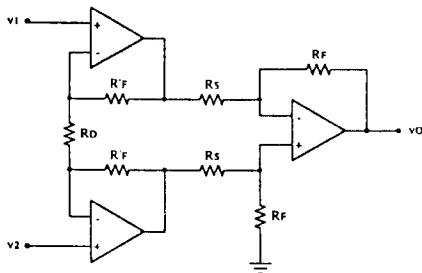
본 논문에서는, 디지털산술연산이 필요하지 않는 간단한 FIR 필터의 설계방법을 제시한다. 이 방법에서는 FIR 필터의 모든 계수들은 저항과 차동증폭기로 이루어졌으며, 디지털 덧셈이나 디지털 곱셈같은 디지털 연산이 사용되지 않았다. 이렇게 함으로써, 간단하게 고속의 FIR 필터를 구현할 수 있다. 더우기, D/A 변환이 Filtering 과정에서 자동적으로 행해지므로 별도의 D/A 변환기가 필요하지 않은 장점도 있다.

II. FIR Filter의 설계

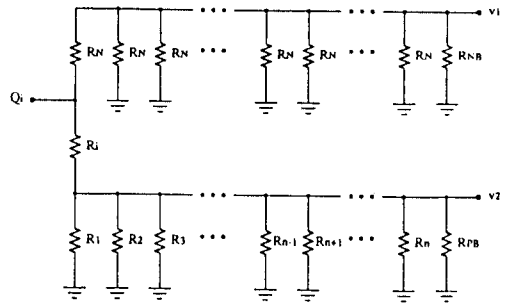
그림 1은 제안된 방법으로 설계된 FIR 필터이다.



(a)



(b)



(c)

그림 1. (a)Sample당 1bit 입력을 갖는 digital FIR filter의 구조 (b) 차동 증폭기 구조 (c) Qi 입력과 v1, v2 출력에 대한 등가 회로

Fig. 1. (a) A schematic feature of digital FIR filter of 1 bit/sample (b) A scheme of differential amplifier (c) Equivalent circuit for v1 and v2 due to Qi.

그림에서 입력신호는 1 Bit/Sample로 가정하였고, D Flip-Flop 에 저장되어있고, Clock에 의해 오른쪽으로 천이된다. 매 Clock에 의해 D Flip-Flop의 Sample 값들은 저항에 의해 가중치된 결과를 출력하게 된다. 이 출력은 저항에 걸리는 전압값으로 표현된다. 이렇게 함으로써 FIR 필터의 계수들은 저항들과 차동증폭기의 결합에 의해 표현할 수가 있다. 필터계수에 대한 가중치 함수는 다음과 같이 구할 수 있다. 그림 1(a) 에서 Flip-Flop 의 갯수를 n 이라고 하고, 차동증폭기가 이상적이라 가정하면, 차동증폭기의 입력전압 v1 과 v2는 다음과 같이 얻어진다. Qi 를 i번째 Flip-Flop의 출력이라 하고, v_{ri} 를 Qi 에 의한 전압성분이라 하면, v_{ri}은

$$v_n = \frac{R_1 // R_2 // \dots // R_{i-1} // R_{i+1} // \dots // R_n // R_{PB}}{R_i + R_1 // R_2 // \dots // R_{i-1} // R_{i+1} // \dots // R_n // R_{PB}} * Q_i$$

$$= \frac{1}{R_i + \frac{G_1 + G_2 + \dots + G_{i-1} + G_{i+1} + \dots + G_n + G_{PB}}{1}} * Q_i \quad (1)$$

여기서 '// 와 Gi 는 저항들의 병렬결합과 i 번째 Admittance (즉, Gi = 1/Ri) 를 나타낸다. 상기의 v_{ri} 을 이용하면 v2 는 다음과 같다.

$$\begin{aligned}
 v_2 &= \sum_{i=1}^n v_n \\
 &= \frac{1}{G_1 + G_2 + \dots + G_n + G_{PB}} * (G_1 * Q_1 + G_2 * Q_2 + \dots + G_n * Q_n) \\
 &= K * (Q_1 / R_1 + Q_2 / R_2 + \dots + Q_n / R_n) \tag{2}
 \end{aligned}$$

여기서 $K = \frac{1}{G_1 + G_2 + \dots + G_n + G_{PB}}$ 이며, n 은 필터의 계수의 숫자이다.

유사한 방법으로 v_1 도 구할 수 있으며, 다음과 같이 주어진다.

$$\begin{aligned}
 v_1 &= \frac{1}{n * G_N + G_{NB}} * (G_N * Q_1 + G_N * Q_2 + \dots + G_N * Q_n) \\
 &= \frac{1}{n * G_N + G_{NB}} * (Q_1 + Q_2 + \dots + Q_n) \tag{3}
 \end{aligned}$$

차동증폭기의 이득을 A 라고 가정하면 v_1 과 v_2 를 이용하여 차동증폭기의 출력 v_o 를 구할 수 있다.

$$\begin{aligned}
 v_o &= A * (v_2 - v_1) \\
 &= A * [(K * G_1 - \frac{G_N}{n * G_N + G_{NB}}) * Q_1 + \dots + (K * G_n - \frac{G_N}{n * G_N + G_{NB}}) * Q_n] \\
 &= A * [\sum_{i=1}^n (K * G_i - \frac{G_N}{n * G_N + G_{NB}}) * Q_i] \\
 &= A * [\sum_{i=1}^n w_i * Q_i] \tag{4}
 \end{aligned}$$

여기서

$$w_i = h_i - h_N \tag{5}$$

$$h_i = K * G_i = K / R_i \tag{6}$$

$$h_N = G_N / (n * G_N + G_{NB}). \tag{7}$$

여기서 w_i ($i=1, 2, \dots, n$)은 요구되어지는 FIR 필터의 계수값이라 하면, 식 (5)-(7)로 부터, 저항값들을 조절함으로써, 요구되어지는 필터계수들에 대한 임의의 값들을 얻을 수 있다는 것을 알 수 있다.

다음은 주어진 필터계수들에 대한 저항값들을 결정하는 절차이다. $-h_N$ ($h_N > 0$) 를 w_i 의 가장 큰 음수 계수로 둔다. 주어진 h_N 으로부터 G_N 과 G_{NB} (즉 R_N 과 R_{NB})를 식 (7)에의 결정할 수 있다. h_N 이 정해지면 식 (5)에서 이 h_N 과 w_i 를 이용하여 h_i 를 정할 수 있다. 이 h_i 값을 만족하는 저항값들을 정함으로써, 요구되어지는 FIR 필터의 계수값들 w_i 를 만족하는 필터를 설계할 수 있다. 식 (5)로부터 h_i 는 다음식을 만족하는 양수이다.

$$h_i = w_i - h_N. \tag{8}$$

h_i 와 관련된 저항값 R_i 를 구하기 위해, K 와 G_{PB} 를 임의의 값 K_a 와 G_{PBa} 로 둔다. 여기서

$$\begin{aligned}
 \sum_{i=1}^n h_i &= \sum_{i=1}^n K * G_i \\
 &= \frac{G_1 + G_2 + \dots + G_n}{G_1 + G_2 + \dots + G_n + G_{PB}} \\
 &= 1 - K * R_{PB} \tag{9}
 \end{aligned}$$

이므로, 비록 h_i 가 식(8)을 이용하여 주어진 w_i 에 의해서 구해졌다 하더라도, 이 h_i 는 임의로 정한 K_a 와 G_{PBa} 에 대해 식 (9)의 조건을 만족하지 않는다. 따라서 상기의 조건들을 만족시키기위해 정규화 상수 η 를 이용하여 식 (8)로 부터 정규화된 h_i 는 다음 식으로 표현된다.

$$\eta * \sum_{i=1}^n h_i = 1 - K_a * G_{PBa}. \tag{10}$$

여기서 $h'_i = \eta * h_i$, $h'_N = \eta * h_N$ 라 두면, 식 (6)과 (7)로 부터, R_N 과 R_i 는 다음과 같이 얻어진다.

$$R_N = R_{NB} * (\frac{1}{h'_N} - n). \tag{11}$$

$$R_i = \frac{K_a}{h'_i}. \tag{12}$$

따라서, R_N 와 R_{NB} 그리고 R_i 의 저항값들을 조절함으로써 필요한 필터의 계수 w_i 를 구할 수 있다.

그림 1(b)는 두개의 Voltage Follower를 이용한 차동증폭기를 보여준다. 그림 1(c)는 v_1 (또는 v_2)와 Q_i 와의 관계를 보여주는 등가 회로이다. 그림 1로부터 적용된 FIR 필터는 자신이 D/A 변환기능을 내장하고 있으므로 별도의 D/A 변환기가 필요하지 않다는 사실을 알 수 있다. 이러한 방법으로 각

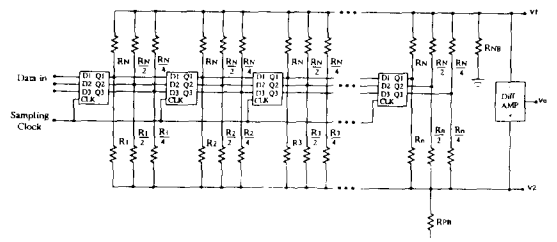


그림 2. Sample당 3bit입력을 갖는 digital filter의 구조

Fig. 2. A schematic feature of digital filter with inputs of 3bits/sample

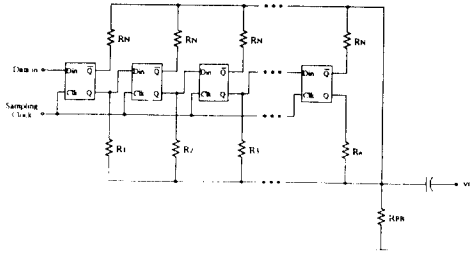


그림 3. 구현된 digital FIR filter의 또다른 구조
Fig. 3. Another architecture of implemented digital FIR filter.

Sample 당 Multi-Bits인 경우로도 확장할 수 있다. 그림 2는 Sample 당 3 Bits인 경우의 FIR 필터의 회로를 보여준다. 나아가, 여기서 차동증폭기 없이 캐패시터를 이용하여 DC Bias를 제거하여 FIR 필터를 설계할 수도 있다. 그림 3은 Flip-Flop과 캐패시터를 이용하여 FIR 필터를 구성한 예를 보여준다. 이 그림에서 캐패시터는 차동증폭기의 역할을 대신하여 DC Bias 를 제거 하게된다.

Ⅲ. Low Pass Filter 의 설계 예

본 논문에서 제안한 방법을 이용하여 17개의 계수를 갖는 FIR 저역통과 필터를 Flip-Flop과 저항 그리고 차동증폭기로 설계하였다. 저역통과 필터는 Spectrum Shaping 용으로 Roll-off Factor 가 0.5 인 Root Raised Cosine Filter 를 사용했으며, 이 필터의 중심주파수는 Sampling 주파수의 1/8 이며, Stop Band Attenuation 은 -29 dB 이다. Table 1은 이 FIR 필터의 계수들과 그에 대응한 저항값들을 보여 준다. 그림 4는 이 필터계수들을 이용하여 컴퓨터 시뮬레이션으로 구한 FIR 필터의 주파수 특성을 보여 준다. 이 그림은 Sampling 주파수의 절반으로 정규화되어 있다. 그림에서 굵은선은 이상적인 저항값들을 이용했을 때의 주파수 특성이고, 가는 선은 모든 저항값들이 5%의 오차를 가질 때의 주파수 특성을 나타낸다. 이 그림에서 저항값에 5%정도의 오차가 있을 때에도 스펙트럼특성에서 Mainlobe가 약간 넓어지지만 Stop Band의 특성은 열화되지 않음을 알 수 있다. 또한, 그림 5에서 보는 것과 같이 Pass Band의 선형위상 특성도 그대로 유지된다. 이상의 결과로부터 제안된 방법에 의해 FIR 필터를 설계할 때 수 % 내에서의 저항오차는 필터의 성능을 크게 열화시키지 않음을 알 수 있다.

표 1. Filter의 계수와 계산된 저항 값

Table 1. Filter coefficients & Resistor value.

Coefficient Number	Filter Coefficient	Resistor Number	Resistor Value (Ω)
1	H1 = H17	R1 = R17	6432.880230
2	H2 = H16	R2 = R16	13091.068359
3	H3 = H15	R3 = R15	∞
4	H4 = H14	R4 = R14	253156.640625
5	H5 = H13	R5 = R13	6432.888184
6	H6 = H12	R6 = R12	2172.720459
7	H7 = H11	R7 = R11	1191.489229
8	H8 = H10	R8 = R10	865.748972
9	H9	R9	782.502991
10	K	RN	15618.527344
11	7	RPB = RNB	330.0

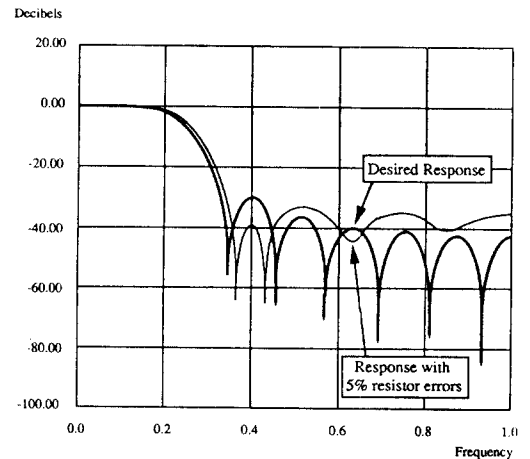


그림 4. Log scale 주파수 응답 특성
Fig. 4. Log Magnitude Response.

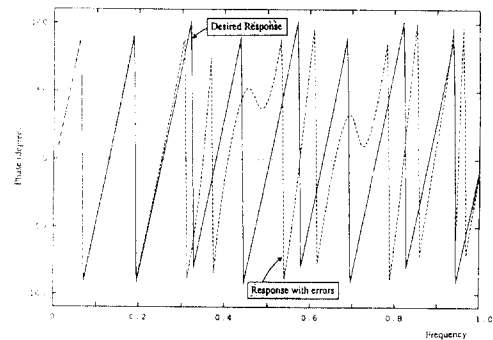


그림 5. Phase Response
Fig. 5. Phase Response.

IV. 결론

본 논문에서는 간단한 FIR 필터의 설계방법을 제안하였다. 종래의 방법에 의하면 디지털 FIR 필터를 설계하기 위해서는 고속으로 구동되는 디지털산술연산이 필요하였으며, 이를 위해서는 많은 하드웨어가 필요하였다. 또 이렇게 디지털처리된 신호를 아날로그 신호로 변환하기 위해서는 별도의 D/A 변환기가 필요하였다. 그러나, 본 논문에서 제안된 방법에서는 FIR 필터의 계수를 수동소자인 저항으로 표현할 수 있으므로 간단하게 고속의 FIR 필터를 구성할 수 있으며, 나아가 디지털신호를 아날로그 신호로 변환하기 위한 별도의 D/A 변환기가 필요하지 않다는 장점도 가지고 있다.

參 考 文 獻

- [1] A.V. Oppenheim and R.W. Schaffer, Digital Signal Processing, Prentice-Hall Inc., Englewood Cliffs, New Jersey, 1975.
- [2] L.R. Rabiner and B. Gold, Theory and Application of Digital Signal Processing, Prentice-Hall Inc., Englewood Cliffs, New Jersey, 1975.
- [3] T.W. Parks and J.H. McClellan, "A Program for the Design of Linear Phase Finite Impulse Response Filters," IEEE Trans. on Audio Electronics, vol. AU-20, no. 3, pp.195-199, 1972.
- [4] L.B. Jackson, Digital Filters and Signal Processing, Hingham, MA, Kluwer Academic, pp. 74-7, 1986.
- [5] H. Samueli, "The Design of Multiplierless FIR Filters for Compensating D/A Converter Frequency Response Distortions," IEEE Trans. on Circuit and Systems, vol. 35, no. 8, pp. 1064-1066, 1988.

著 者 紹 介



金濟佑(正會員)

1983年 2月 서울대학교 전자공학과 학사 1985年 2月 한국 과학 기술원 석사. 1990年 2月 한국 과학 기술원 박사. 1990年 3月 ~ 1993年 2月 삼성전자 정보 통신 연구소 선임 연구원. 1993年 3月 ~ 현재 삼성전자 산업전자 사업부 무선 통신 연구 그룹 기술 자문. 1993年 3月 ~ 현재 수원대학교 정보 통신 공학과 전임강사



金振圭(正會員)

1987年 2月 광운대학교 전자 통신 공학과 학사. 1987年 1月 ~ 1989年 9月 맥슨전자 기술 연구소 연구원. 1989年 10月 ~ 현재 삼성전자 산업전자 사업부 무선 통신 연구 그룹선임 연구원

趙敏亨(正會員)

1983年 2月 서울대학교 전자공학과 학사 1985年 2月 한국 과학 기술원 석사. 1990年 8月 한국 과학 기술원 박사. 1990年 9月 ~ 1992年 2月 삼성 종합 기술원 선임 연구원. 1992年 3月 ~ 현재 수원대학교 전기 공학과 전임 강사