

SIA(Stochastic Iteration Algorithm)을 이용한 반향제거기 설계에 관한 연구

A Study on the Design of Echo-Canceller using SIA(Stochastic Iteration Algorithm)

조 현 목*, 김 상 훈*, 박 노 경**, 문 대 철**, 차 균 현*
(Hyon Mook Cho*, Sang Hoon Kim*, Nho Kyung Park**,
Dai Tchul Moon**, Kyun Hyon Tchah*)

요 약

본 논문에서는 3선 가입자 선로상에서 전-이중 데이터 전송시 발생하는 반향을 제거하기 위해서, 기존의 TDL(Tapped Delay Line) 구조와는 다른 반향제거기를 제안하였다. TDL 구조의 반향제거기는 탭 수만큼의 승산기들 이용하여 병렬처리 동작을 수행하는 반면에 본 논문에서 제안한 방식은 단지 2개의 승산기를 이용하여 순차적인 동작을 수행한다. 따라서, 기존의 반향제거기에 있어서의 집적화의 어려움을 개선한 방식이라고 할 수 있다. 본 논문에서 사용한 반향제거 알고리즘으로는 SIA(Stochastic Iteration Algorithm)을 사용하였고 baseband modem에 알맞는 신호율을 처리하도록 설계하였다.

ABSTRACT

This paper proposes Echo canceller used in simultaneous two-way ("full-duplex") transmission of data signals over two-wire circuits which can be achieved by using a hybrid coupler. This Echo canceller uses sequential processing instead of parallel processing with conventional adaptive digital filter. This structure reduces the number of multipliers. Thus, this structure is much more suitable for IC implementation. This Echo canceller operates according to the "Stochastic Iteration Algorithm(SIA)." SIA algorithm has merit of good performance and small hardware requirement.

I. 서 론

최근의 데이터 통신은 주로 2선 가입자 선로상의 전-이중(full-duplex) 방식에 의해 데이터 전송이 이루어지고 있으며 하이브리드 커플러를 이용하여 실

현되고 있다. 이러한 하이브리드 커플러의 사용은 하이브리드 양 끝단의 송신기와 수신기 사이에서 불완전한 격리를 가져온다. 즉, 송신기에서 전송된 신호의 일부분이 하이브리드 회로내의 불평형의 결과로 자신의 수신기로 직접 누설되거나, 혹은 2선 가입자 선로에 존재하는 임피던스 부정합이나 불균일에 의해 반사되어 자신의 수신기로 돌아올 수 있다. 전자를 근단반향(Near-end echo), 후자를 원단반향(Far-

*고려대학교 전자공학과
**호서대학교 정보통신공학과
접수일자: 1993년 11월 10일

$$-s(k) = b_k^T \cdot h \quad (8)$$

수신된 신호 $s(k)$ 와 추가적인 잡음신호 $n(k)$ 의 제 거되어서는 안되는 신호 $u(k)$ 를 $u(k) = s(k) + n(k)$ 로 정의하면, 그림 1에서 신호 $r(k)$ 는 식 (6), (7)을 이용하여 다음과 같이 쓸 수 있다.

$$\begin{aligned} -r(k) &= s(k) + n(k) + e(k) - \hat{e}(k) \\ &= e(k) - \hat{e}(k) + u(k) \\ &= a_k^T (g - c_k) + u(k) \end{aligned} \quad (9)$$

$$-\rho(k) = E\{(r(k))^2\} = E\{(a_k^T (g - c_k) + u(k))^2\} \quad (10)$$

입력데이터 $a(k)$ 와 $b(k)$, 그리고 잡음 $n(k)$ 는 통계적으로 독립이라고 가정한다. 또한, 데이터 값들이 +1과 -1을 동일한 확률로 갖는다고 가정하면 식 (10)은 다음식과 같이 나타낼 수 있다^{[1][3][8]}.

$$\begin{aligned} -\rho(k) &= E\{(g - c_k)^T \cdot a_k \cdot a_k^T (g - c_k)\} + E\{(u(k))^2\} \\ &= (g - c_k)^T (g - c_k) + U \end{aligned} \quad (11)$$

여기에서, $U = E\{(u(k))^2\}$ 이다. 이제, c_k 에 대해서 $\rho(k)$ 의 gradient를 구해보면 다음과 같다^{[1][3]}.

$$-\text{grad } \rho(k) = \left(\frac{\partial \rho(k)}{\partial c_0(k)}, \dots, \frac{\partial \rho(k)}{\partial c_{N-1}(k)} \right) \quad (12)$$

$$-\text{grad } \rho(k) = -2 (g - c_k) \quad (13)$$

$$-\text{grad } \rho(k) = -2 E\{r(k) \cdot a_k\} \quad (14)$$

결론적으로, 식 (13)과 (14)에서 $\text{grad } \rho(k)$ 는 적용 계수 벡터 c_k 의 실제값과 최적값과 차이를 직접적으로 표현됨을 알 수 있다. 따라서, 반향제거기에서 적용 디지털 필터의 자동적인 적용은 다음식으로 표현될 수 있다.

$$-c_{k+1} = c_k - \alpha \cdot \text{grad } \rho(k) \quad (15)$$

식 (15)를 이용하여 필터의 계수를 반복적으로 보정하게 된다. 여기에서 α 는 증폭상수이다. 식 (15)의

반복적인 동작으로 $\rho(k)$ 는 최소가 된다.

2. 반향제거기 알고리즘

적용 디지털 필터를 실제로 구현하기 위해서는 $\text{grad } \rho(k)$ 의 계산을 식 (14)의 오른쪽 항을 근사 화함으로써 얻어야 한다. 이렇게 근사된 $\text{grad } \rho(k)$ 를 식 (15)에 적용한 식을 반향제거기 알고리즘이라고 한다. 적용 알고리즘으로는 다음의 3가지가 일반적이다^{[1][3][9]}.

- Correlation 알고리즘
- Stochastic Iteration 알고리즘
- Sign 알고리즘

Correlation 알고리즘은 $\text{grad } \rho(k)$ 의 값을 K개의 data interval에서 유한한 시간평균에 의해서 근사화 하는 방법이다. 이 알고리즘은 식 (16)의 근사식을 이용한다.

$$-\text{grad } \rho(k) \approx -2/K \sum_{l=k+1-k}^k r(l) a_l \quad (16)$$

Stochastic Iteration 알고리즘은 각 data interval에 대해서 근사가 이루어 진다. 근사식은 식 (17)에 나타내었다.

$$-\text{grad } \rho(k) \approx -2 r(k) a_k \quad (17)$$

Sign 알고리즘은 식 (17)의 근사식을 더욱더 간단히 한 식 (18)의 근사식을 이용한다.

$$-\text{grad } \rho(k) \approx -2 \text{sign}(r(k)) a_k \quad (18)$$

이들 세가지 알고리즘중에서 어떤 알고리즘을 이용하여 반향제거기를 구현하는가의 문제는 구현하고자 하는 반향 제거기의 성능과 하드웨어의 양과의 trade-off를 고려하여 결정하여야 한다. 그림 2는 위에서 설명한 세가지의 알고리즘에 대한 적용 회로에 대해서 나타내었다. 이 그림에서 T라고 표시한 블럭은 Transversal filter의 tap을 의미한다. Correlation 알고리즘은 다른 알고리즘에 비해서 같은 동작을 수행하는데 상당히 많은 하드웨어를 필요로 한다. 반면에, Sign 알고리즘은 그림 2 (c)에서 보는 바와 같이

아래쪽 승산기가 다른 알고리즘에 비해서 매우 간단하다. 성능면에 있어서는 Correlation 알고리즘과 Stochastic Iteration 알고리즘이 수렴율과 제곱평균에러의 최소값에서 상당히 좋은 결과를 나타낸다. 본 논문에서는 식 (19)로 표시되는 SIA를 사용하였다.

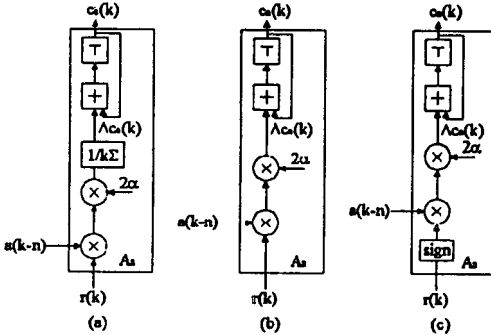


그림 2. 세가지 다른 알고리즘에 대한 적응회로
(a) Correlation 알고리즘
(b) Stochastic iteration 알고리즘
(c) Sign 알고리즘

Fig 2. Adaptive circuits of the 3 different algorithm.
(a) Correlation algorithm
(b) Stochastic iteration algorithm
(c) Sign algorithm

SIA의 동작을 자세히 살펴보기 위해서는 시간의 함수로서, 수신된 반향신호와 반향복사신호와의 차이를 고려해야 한다. 반향제거기의 성능을 평가하는 제곱평균에러^{[7][10][11]}를 정의하면 다음식 (20)과 같다.

$$-\epsilon(k) = E\{(g - c_k)^T (g - c_k)\} \quad (20)$$

식 (19)를 식 (20)에 대입하면 다음식을 얻는다.

$$-\epsilon(k) = (1 - 4\alpha + 4\alpha^2 N) \cdot \epsilon(k-1) + 4\alpha^2 NU \quad (21)$$

$$N = a_k^T a_k, U = E\{a^2(k)\}.$$

$$-\frac{\epsilon(k)}{U} = (1 - 4\alpha + 4\alpha^2 N)^k \cdot \left(\frac{\epsilon(0)}{U} - \frac{\alpha N}{1 - \alpha N} \right) + \frac{\alpha N}{1 - \alpha N} \quad (22)$$

식(22)가 수렴하기 위해서는 $|1 - 4\alpha + 4\alpha^2 N| < 1$ 이어야 하므로 다음 조건이 만족되어야 한다.

$$-0 < \alpha < 1/N \quad (23)$$

또한, 이때 $\frac{\epsilon(\infty)}{U} = \frac{\alpha N}{1 - \alpha N}$ 이므로, 수렴후 제거되지 않은 신호의 잔여신호에 대한 비(ratio)를 δ 로 표시하면 다음식과 같다.

$$-\delta \approx 10 \log_{10} \frac{\epsilon(\infty)}{U} = 10 \log_{10} \frac{\alpha N}{1 - \alpha N} [dB] \quad (24)$$

수렴율은 보통 v_{20} 으로 나타내는데, 이는 잔류반향을 20dB 감소시키는데 필요한 반복횟수를 나타낸다.

$$\text{만일, } \frac{\epsilon(\infty)}{U} \gg \frac{\alpha N}{1 - \alpha N} \text{ 이라면}$$

$$v_{20} = \frac{-2}{10 \log_{10}(1 - 4\alpha + 4\alpha^2 N)} \quad (25)$$

식 (25)로 부터 증폭상수 α 는 수렴속도와 잔여반향의 최소값을 결정하는 중요한 요소임을 알 수 있다. 증폭상수 α 는 δ 의 값에 직접적인 영향을 준다. 그림 3은 $N=20$, $\frac{\epsilon(0)}{U} = 30$ dB를 갖고, 서로 다른 2개의 α 값에 따른 $\frac{\epsilon(k)}{U}$ 의 수렴곡선을 보여준다. 이 그림에서 $\alpha_1 = 2 \times 10^{-3}$ 이고, $\alpha_2 = 10^{-3}$ 이다.

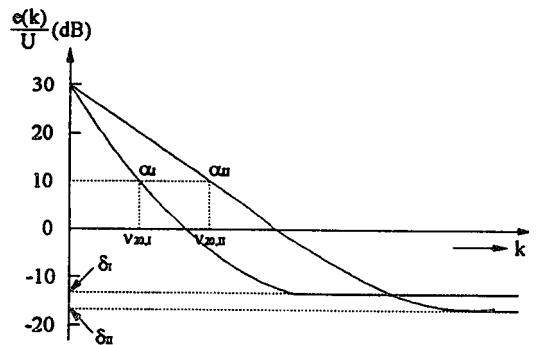


그림 3. SIA를 이용한 EC의 수렴곡선
Fig 3. Convergence curve for an EC based on the SIA

III. 순차처리 적응필터의 개요

1. 순차동작을 위한 적응 디지털 필터의 제한
앞에서 설명한 바와 같이 N개의 tap 수를 갖는 병렬처리 적응 디지털 필터는 N개 만큼의 승산기의 수

가 필요하므로 회로가 매우 복잡하게 된다. 따라서, 본 논문에서는 순차처리를 하는 적응 디지털 필터를 제안한다. 이 구조는 단지 2개월 승산기만이 필요하므로 회로가 매우 간단해진다. 그림 4에 순차 처리 동작을 하는 적응 디지털 필터의 블럭도를 나타내었다.

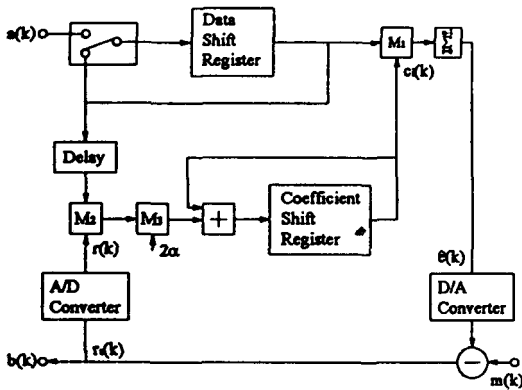


그림 4. 순차처리 적응필터의 블럭도
Fig 4. Block diagram of sequential processing ADF

2. 순차처리 적응필터의 구현을 위한 파라미터 설정

적용 필터의 집적회로 구조가 결정되었으면, 입력 데이터의 수 N, 증폭상수 α , 필터를 구성하는 각 회로의 디지털 양을 표시하는 바이트수(word length) 등의 파라미터를 결정 하여야 한다. N의 값은 제거되어야 하는 반향의 maximum duration에 의해서 결정된다. 증폭상수 α 는 반향제거기의 성능과 수렴율을 고려하여 결정하여야 한다. N을 64로 정했을때 α 의 값은 1.5×10^{-4} 이어야 한다. 적응필터에 입력되는 $a(k)$ 는 biphase coder에 의해서 1 비트로 인가된다. 잔여신호 $r(k)$, 적응계수, $c_i(k)$, 반향 복사신호 $\hat{e}(k)$ 는 반향제거기의 동작에 상당한 영향을 미친다. 그러나, 크기가 수식으로 정확하게 정의되는 것은 아니다. α 의 값이 작다는 것은 각 iteration에서 새로운 계수를 만드는 교정 값들이 계수값의 마지막 값과 비교해서 일반적으로 작다는 것을 의미한다. 따라서, 계수의 word length는 교정값 $2 \cdot \alpha \cdot r(k) \cdot a(k-1)$ 보다는 커야함을 알 수 있다. 그리고 교정값의 word length는 $r(k)$ 의 word length와 같아야 한다. 그 이유는 $\alpha = 2^{-m}$ 이고, $a(k-1)$ 은 ± 1 을 가지기 때문이다. 누산기의 마지막 출력값은 많은 계수들의 weight를 갖는 합

으로 이루어진다. 반향 복사신호 $\hat{e}(k)$ 의 word length는 누산기의 word length는 누산기의 word length와 같게 된다. 먼저 가장 기본이 되는 $r(k)$ 의 word length를 구해보자.

$r(k)$ 의 값이 다음의 범위일때,

$$-(2^{W_r-1}-1) \leq \frac{r_s(k)}{q} \leq (2^{W_r-1}-1) \tag{26}$$

$r(k)$ 의 word length W_r 은 식(27)로 주어진다.

$$-W_r = \lceil \log_2 \left(\frac{|r(k)|_{\max}}{q} + 1 \right) \rceil + 1 \tag{27}$$

여기에서, q는 잔여신호의 quantization step이다. $|r(k)|$ 의 최대값을 3V로 하고, $q_{\max} = 40mV$ 로 정하면, $r(k)$ 의 word length는 8비트가 된다. W_r 을 기준으로 다른 신호들의 word length는 식(28)로 주어진다.

$$-W_i = W_{acc} = W_{\hat{e}(k)} = W_r + \log_2 \left(\frac{1}{2\alpha} \right) \tag{28}$$

식 (28)을 이용하여, 본 논문에서 설계한 회로에서의 신호들의 word length는 다음으로 주어진다.

- 잔여신호 $r(k)$ 의 word length : $W_r = 8 \text{ bit}$
- 적응계수 $c_i(k)$ 의 word length : $W_c = 18 \text{ bit}$
- 누산기의 word length : $W_{acc} = 19 \text{ bit}$
- 반향 복사신호 $\hat{e}(k)$ 의 word length : 12 bit

$r(k)$ 의 LSB는 40mV의 quantization step과 같으며, $\hat{e}(k)$ 의 LSB는 12.5mV의 quantization step과 같다. 그림 5에 반향제거기의 회로 구현에서의 다양한

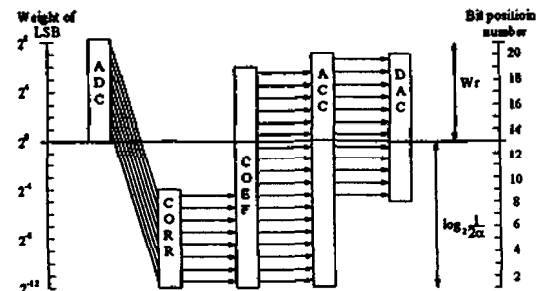


그림 5. EC 회로에서의 디지털 신호의 word length
Fig 5. Word length of digital signal in the EC

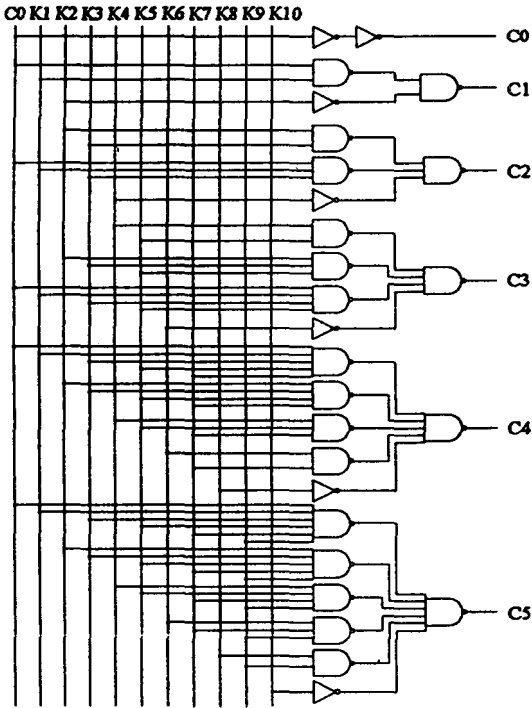


그림 8. Carry Generation Block(CGB)의 회로도
Fig 8. Circuit diagram of Carry Generation Block

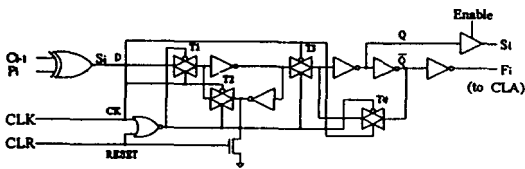


그림 9. 누산기의 회로도
Fig 9. Circuit diagram of accumulator

2. 전가산기의 설계

전가산기는 그림 4에서, M_1 에 곱해지는 계수의 변환된 값과 $2\alpha a(k)r(k)$ 와의 합을 구해서 새로운 계수 값을 CSR(Coefficient Shift Register)에 제공해 주기 위해서 사용된다.

본 논문에서 사용된 전가산기는 exclusive-OR gate, inverter, transmission gate를 이용한 transmission gate adder를 사용했다. 이 전가산기에 사용된 exclusive-OR gate의 회로도와 4개의 transmission gate, 4개의 inverter, 2개의 XOR-gate를 사용한 전가산기의 logic diagram을 그림 10에 나타내었다. 이렇게 설계된 전가산기는 SUM과 CARRY 출력의

delay가 같고 SUM과 CARRY의 신호들이 non-inverter 된다는 장점을 가진다.

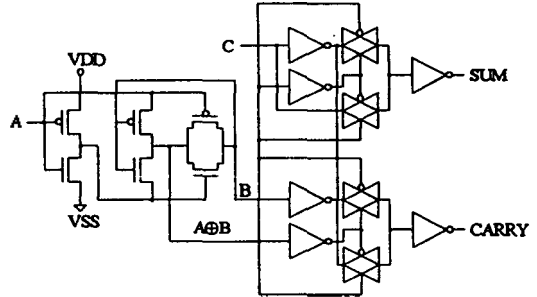


그림 10. 전달게이트를 이용한 전가산기
Fig 10. Full adder with transmission gate

3. A/D 변환기의 설계

본 논문에서 구현된 반향제거기에서 $r(k)$ 입력 전압은 $\pm 5V$ 의 범위를 지니고 $W_s = 8$ 비트이므로 $V_{ref} = 5V$ 인 bipolar 변환을 수행하는 8비트 flash A/D 변환기를 그림 11과 같이 설계하였다. $\pm V_{ref}$ 는 그림 11에서처럼 225개의 값으로 나뉘어져서 각 값은 비교기의 양의 단자에 인가된다. 비교기의 출력에서 나오는 디지털 출력 word를 결정하기 위하여 비교기

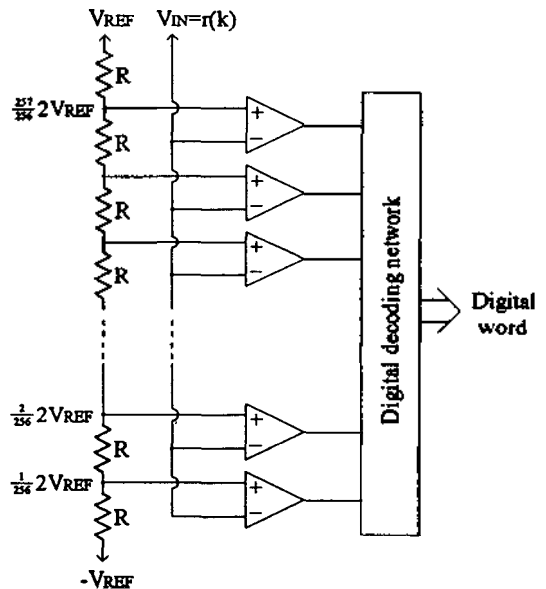


그림 11. A/D 변환기의 구성도
Fig 11. Block diagram of A/D converter

의 출력은 디지털 디코딩 network으로 입력된다. 만약 $r(k)$ 의 값이 2.5V 이면 위로부터 64개의 비교기 출력은 1이고, 아래 92개의 비교기 출력은 0이 된다. 디지털 디코딩 network은 그에 따르는 디지털 word 로써 01000000이 된다.

4. D/A 변환기의 설계

본 논문에서 사용한 D/A 변환기를 그림 12에 나타 내었다. 이 변환기는 voltage-scaling technique의 조합을 이용한 변환기이다. $N=(M+K)$ bit의 변환 을 하기 위해서 M bit 저항열과 K bit 2진 weight를 갖는 커패시터열이 사용된다. 저항열 R_1 에서 R_{2M} 까지는 V_{REF} 를 2^M 개의 동등한 전압으로 나눈다. 2진 weight를 갖는 커패시터열 C_1 에서 C_{M+1} 까지는 이러한 전압 segment의 하나를 2^M level로 나눈다. 4개의 MSB는 전압 scaling에 의해 실행되고, 8개 LSB의 커패시터 scaling에 의해 실행된다.

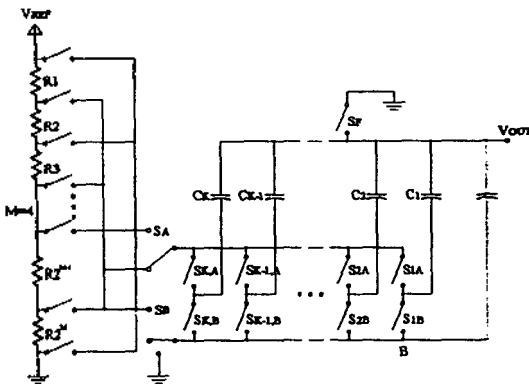


그림 12. D/A 변환기의 구성도
Fig 12. Block diagram of D/A converter

5. 제어회로의 설계

제어회로는 전체 반향제거기의 동작에 필요한 제 어신호들을 적절한 순간에 공급해 주는 역할을 수행 한다. 제어회로를 구현하는 두가지 주요한 방법으 로는 random logic 구현과 structured logic 구현의 두 가지가 있다. 본 논문에서는 사용되는 신호의 수가 많지 않고, 신호들 사이의 연관성이 적어서 제어신 호들의 함수들을 최적화하기가 용이하지 않기 때문에 random logic을 용한 제어회로를 구현하였다. 즉, Toggle Flip Flop을 이용한 binary ripple counter를

구성하여 주기적인 입력 파형을 만들고, 이 파형을 static gate들을 조합하여 원하는 제어신호를 생성하 였다. 이러한 binary counter로 부터 원하는 제어신호 를 만들어 내기 위한 제어회로는 그림 13에 나타내었 고, 그림 13의 각 제어신호들의 목록은 표 1에 나타내 었다.

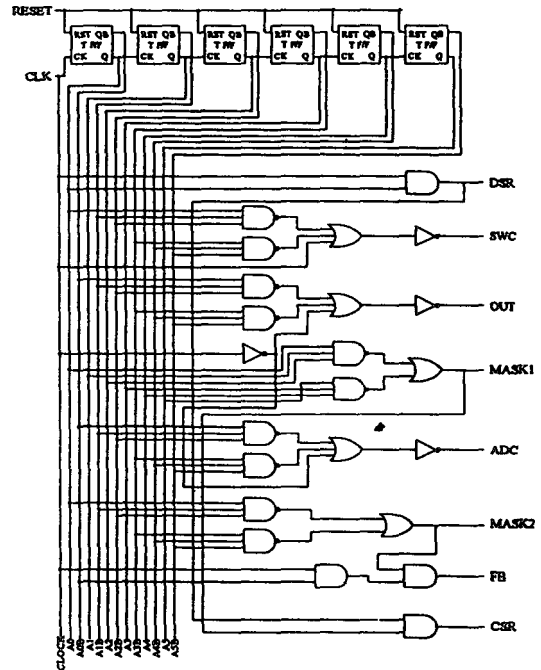


그림 13. 제어 회로
Fig 13. Control circuit

표 1. 제어 신호 목록
Table 1. List of control signals

제어신호	제어신호 내용	논리식
DSR	데이터 워드 레지스터의 내용을 순환시키는 신호	CLOCK · A0
SWC	적절한 순간에 새로운 데이 터를 공급하기 위한 신호	(A0 · A1B · A2B) + (A3B · A4B · A5B) + CLOCKB
OUT	누산기에서 출력을 내보내는 신호	(A0B · A1B · A2B) + (A3B · A4B · A5B) + CLOCK
MASK1	CSR 신호의 부분적인 masking을 위한 신호	(A0 · A1 · A2) + (A3 · A4 · A5)
CSR	계수 워드 레지스터의 내 용을 순환시키는 신호	DSR · MASK1
ADC	A/D 변환기의 출력을 제어하 는 신호	(A0B · A1B · A2B) + (A3B · A4B · A5B) + CLOCK
MASK2	FB 신호의 부분적 masking 을 위한 신호	(A0 · A1B · A2B) + (A3B · A4B · A5B)
FB	누산기에서 CLA 단으로 출력 을 리턴시키는 신호	MASK2 · (CLOCK · A0B)

V. 시뮬레이션 결과

IV장에서 설명한 각 회로들에 대해서 논리 시뮬레이션과 회로 시뮬레이션을 수행하였고, 전체 회로의 동작을 확인하기 위해서 ESIM(Echo canceller SIMulator)이라는 프로그램을 작성하여 수행하였다.

1. 논리 시뮬레이션

논리 시뮬레이션은 QUICKSIM이라는 논리 시뮬레이터를 이용하여, 데이터 계수 쉬프트 레지스터, CLA, Carry 발생회로, 승산기, 누산기, 제어회로에 대해서 각 블록별로 논리 시뮬레이션을 수행하였고 결과적으로 전체회로에 대한 논리 시뮬레이션을 수행하여 동작을 확인하였다. 전체회로에 대한 논리 시뮬레이션 결과를 그림 15에 나타내었다.

2 회로 시뮬레이션

회로 시뮬레이션은 HSPICE를 이용하였으며, D Flip Flop, CLA, Carry 발생회로, 승산기, 누산기에 대해서 지연시간을 알아보았으며, 그 결과를 표 2에 나타내었다.

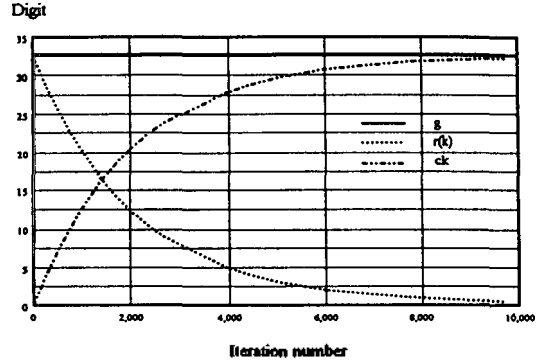
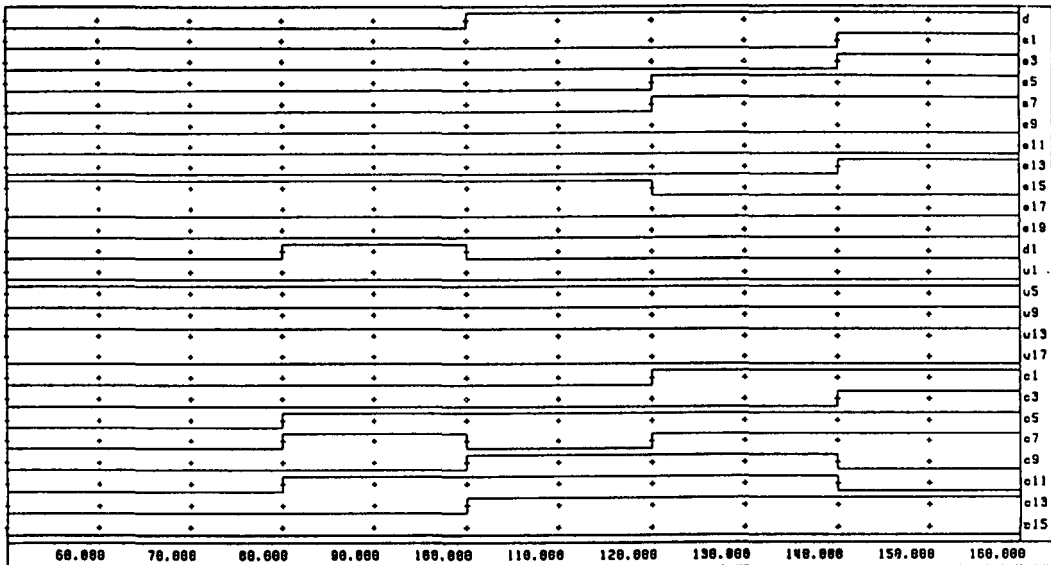


그림 14. ESIM을 이용한 수렴 곡선
Fig 14. Convergence curve for ESIM

표 2. 각 회로의 회로 시뮬레이션 결과

Table 2. Result of circuit simulation

회 로	지연시간	
	상승시간	하강시간
DF/F	7 ns	6 ns
CLA	10 ns	6 ns
Carry발생회로	4 ns	8 ns
승산기	11 ns	8 ns
누산기	8 ns	8 ns



d : 입력 데이터 a : $\hat{e}(k)$ 출력 u : 적용되는 계수
d1 : 계수적용을 위한 입력 ci : 계수 데이터

그림 15. 전체 회로의 논리 시뮬레이션 결과
Fig 15. Logic simulation result of full circuits

회로 시뮬레이션을 통해서 얻은 지연시간으로, 전체 회로가 동작하는데 소요되는 지연시간을 다음과 같이 구하였다. 계산에 사용된 critical path로는 잔여신호로부터 승산기 M_2 , 승산기 M_3 , CSR, 승산기 M_1 을 거쳐 누산기로 진행되는 경로를 선택했다.

승산기 M_2 (11ns) + 승산기 $M_3(7ns \times 13)$ + CSR (7ns \times 64) + 승산기 $M_1(11ns)$ + 누산기(8ns) \cong 570ns

따라서, 최대 내부 동작 속도 f_{max} 는 다음과 같다.

$$f_{max} = \frac{1}{5702ns} \cong 2MHz \quad (33)$$

2. 컴퓨터 시뮬레이션

ESIM이라는 컴퓨터 프로그램을 작성하여 수행하였는데 그 결과관 아래에 보였다. 반향경로의 값 g 를 임의로 정해주고 적응계수 c_k 가 수렴을 하는가를 보고, 동시에 잔여신호 $r(k)$ 의 값이 0에 접근하는 것을 살펴보았다. N 을 64로 정하고, 증폭상수 α 를 1.2×10^{-5} 로 했을때, 전류반향을 20 dB 감소시키는데 필요한 반복횟수를 구하여 보면, 식 (25)에 의해서 구할 수 있다.

- 증폭상수 : $\alpha = 1.2 \times 10^{-5}$

- Tap 수 : $N = 64$

- 잔류반향을 20 dB 감소시키는데 필요한 반복횟수

$$v_{20} = \frac{-2}{10 \log_{10}(1 - 4 \cdot \alpha + 4 \cdot \alpha^2 \cdot N)} \approx 9700 \text{회}$$

표 3은 수식에서 구한 반복횟수와 거의 같은 9680회에서 적응계수 C_k 가 반향경로의 전달함수 g 에 접근하고, 잔여신호 $r(k)$ 가 0로 수렴함을 보여준다. 그림 14는 컴퓨터 시뮬레이션 결과를 도시적으로 보여준다.

VI. 결 론

본 논문에서는 2선 가입자 선로상에서 전-이중 레이다 전송시 발생하는 반향을 제거하기 위해서, 기존의 TDL(Tapped Delay Line) 구조의 반향제거기와는 다른 반향제거기를 제안하고 이를 구현하였다. TDL 구조의 반향제거기는 탭 수 만큼의 승산기를 이용하여 병렬처리동작을 수행하는 반면에 본 논문에서 제안한 방식은 단지 2개의 승산기를 이용하여 순

표 3. 컴퓨터 시뮬레이션 결과

Table 3. Result of computer simulation

반복 횟수	반향경로의 전달함수 : g	적용 계수 c_k	잔여 신호 $r(k)$
0	0 (0.0000)	0 (0.0000)	0 (0.0000)
20	405207 (32.6580)	2264 (0.2939)	402723 (32.3640)
60	405207 (32.6580)	7244 (0.9150)	375743 (31.7429)
120	405207 (32.6580)	16461 (1.8245)	366526 (30.8335)
260	405207 (32.6580)	36610 (3.8457)	346377 (28.8123)
320	405207 (32.6580)	45277 (4.6716)	337710 (27.9863)
560	405207 (32.6580)	75724 (7.7393)	307263 (24.9187)
640	405207 (32.6580)	105366 (8.6851)	277621 (23.9729)
820	405207 (32.6580)	125350 (10.6816)	257637 (21.9763)
920	405207 (32.6580)	135571 (11.7170)	247416 (20.9409)
1020	405207 (32.6580)	145502 (12.7036)	237505 (19.9543)
1240	405207 (32.6580)	165537 (14.7107)	217450 (17.9473)
1360	405207 (32.6580)	175575 (15.7180)	207412 (16.9399)
1480	405207 (32.6580)	205263 (16.6687)	177724 (15.9893)
1620	405207 (32.6580)	215625 (17.7083)	167462 (14.9497)
1760	405207 (32.6580)	225342 (18.6802)	157645 (13.9778)
2080	405207 (32.6580)	245254 (20.6670)	137733 (11.9910)
2480	405207 (32.6580)	265775 (22.7493)	117212 (9.9087)
2700	405207 (32.6580)	275674 (23.7334)	107413 (8.9246)
3940	405207 (32.6580)	335320 (27.6758)	47667 (4.9822)
4420	405207 (32.6580)	345250 (28.6660)	37737 (3.9919)
5080	405207 (32.6580)	355442 (29.6958)	27545 (2.9622)
6000	405207 (32.6580)	365340 (30.6797)	17647 (1.9783)
7740	405207 (32.6580)	375307 (31.6736)	7700 (0.9844)
8120	405207 (32.6580)	376103 (31.7664)	7104 (0.8916)
9220	405207 (32.6580)	400527 (32.0837)	4460 (0.5742)
9680	405207 (32.6580)	401210 (32.1582)	3777 (0.4998)
9700	405207 (32.6580)	401210 (32.1582)	3777 (0.4998)

차적인 동작을 수행한다. 따라서, 기존 반향제거기에 있어서의 집적화의 어려움을 개선한 방식이라 할 수 있다. 그러나, 병렬처리의 반향제거기에 비해서 속도 면에서는 단점을 가지는 구조라고 볼 수 있다. 본 논문에서 사용한 반향제거기 알고리즘으로는 Stochastic Iteration 알고리즘을 사용하였고, baseband modem에 알맞는 신호율을 처리하도록 설계하였다. 즉, 구현한 반향제거기는 64kbit/s의 신호율을 처리할 수 있으며, 최대 내부 동작 속도는 2MHz까지 가능하게 하였다.

본 논문에서는 ESIM(Echo canceller SIMulator)이라는 컴퓨터 프로그램을 작성하여 반향제거기의 전체 동작을 확인하였고, QUICKSIM이라는 논리 시뮬레이터를 이용하여 정상적인 논리 동작을 검증

하였으며, 회로 시뮬레이터인 HSPICE를 이용하여 각 기본 블록에 대한 지연시간을 구하여 회로의 동작 특성을 알아냄으로서 회로 구현이 가능함을 입증하였다.

參 考 文 獻

1. N. A. M. Verhoeckx, H. C. van den Elzen, W. A. Sniijders, and P. J. van Gerwen, "Digital echo cancellation for baseband data transmission." *IEEE Trans. Acoust. Speech. Signal Processing*, vol. ASSP-27, pp. 768-781, Dec. 1979.
2. P. J. van Gerwen, W. A. M. Sniijders, and N. A. M. Verhoeckx, "An integrated echo canceller for baseband transmission." *Philips Tech. Rev.*, vol. 39, pp. 102-117, 1980.
3. T. A. C. M. Classen and W. F. G. Mecklenbrauker, "Comparison of the convergence of two algorithms for adaptive digital filters," *IEEE Trans. Circuits Syst.*, vol. CAS-28, pp. 510-518, June 1981.
4. N. Holte and S. Stueflotten, "A new digital echo canceller for two-wire subscriber lines." *IEEE Trans. Commun.*, vol. COM-29, pp. 1573-1581, NOV. 1981.
5. Van Gerwen, P. J. et al., "Design considerations for a 144kbit/s digital transmission unit for the local telephone network," *IEEE Journal on Selected Areas in*
6. D. L. Duttweiler and Y. S. Chen, "A Single-Chip VLSI Echo Canceller," *BSTJ*, volume 59, No. 2, pp. 149-160, 1980.
7. David G. Messerschmitt, "Echo cancellation in Speech and Data Transmission," *IEEE Journal on Selected Areas in Communications*, vol. SAC-2, pp. 365-378, Mar. 1984.
8. K. H. Mueller, "A new digital echo canceller for two-wire full duplex data transmission." *IEEE Trans. Commun.*, vol. COM-24, pp. 956-962, Sept. 1976.
9. T. A. C. M. Classen, W. F. G. Mecklenbrauker "Comparison of the convergence of two algorithms for adaptive FIR digital filters," *IEEE Trans. Acoust. Speech. Signal Processing*, vol. ASSP-29, pp. 670-678, June, 1981.
10. Guozhu Long and Fuyun Ling, "Fast initialization of data-driven nyquist in-band echo cancellers." *IEEE Trans. Commun.*, vol. 41, no. 6 pp. 893-904, June. 1993.
11. J. M. Cioffi and Minnie Ho, "A Finite analysis of the block-gradient adaptive data-driven echo canceller." *IEEE Trans. Commun.*, vol. 40, no. 5, May. 1992.
12. P. C. -W. Yip and D. M. Etter, "An adaptive multiple echo canceller for slowly time-varying echo paths." *IEEE Trans. Commun.*, vol. 38, no. 10, pp. 1693-1698, Oct. 1990.

▲조 현 목(정회원) 1965년 8월 25일생
1985년 2월 : 고려대학교 전자공학과 공학사
1991년 2월 : 고려대학교 전자공학과 공학석사
1993년 2월 : 고려대학교 전자공학과 공학박사과정 수료
※주관심분야 : VLSI/CAD, 통신회로설계등

▲박 노 경(정회원) 1958년 1월 8일생
1984년 2월 : 고려대학교 전자공학과 공학사
1986년 2월 : 고려대학교 전자공학과 공학석사
1990년 2월 : 고려대학교 전자공학과 공학박사
1988년 2월~현재 : 호서대학교 정보통신공학과 부교수
※주관심분야 : VLSI/CAD, 화학처리용 칩 설계등

▲김 상 훈(정회원) 1964년 7월 20일생
1987년 2월 : 고려대학교 전자공학과 공학사
1989년 2월 : 고려대학교 전자공학과 공학석사
1989년 3월~1994년 2월 : (株)金星 일렉트론 연구소
선임연구원
1994년 3월~현재 : 고려대학교 전자공학과 박사과정
※주관심분야 : Computer Architecture 및 DSP 칩 설
계등

▲문 대 철(정회원) 1955년 6월 7일생
1979년 2월 : 숭실대학교 전자공학과 공학사
1981년 8월 : 고려대학교 전자공학과 공학석사
1988년 2월 : 고려대학교 전자공학과 공학박사
1986년 2월 ~ 현재 : 호서대학교 정보통신공학과 부교수
※주관심분야: VLSI 신호처리, 신경망 및 Fuzzy 칩
 설계등

△차 균 현(정회원) 1939년 3월 26일생
1965년 2월 : 서울대학교 전기공학과 공학사
1967년 2월 : 미국 일리노이 대학교 공학석사
1976년 2월 : 서울대학교 공학박사
1977년 ~ 현재 : 고려대학교 전자공학과 교수
※주관심분야: CAD 및 통신시스템등