

1000V 급 바이폴라 접합 트랜지스터에 대한 고내압화의 설계 및 제작

論 文
44~4~13

Design and Fabrication for High Breakdown Voltage on 1000V Bipolar Junction Transistor

許昌洙* · 秋殷相** · 朴鍾文*** · 金相喆§
(Chang-Soo Huh · Eun-Sang Chu · Jong-Moon Park · Sang-Chul Kim)

Abstract - A bipolar junction transistor which exhibits 1000 V breakdown voltage is designed and fabricated using FLR(Field Limiting Rings). Three dimensional effects on the breakdown voltage is investigated in the cylindrical coordinate and the simulation results are compared with the results in the rectangular coordinate. Breakdown voltage of the device with 3 FLR is simulated to be 1420 V in the cylindrical coordinate while it is 1580 V in rectangular coordinate. Bipolar junction transistor has been fabricated using the epitaxial wafer of which resistivity is 86 Ωcm and thickness is 105 μm . Si_3N_4 and glass are employed for the passivation. Breakdown of the fabricated device is measured to be 1442 V which shows better agreement with the simulation results in cylindrical coordination.

Key Words : Power Semiconductor, Field Limiting Ring, High breakdown voltage.

1. 서 론

현재의 산업설비는 점차 자동화 및 고효율화 추세에 있으며, 이를 효과적으로 제어하기 위한 기술이 요구되고 있다. 따라서 최근의 전력전자 분야에서 전력용 반도체 부분은 산업, 수송, 우주, 군사용의 전력변환장치, 전원공급장치등의 핵심부품으로 급격히 성장되고 있다. 일반적으로 전력용 반도체란 1와트 이상의 전력용량을 조절하거나 전류용량 1A이상 또는 차단전압 100V 이상의 동작특성을 갖는 반도체 소자를 말하며 개별전력 소자(discrete power semiconductor), 전력모듈(power semiconductor module), 전력용 집적회로(smart power devices and IC)로 나누어지고, 전력용 반도체의 주 용도로는 가전분야에서는 TV,VCR,Audio등에 이용되며 산업용으로는 전원공급장치, 전동차, 운송분야, 모터제어, 통신기기, 전력저장분야, 전력계통 제어, 용접기, 인버터 등에 광범위하게 이용되고 있다.

개별전력소자에는 바이폴라 트랜지스터, MOSFET, 사이리스터, GTO, IGBT,SIT,MCT등이 있는데 본 연구에서는 인덕티브 스위칭에서 모터제어용으로 전력전자 분야에서 가장 일반적으로 사용되는 전력용 바이폴라 트랜지스터를 제작하였다. 전력용 반도체의 주요 응용 분야인 모터제어, 스위칭 전원용등의 소형, 경량화 추세에 따라 스위칭 속도가 상대적으로 빠른 전력용 MOSFET분야의 개발과 시장성이 크게 증대하고는 있지만, 대전력용으로는 MOSFET의 한계가 있고 이들의 정격을 넘어서는 부분에서는 여전히 전력용 바이폴라 트랜지스터가 많

이 이용되고 있다. 특히 인덕티브 스위칭에서 모터제어 응용은 동작 주파수가 그리 높지않은 수 kHz정도 이므로 바이폴라 트랜지스터가 GTO,MOSFET,FCT 소자들 중에서 가장 낮은 전력 손실을 가지고 있으며, 가장 효율적인 응용이 된다는 것을 볼 수 있다.

전력용 반도체 소자를 제작함에 있어서 고려해 주어야 할 사항중의 하나가 항복전압에 대한 고찰이다. 고내압의 전력용 반도체에 대한 제작은 주로 planar기법을 사용하고 있다. 그러나 planar기법을 사용할 경우 p-n접합의 경계면에서의 곡면 효과로 인해 항복전압의 한계를 가져오게 되므로 이 항복전압의 향상을 위해 Field Limiting Ring(FLR)[1][2][3][4], field plates(FP)[5][6], junction termination extension(JTE)[7][8]등의 방법들이 개발되어왔다.

본 논문에서는 주접합과 같은 농도 및 접합깊이를 가짐으로 공정상의 이점이 있는 FLR 방법을 사용하여 시뮬레이션을 수행하였으며 이 결과를 바탕으로 1000V급 바이폴라 트랜지스터를 설계제작하여 검증 하였다.

2. 설계 및 제작

2.1 원리

FLR은 주접합과 같이 확산되고 따라서 같은 접합 깊이를 갖는다. 그림 1(a)에서 보듯이 마치 주접합 주위를 분리시키는 듯한 동전 모양을 가진데서 그 이름이 시작되었고, 그림 1(a)의 C-C'을 따라 자른 단면과 이때의 전계집중을 그림 1(b)에 나타내었다. 이때 기판의 농도보다 확산된 부분의 농도가 훨씬 높다고 가정할 때, 전위는 주접합으로부터 확장된 공핍층에 의해 만들어진다. 인가된 역전압에 의해 공핍층이 확장되어 갈수록 주접합의 곡면 부분에 전계가 집중하게 되나 공핍층이 FLR을 만나게 되어 전계가 주접합과 FLR에 나누어 집중되며

* 正 會 員 : 仁荷大 工大 電氣工學科 教授 · 工博

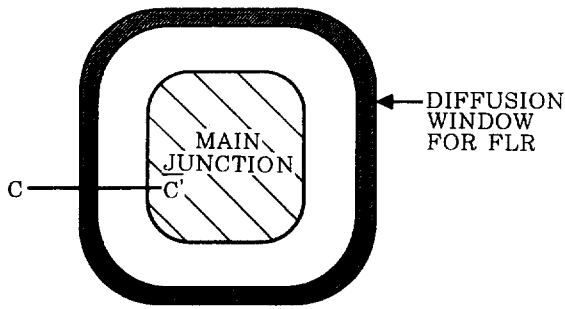
** 準 會 員 : 仁荷大 大學院 電氣工學科 碩士課程

*** 正 會 員 : 韓國電氣研究所 電氣材料研究部 先任研究員

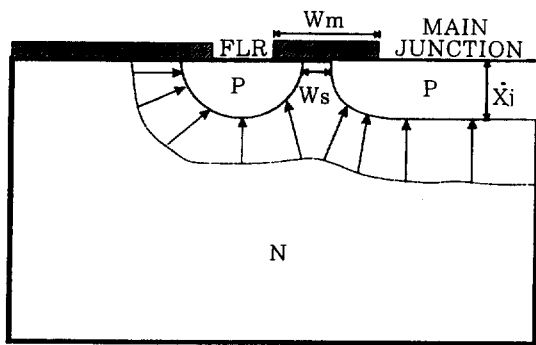
§ 正 會 員 : 韓國電氣研究所 電氣材料研究部 研究員

接受日字 : 1994年 10月 6日

1次 修正 : 1995年 1月 11日



(a) 한개의 FLR을 갖는 확산량



(b) 한개의 FLR을 사용한 planar 구조에서 나타나는 전계 집중의 모양

그림 1 한개의 FLR을 사용한 경우의 p-n 접합

Fig. 1 Structure of p-n junction with single field limiting ring

로 곡면에서의 항복현상을 완화할 수 있고 결과적으로 항복 전압의 상승을 가져오게 된다. 이 FLR구조는 주접합과 같은 깊이로 확산되어야 하므로 간단히 베이스 마스크로 여백에 만들 수 있으며, 이때 FLR구조와 주접합과의 거리는 일정해야 한다.

낮은 전압의 역바이어스가 걸렸을 때, 공핍층은 좁고 따라서 FLR까지 확대되지 못한다. 이때 주접합의 역바이어스를 점차로 증가시키면 공핍층이 FLR까지 punch-through 될 때 까지 넓어지며, 이현상이 일어나는 전압은 FLR과 주접합 간의 최소 거리 W_s 에 관계된다. 만약 측면확산 정도가 수직확산 정도와 같다면 마스크상의 거리 W_m 은 아래와 같은 관계식에 의해 punch through 전압 V_{PT} 로부터 계산될 수 있다[9].

$$W_m = 2x_j + \sqrt{\frac{2\epsilon V_{PT}}{qN_A}} \quad (1)$$

여기서 x_j 는 베이스 접합 깊이, N_A 는 n^- 층의 도핑농도이다. punch-through 가 일어났을 때, FLR의 전위는 주접합 전위를 따라가며, FLR의 폭이 극단적으로 작다면 공핍층에서의 전압분배의 역할을 하지 못한다. FLR이 전계집중을 감소시킴에 의해 항복전압을 증가시킨다는 것을 직감적으로 기대할 수

있지만, 주접합으로 부터의 정확한 위치가 항복전압을 증대시키는데 결정적으로 중요하다. 만약 FLR이 주접합으로 부터 너무 멀리 떨어져 있다면 주접합에서 공핍층의 곡률에 거의 영향을 미치지 않으며 이때 항복전압은 주접합에서 일어난다. 또 만약 FLR이 주접합에 너무 가까이 있다면 FLR의 전위는 주접합에서의 전위와 같게되며, 따라서 FLR이 없을 때와 같은 전압에서 FLR에서 항복현상이 일어나게 된다. 그러나 FLR의 최적의 위치에서는 항복전압이 향상되게 된다.

2.2 구 조

소자의 동작특성과 구조사이의 관계는 오래전부터 연구되어 왔으나 소자를 개발 하는데 있어서 주로 경험적인 방법을 써왔고 최근에 들어서야 그동안 연구되어 왔던 결과들을 설계에 체계적으로 이용하게 되었다. 이것은 실험적으로 이론적인 사항을 확실히 증명하기가 어려워지고 실제적 제작에 기술적 제약이 있었기 때문이다. 그러나 현재 공정기술의 발달로 도핑 농도 및 접합깊이등을 정밀하게 조절할 수 있게 되었고 전류 집중 완화 및 미세 패턴 제작이 가능하고 광범위한 농도 영역을 갖는 wafer 의 생산이 가능해짐으로서 전력용 반도체 소자 제조의 물리적 모델에 근거한 설계를 할 수 있게 되었다. 본 연구에서는 소자의 내압 특성 향상 연구에 목표를 두고 1000V 이상의 소자를 얻기위하여 다음과 같은 기본 조건을 설정하고 이를 근거로 실제작을 위한 내압 소자를 설계하였다.

① 3개의 FLR구조

② 저저항 $n^- - n^+$ wafer(86 Ωcm , n^- 의 두께는 105 μm)

③ Si_3N_4 및 glass를 사용한 Passivation

일반적으로 전력용 반도체 소자의 내압은 wafer의 종류 및 사양에 큰 영향을 받는다. 본연구에서 1000V 이상의 내압을 만족할수 있도록 위와같은 사양의 one side lapping wafer를 선정하였으며 불순물 확산을 위해서는 boron과 phosphorus를, passivation용 재료로서 위와같은 물질을 선정하였다. 보통 저농도의 기판위에 고농도의 도핑을 한 경우, 계단접합을 가정한다면, 항복현상이 일어나는 순간에서 전계와 도핑농도와의 관계는 다음과 같다[10, 11].

$$E_{MAX} = 4010N_B^{(1/8)} \text{ V/cm} \quad (2)$$

또한 이때의 항복전압과 공핍층의 확장 길이는 다음과 같이 나타낼 수 있다.[10],[11]

$$BV_{PP} = 6.40 \times 10^{13} N_B^{-3/4} \text{ V} \quad (3)$$

$$W_c = 2.67 \times 10^{10} N_B^{-7/8} \text{ cm} \quad (4)$$

전력용 반도체가 발달함에 따라 전력 손실을 줄이는 다양한 방법에 대한 연구가 이루어 졌으며, 본 연구에서는 wafer를 선택함에 있어서 on 저항을 개선하여 전력손실을 줄이고자 하였다. 이를 위해 높은 항복전압을 지탱하는 저농도의 에피층의 두께를 얇게 하고자 하였으나 이 경우에 항복현상이 일어나기 전에 에피층에서 공핍영역의 확장이 고농도의 기판에 도달하

게 되며, 이로 인해 식(3)에서보다 먼저 항복현상이 일어나게 된다. 그러나 이 항복 현상 일어나는 순간의 최대전계는 식(2)와 같으며, 이 값을 이용하여 punch-through가 일어날 경우의 계단접합에서의 전계에 대한 식은 다음과 같다[12].

$$E(x) = \frac{2V_P}{W_S} \left(1 - \frac{x}{W_S}\right) + \frac{V - V_P}{W_S} \quad (5)$$

V : 인가전압

V_P : punch-through voltage

W_S : 확산 영역을 제외한 에피층의 길이

x : 확산영역과 에피층의 계면으로부터의 에피층의 깊이

에피층위의 확산영역과 에피층과의 계면에서 $x = 0$ 이므로 이곳에서의 항복전압 BV 는 다음과 같이 나타낼 수 있다.

$$BV = E_{MAX} \times W_S - V_P \quad (6)$$

따라서 substrate의 농도가 $N_B = 5 \times 10^{13} \text{ (cm}^{-3}\text{)}$ 이고 에피층의 두께가 105um인 n^- wafer에 20um 깊이로 고농도(p+)의 확산공정을 행할 경우에 계단 접합으로 가정한다면 W_S 는 85um가 되고 식 (7)과 (8)에 따라 항복전압은 1470V 가 된다. 일반적으로 FLR을 사용할 경우 위 값의 80% 정도로 얻을 수 있는 것으로 알려져 있고[13], 이때 선정된 wafer는 약 20%의 여유치를 갖게 되어 1000V급 소자제작에 적합하다고 사료 되었다.

2.3 시뮬레이션

본 연구에서 시뮬레이션을 실행함에 있어서의 특징으로는 다음과 같다.

① p-n접합구조에서 항복현상을 일으키는 impact ionization rate를 고려하였다. 이는 고전계에서 캐리어들이 높은 에너지를 가지고 원자와 충돌을 할 경우, 원자의 가전자대에 있는 전자들이 전도대로 옮겨지게 된다. 이와 같이 정공-전자의 쌍이 생성되는 과정을 impact ionization이라고 하고, 공핍층내에서 생성된 정공-전자쌍은 전계에 의해 가속을 받아 또다른 정공-전자쌍을 생성하는데 참여한다. 이러한 과정을 통해 항복이 일어나게 되므로 impact ionization은 반드시 고려해 주어야 한다.

② 소자의 모서리 부분에서 전계가 집중되는 접합굴곡(junction curvature)효과를 더욱 정확히 해석하기 위하여 원통좌표를 사용하였으며 이 결과를 직교좌표를 사용했을 때와 비교하였다. 원통좌표를 사용할 경우 2차원적인 구조가 X축을 기준으로 360° 회전을 하여 원통모양의 대칭을 이루게 된다. 따라서 접합굴곡효과를 준-3차원에서 다룰 수 있게 되며, 이를 통해 보다 정확한 항복전압을 예측할 수 있게된다.

그림2 에는 첫번째 FLR 간격 변화에 따른 항복전압 특성을 나타내었다. 그림3 에서 보는 바와같이 주 접합과 첫번째 FLR 사이의 간격에 따라서 항복전압이 변하고 있음을 알수있는데 주접합과 FLR사이의 mask 간격을 45um부터 65um까지 5um 간격으로 이동시키며 시뮬레이션을 실행하였을 경우 간격이 50um일때 최적화가 됨을 알 수 있었다.

한개의 FLR을 사용하였을 경우 최대 항복전압이 960V가 되

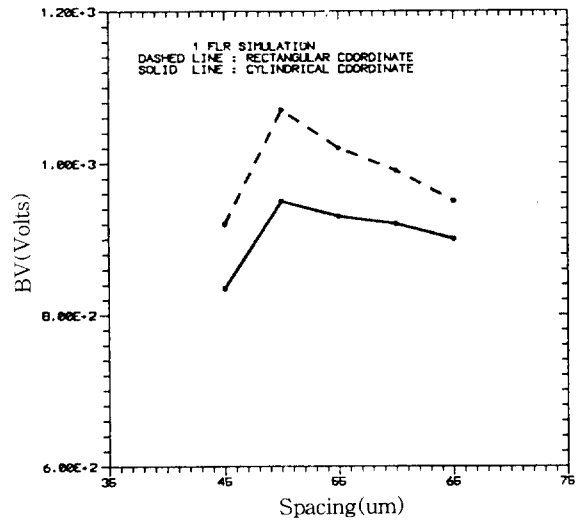


그림 2 FLR 간격 변화에 따른 항복전압특성

Fig.2 Breakdown voltage when the space between main junction and FLR varies

표 1 시뮬레이션에 사용된 파라메타

Table 1 Simulation parameter

N^- 층(에피층)의 농도	$5 \times 10^{13} \text{ cm}^{-3}$
N^- 층(에피층)의 두께	105um
주접합과 FLR,FLR과 FLR 사이의 mask간격	50um 60um 60um
FLR의 폭	20um 20um 20um
주접합 및 FLR의 접합깊이	20um

어 원하는 만큼의 충분한 항복전압을 얻을 수 없었으므로 본 연구에서는 3개의 FLR을 사용하여 항복전압을 향상시키고 동시에, 한차원 높은 전력용 반도체 소자를 제작하기 위해 다수의 FLR을 사용할 경우를 대비하였다.본 시뮬레이션에서는 먼저 한개의 FLR을 최적화 시킨후 고정시키고 두번째 FLR을 이동시켜 최대 항복전압을 얻어낸후 이 두번째 FLR도 고정시키고 마지막 FLR을 이동시켜 최대 항복전압을 얻어내는 방법을 사용하였다.[14] 표1에 시뮬레이션에 사용된 파라메타들을 나타내었다.

2.4 제 작

2.4.1 주요공정

전항에서 서술한 바와같이 설계된 소자의 특성을 확인하기 위하여 표2 에 사용된 wafer의 개략적 사양을 표시하였다.

베이스 공정은 boron source(PBF 3M-31)를 이용한 CVD방식으로 형성하였으며 predeposition수행후 sheet resistance 18-20 Ω/\square 이 되도록 하였다. 이후 베이스 확산을 이행하여 최종적으로 sheet resistance가 55-65 Ω/\square 가 되도록 하였다. 일반적으로 항복 전압 BV_{CBO} 는 베이스 sheet resistance와 접합깊이에 영향을 받기 때문에 베이스 공정이 고내압 소자의 내압을 결정하는 중요한 역할을 한다. 또한 에미터 prepdep

표 2 웨이퍼 가공 공정에 이용된 재료

Table 2 Materials used wafer manufacturing process

구분	사용 재료		비고
wafer	ρ_1 (Ωcm)	77-95	One Sided Lapping(OSL) wafer
	t_1 (μcm)	105	
확산 source	Borob, Phosphrous		
Passivation	Nitride, Glass		
Electrode	Al(표면), V-Ni-Au(이면)	Cu,Mo(packaging 시)	

osition후에 P^+ 공정을 베이스와 동일한 source 및 마스크를 이용하여 작업을 했다. 이때 sheet resistance는 최종적으로 6-7 Ω/\square 이 되도록 했다.

또한 에미터 형성을 위해 predeposition후 확산 공정을 통해 sheet resistance가 1.0 - 1.11 Ω/\square 가 되도록 하였다.

2.4.2 passivation

신뢰성 향상을 위해 Si_3N_4 및 glass를 사용한 Passivation 공정을 연속수행 하였다. 반도체의 표면은 반도체의 내부와는 달리 전기적으로 매우 불안정한데, 이는 반도체의 표면준위(surface trap)나 계면 트랩(interface trap)때문이며, 이때 계면 트랩 전하는 Si-SiO₂ 계면 성질에 기인하며 계면의 화학적 조성에 의존하는 양이다. 이 트랩은 Si-SiO₂ 계면에 존재하며 실리콘 금지대 영역에 해당하는 에너지 준위를 갖는다. 에너지적으로 불안정한 표면 상태는 소자의 제조 공정을 제약하는 요인일 뿐만 아니라 소자의 기능을 저하시키므로, 따라서 반도체의 표면을 안정화 시키고 내적, 외적 유해인자로부터 보호하는 일이 필요한데 이를 passivation이라한다.

고압, 대전류를 스위칭하는 전력용 반도체에서는 단순한 표면 안정화를 위한 목적 이외에도 설계상의 역내압을 유지하고 장시간의 운전에도 신뢰성이 유지되도록 확장된 의미의 passivation을 행한다. 따라서 10A 및 100V이상급의 전력용 반도체에서는 소신호(small signal) 소자와는 달리 독특한 passivation을 행한다. 본 연구에서는 glass passivation 시에는

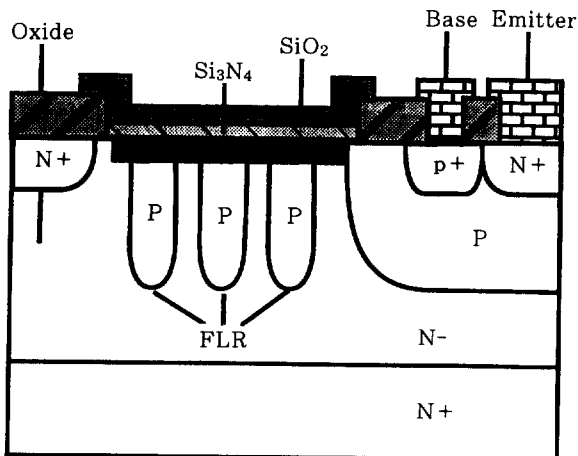


그림 3 passivation 후의 bipolar junction transistor의 구조
Fig. 3 Structure of bipolar junction transistor after passivation

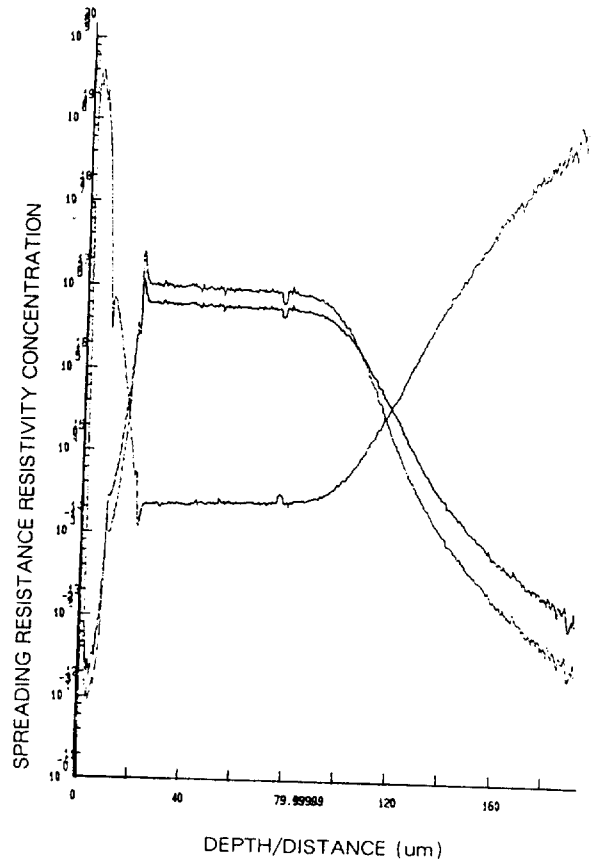


그림 4 공정후의 불순물 농도분포(ASRP)
Fig. 4 Impurity distribution after process(ASRP)

PbO, B₂O₃, SiO₂를 주성분으로 하는 PbO계 glass를 사용하여 passivation을 수행하고자 하는 Si표면을 에칭을 하고 전기영동법으로 Si표면에 glass를 부착시킨 후 소결을 행하였다. 또한 Si_3N_4 passivation시에는 기존 산화막을 모두 제거하고 H₂ burning clean oxide층을 형성하여 passivation부에서의 오염된 SiO₂ 내의 mobile charge에 의한 누설전류 문제를 해결하였다. 그림 3에 passivation 이후의 구조를 그림 4에는 소자 공정후의 불순물 농도 분포를 ASRP(auto spreading resistance profile)로 측정된 결과를 나타내었다. 그림 4를 통해 $N^+ - P - N^- - N^+$ 구조의 트랜지스터 절단면 농도분포를 알 수 있다.

본 연구에서 수행된 결과는 1000V/100A 급 소자에 실용용 되었으며, 최종적으로 대전류를 얻기 위하여 다링톤 소자로 최종 설계 제작하여 특성을 확인 하였다.

3. 연구결과 및 고찰

그림 5에는 FLR 절리는 전계를 나타내었다. 그림 5에서 나타난 바에 의하면 각 FLR에 걸리는 전계가 균등함을 알 수 있다. 이것은 FLR이 최적 위치에 설계되었다는 것을 나타내며, 이때 소자는 높은 항복전압 특성을 나타내게 된다. 즉 주접합 및 각 FLR들의 곡률반경이 동일하고 각 굴곡부분에 동일한 세기의 전계가 집중될 때 항복현상은 동시에 발생하게 된다.

그림 6에는 설계된 소자의 콜렉터-베이스간의 항복전압을

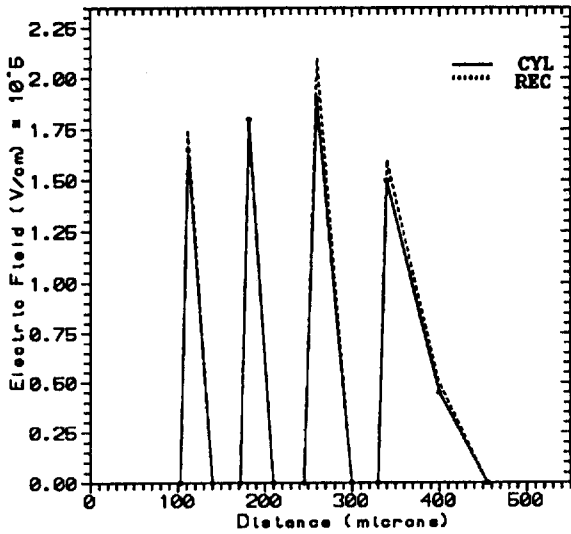


그림 5 산하막과 실리콘 계면에서의 x축 방향으로 전기장
Fig. 5 Electric field at oxide/Si interface along the simulation structure in X-direction

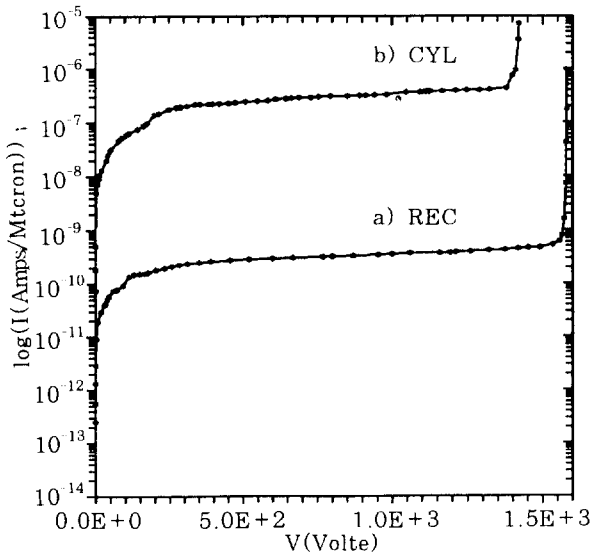


그림 6 항복전압에 대한 시뮬레이션 결과
(a) 직각좌표 (b) 원통좌표
Fig. 6 Breakdown voltage simulation

표시한것이다. 그림 6-(a)는 직각좌표를 사용했을 경우이고 그림 6-(b)는 원통좌표를 사용했을 경우이다. 두 그림을 비교해보면 원통좌표에서의 항복전압은 1420V이고 직각좌표에서의 항복전압은 1580V이다. 즉 시뮬레이션 결과가 목표로한 설계치 이상에서 항복현상이 일어나는 것을 확인할 수 있었으며, 원통좌표에서의 값이 보다 낮은 것을 알 수 있었다. 따라서 보다 안정한 결과를 예측하기 위해서는 원통좌표를 통하여 얻어진 결과치들을 이용하는 것이 바람직하다 할 수 있겠다.

지금까지의 설계치들을 바탕으로 실제작된 소자를 TEK 371A CURVE TRACER를 사용하여 실측한 결과를 그림7에 나타내었으며, 이때 항복전압은 1442V를 나타내었다. 이 결과를 통해 설계치가 실제작된 소자의 특성에 근접하게 일치하는

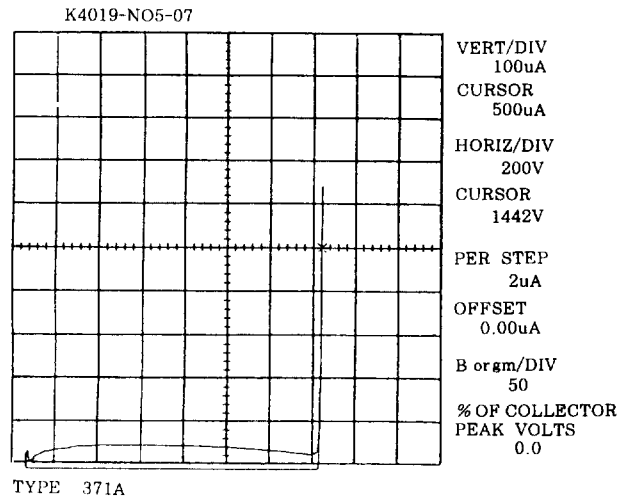


그림 7 TEK 371A CURVE TRACER를 측정한 소자의 항복전압 특성
Fig. 7 Breakdown voltage measured by TEK 371A CURVE TRACER

것을 확인할 수 있었으며, 또한 cylindrical coordinate를 사용한 항복전압의 값이 실제작된 소자의 특성에 보다 잘 접근함을 알 수 있었다.

4. 결 론

본 연구에서는 원하는 항복전압특성을 갖는 소자를 제작하기 위해서 FLR구조 simulation을 하였다. 각각의 FLR 간격에 대한 최적 결과는 실제 제작된 소자의 설계에 이용하였다. 이를 통해 일반 산업에서 440V용 모터제어에 범용으로 사용되는 1000V급 bipolar transistor를 제작하였다. 본 소자의 개발을 위해 86 Ωcm의 저항률과 n-층이 105 μm의 두께를 가지는 wafer를 사용하였다. 실험결과 얻은 결론은 다음과 같다.

① n⁺-p-n⁻-n⁺ 구조에 3개의 FLR을 사용하여 1000V이상의 항복전압특성을 갖는 bipolar junction transistor를 구현할 수 있었다.

② 실제작을 위해 설계시 시뮬레이션을 실행하였으며 접합곡 곡효과를 보다 실제적으로 고려해주기 위해서 원통좌표를 사용했을 경우 항복현상이 직각좌표를 사용했을 경우보다 먼저 일어남을 알 수 있었다. 또한 원통좌표를 사용한 설계치가 실제 작 결과에 보다 근접했다. 따라서 원통좌표를 사용한 결과치들을 예측용 자료로서 사용하는 것이 보다 안정하며 정확도가 높음을 알 수 있었다.

③ 시뮬레이션 결과를 기초로 하여 실제작을 행하였고 항복전압은 1442V로 측정되었다. 이때 접합 보호막으로서 Si₃N₄ 및 glass가 고내압용 보호막으로 아주 양호하게 이용할 수 있는 것으로 나타났다.

본연구는 인하대학교 93년도 연구비 지원에 의하여 수행되었음

참 고 문 헌

- [1] Y. C. Kao, et al. " High voltage planar p-n junction," Proc. IEEE, Vol.55 No. 8 pp. 1409-1414 1967
- [2] Michael S. Adler et al. , "Theory and Breakdown Voltage for Planar Device with a Single Limiting Ring", IEEE Trans. on Electron Devices, Vol.ED24, No. 2, pp. 107-113 1977
- [3] Yasuda et al. , "High voltage planar junction with a field limiting ring", Solid State Electronics Vol. 25, No. 5, pp 423-427, 1982
- [4] K. P. Brieger et al. , "Blocking capability of planar devices with field limiting ring" Solid State Electronics Vol.26, No. 8 pp 739-745, 1983
- [5] A. S. Grove, et al. "Effects of surface fields on the breakdown voltage of planar p-n junction," IEEE Trans. Electron Devices, Vol. ED-14, No. 3, pp. 157-167 1967
- [6] B. J. Baliga "Modern Power Devices" pp. 116-119, 1987
- [7] V. A. K. Temple and W.Tantraporn, "Junction termination extension, a new technique for increasing avalanche breakdown voltage and controlling surface electric fields in a pjunctions," in IEEE 23rd Annu. Int. Electron Device Meet(IEDM), pp. 423-426 1977
- [8] V. A. K. Temple et al. , "Junction termination extension for near ideal breakdown voltage in p-n junction", IEEE Trans. Electronic Devices, Vol. ED33 No. 10 pp. 1601-1608, 1986
- [9] B. J. Baliga "Modern Power Devices" pp94-95,1987
- [10] B. J. Baliga et al., "Analytical solutions for the breakdown voltage of abrupt cylindrical and spherical junctions",Solid State Electronics Vol. 19, pp 739-744 1976
- [11] B. J. Baliga "Closed form analytical solutions for the breakdown voltage of planar junctions terminated with a single floating field ring", Solid State Electronics, Vol. 33 NO. 5 pp. 485-488, 1990
- [12] V. Ananthram et al. "Analytical solutions for the breakdown voltages of punched-through diodes having curved junction boundaries at the edges" IEEE Trans. Electron Devices, Vol. ED-37, No. 5, pp. 939-943, 1980
- [13] B. J. Baliga "High-voltage device termination techniques" IEE Proc. Vol. 129 Num.5 pp 173--179 1982
- [14] Terry S.MA et al. , "Junction Breakdown analysis of a Floataing Field Limiting Ring structure using a PISCES-2B device simulator" Solid State Electronics Vol. 35 No. 2 pp. 201-205 1992

저 자 소 개



허창수 (許昌洙)

1955년 1월 27일생. 1981년 인하대학교 전기공학과 졸업. 1993년 인하대학교 대학원 전기공학과 졸업(석사). 1987년 인하대학교 대학원 전기공학과 졸업(공학박사). 1983년~1993년 한국전기연구소 근무(기능재료 실장). 현재

인하대학교 전기공학과 조교수



추은상(秋殷相)

1970년 10월 2일생. 1994년 한양대학교 전기공학과 졸업. 현재 인하대학교 대학원 전기공학과 석사과정



박종문(朴鍾文)

1961년 3월 19일생. 1983년 한양대 전자공학 졸업. 1995년 한양대 대학원 전자공학과 졸업(석사). 현재 한국전기연구소 선임연구원.



김상철(金相喆)

1964년 2월 1일생. 1987년 한양대 물리학과 졸업. 1990년 한양대 대학원 물리학과 졸업(석사). 현재 한국전기연구소 연구원.