

전극함몰형 태양전지

조은철, 김동섭, 이수홍

삼성종합기술원 신소재응용연구소 태양전지팀, 수원, 440-600

Buried contact solar cell

Eun-Chel Cho, Dong-Seop Kim and Soo-Hong Lee

Photovoltaic Devices Lab., Materials & Devices Research Center, Samsung Advanced Institute of Technology, Suwon 440-600, Korea

요 약 전극함몰형 태양전지는 19% 이상의 변환효율을 갖는 고효율 실리콘 태양전지이다. 본 논문은 전극함몰형 태양전지의 제조공정과 특성에 대하여 조사하였다. 전극함몰형 태양전지의 제조공정은 세번의 고온과정, 한번의 진공증착과정, 한번의 레이저 응용과정 및 다른 화학공정들로 구성되어 있다.

Abstract Buried contact solar cell is a very high efficiency silicon solar cell having over 19% conversion efficiency. In this paper, we investigated the process and characteristic of buried contact solar cell. Manufacturing processes of buried contact solar cell consist of three high temperature processes, one high vacuum deposition process, one laser application process and other wet chemical processes.

1. 전극함몰형 태양전지 개발현황

태양전지 시장의 점유율이 매우 높은 실리콘 태양전지에 대한 연구는 크게 두 방향으로 진행되어 왔다. 첫째는 FZ(Float Zone) 웨이퍼와 같은 고가의 실리콘 기판을 사용하고 사진식각 기술과 같은 반도체 기술등을

동원하여 가격을 불문하고 세계 최고 효율만을 목표로 하는 것이다. 이 분야는 세계 각 나라 연구기관들의 태양전지에 대한 기술수준을 알려주는 척도로서 각 연구기관들의 자존심이 걸려 있는 분야다. 둘째는 태양전지의 실용화를 목적으로 하는 연구로서 발전단가(단위 전력을 얻는데 필요한 비용)를 화력

이나 수력과 같은 수준으로 낮추어서 기존의 에너지원을 대체하여 지구환경 문제에 적극적으로 대처하고자 하는 연구분야다. 이 분야는 태양전지 가격의 가장 큰 부분인 실리콘 기판을 가격이 저렴한 실리콘 박막으로 대체하는 연구와 다결정 실리콘을 이용한 태양전지의 연구개발이다. 세계 최고효율과 태양전지의 실용화는 서로 상관 관계를 가지고 있기 때문에 각 연구기관들은 병행하여 연구하는 것이 일반적이다.

전극함몰형 태양전지(Buried contact solar cell)는 단결정 또는 다결정 실리콘을 이용하여 제조가 가능하며, 제조가격이 저렴하고 변환효율이 매우 높아 가로등의 전원에서 수십 kW ~ 수 MW급의 태양광 발전소등 그 응용범위가 매우 넓다. 즉, 전극함몰형 태양전지는 시장에 판매되고 있는 스크린 프린팅(screen printing) 태양전지의 제조가격보다 약 4% 정도 높으나, 변환효율이 약 30% 이상 높기 때문에 발전단가가 낮다[1].

스크린 프린팅 태양전지의 금속전극은 금속 페이스트(paste)를 인쇄법을 이용하여 실리콘 산화막 표면에 바른 후 열처리하여 금속전극을 형성한다. 금속 페이스트는 석영성분을 포함하여 전기전도도가 낮기 때문에 높은 직렬저항 성분에 의한 효율감소를 방지하기 위하여 전극의 폭을 최소 150 ~ 200 μm 로 형성한다. 또한 금속/실리콘의 접촉저항을 낮추기 위해 실리콘 표면에 인(phosphorus)과 같은 도핑물질을 $\sim 50\Omega/\square$ 정도로 강하게 도핑(doping)한다. 그러나 150 ~ 200 μm 금속전극은 태양전지 면적의 10 ~ 12%를 차지하며 입사된 태양빛을 반사한다. 또한 인으로 강하게 도핑된 실리콘 표면은 단파장 영역의 양자효율을 낮게 하는 문제가 있다[2]. 이런 문제를 해결하기 위하여 고안된 태양전지 구조가 Fig. 1의 전극함몰형 태

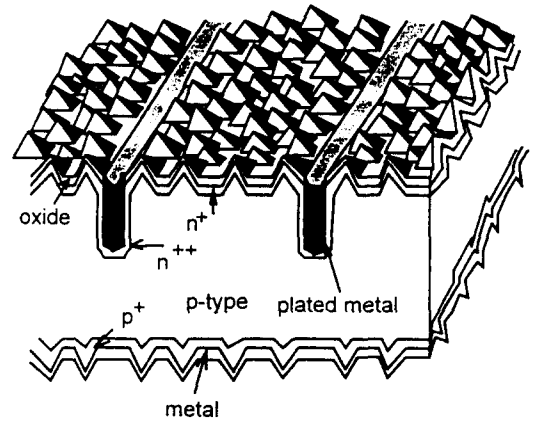


Fig. 1. Schematic diagram of buried contact solar cell.

양전지(BCSC : Buried contact solar cell)이다[2,3].

전극함몰형 태양전지는 스크린 프린팅 태양전지의 넓은 금속전극과 비교하여 실리콘 표면에 폭 20 ~ 25 μm , 깊이 40 ~ 80 μm 의 홈(groove)을 형성하여 실리콘 내부로 전극을 함몰(buried)시킨 형태이다. 직렬저항 성분을 최소화하기 위하여 실리콘이 노출된 홈으로 인을 강하게 확산하여 형성된 n^{++} 영역에 금속전극을 만든다. 금속전극은 금속 페이스트보다 전기전도도가 3배 이상 높은 구리(copper)를 무전해 도금법으로 형성한다. 홈에 도금된 금속전극의 선폭은 약 60 μm 로 금속전극에 의한 빛에너지의 손실은 2 ~ 3%로 매우 낮다.

2. 전극함몰형 태양전지의 제조

전극함몰형 태양전지의 제조공정은 Table 1과 같이 16개의 주요공정으로 이루어져 있다. 태양전지의 제조를 위한 실리콘 기판은 붕소(boron)로 도핑된 p-형 (100) 기판을

이용한다. 기판의 비저항은 일반적으로 0.25 ~ 10 Ωcm 정도가 적당하며, 기판의 비저항이 너무 높으면 개방전압(open circuit voltage)가 낮아지게 되어 Table 2와 같이 효율이 낮아진다[4]. 전극합몰형 태양전지는 비

저항이 낮고 두께는 500 μm 이상인 기판을 사용한다. 실리콘 웨이퍼의 종류는 FZ (Floating Zone) 및 CZ(Czochralski) 웨이퍼로, FZ 웨이퍼는 산소와 탄소의 함량이 CZ보다 낮아 태양전지 제조시 변환효율이 1 ~ 2 % 정도 높아진다. 전극합몰형 태양전지 제조시 각 공정의 주요 목적과 특징은 다음과 같다.

Table 1

Buried contact solar cell processing sequence

1. Saw damage removal
2. Texturing
3. Chemical cleaning
4. Emitter diffusion
5. Oxidation
6. Front laser scribing
7. Groove etching
8. Groove diffusion
9. Rear aluminum deposition
10. Al sintering
11. Deglazing
12. Nickel plating
13. Copper plating
14. Silver plating
15. Edge isolation
16. Cell characterization

2.1. (1-2 공정) chemical treatment

실리콘의 결정(ingot)을 자른 실리콘 웨이퍼는 표면에 많은 결함을 가지므로 표면의 결함을 줄이기 위해 화학적 에칭을 한다. 즉, 산성계의 HF-HNO₃-CH₃COOH나 염기성의 KOH나 NaOH를 이용한 등방성(isotropic) 에칭용액으로 실리콘 표면을 약 20 μm 에칭시켜서 실리콘 기판의 손상부위를 제거한다[5]. 만약 에칭이 충분하지 못하면 실리콘 표면에 존재하는 결함(dislocation)이 태양전지의 효율을 저하시킨다. 집적회로에 사용되는 실리콘 웨이퍼는 as-cut, lapping, chemical etching, polishing 순으로 웨이퍼의 한면 또는 양면을 거울과 같이 처리한 웨이퍼를 사용하며, 태양전지의 제조시는 기판의 가격이 저렴한 as-cut된 실리콘 웨이퍼를 직접 가공하여 사용한다.

Tabel 2

Conversion efficiency as a function of substrate resistivity

ρ ($\Omega \cdot \text{cm}$)	Voc (mV)	Jsc (mA/cm ²)	Fill factor (%)	Efficiency (%)
0.25	653	36.0	80.8	19.4
0.5	648	36.8	80.6	19.6
1.0	644	37.8	79.9	19.7
10.0	634	38.8	79.4	19.8
100.0	627	39.0	75.5	18.7

Table 3
Characteristics of buried contact solar cell with and without textured surface

Sample	Efficiency (%)	Voc (mV)	Isc (A)	Jsc (mA/cm ²)	Fill factor (%)
Sample-1	18.5	651	1.74	38.6	74
Sample-2	16.6	652	1.50	33.4	76

Sample-1 : Solar cell with textured surface.

Sample-2 : Solar cell without textured surface.

실리콘의 표면에 형성되는 한번의 크기가 5 ~ 10 μm 인 피라미드(pyramid)는 실리콘 웨이퍼에서 빛의 반사를 줄이며, 에미터 넓이를 증가시킨다. 피라미드와 같은 요철을 갖는 표면을 만드는 것을 texturing이라 한다. 기판의 방향이 (100)인 실리콘 웨이퍼에 피라미드를 형성하기 위한 이방성 에칭용액은 2 % NaOH와 2-propanol로 구성된다. 이방성 에칭용액을 이용하여 90°C에서 20분간 에칭하여 적당한 크기를 갖는 피라미드를 형성한다. 이방성 에칭은 실리콘 (100)면 에칭속도가 (111)면 보다 400배 정도 빠르므로 90°C에서 에칭하면 (111)면만으로 이루어진 피라미드를 형성한다[6]. 실리콘 표면을 texturing하여 제조된 태양전지는 Table 3과 같이 단락전류밀도(Jsc)의 증가로 인해서 변환효율이 향상된다[7].

표면에 남아 있는 각종 유기물이나 금속불순물을 제거하는 cleaning 공정은 간단한 화학처리 공정이지만 태양전지의 성능을 좌우하는 중요한 공정이다. Cleaning 용액으로 RCA I 및 RCA II 용액을 사용하며, 산화막의 제거를 위하여 불산을 이용한다[8]. 웨이퍼의 세척시 초순수의 비저항은 18 M Ω ·cm 이상으로 충분하여야 한다.

2.2. (3-4 공정) 1st high temperature process

태양빛에 의하여 실리콘 웨이퍼 표면에 발생한 전자-정공을 분리할 수 있는 내부전계를 형성시키기 위하여, 인(phosphorus)을 도핑 및 확산시켜 0.5 ~ 1 μm 깊이의 pn 접합을 형성시킨다. 인의 도핑농도는 에미터의 sheet resistance를 screen printing 태양전지에 비해서 매우 크게 함으로써 단파장에서 이상적인 태양전지의 특성을 갖는다. 따라서 표면의 인의 확산은 전체 태양전지 특성을 좌우하는 중요한 공정이다. 인의 확산에 의한 표면저항과 이에 따른 태양전지 특성변화는 Fig. 2와 같다[9].

인의 도핑 후 형성되는 열산화막은 후속공정을 진행하는 중의 확산, 화학에칭 및 금속공정중에 실리콘 표면에서 반응이 일어나지 않도록 하는 masking oxide와 실리콘 표면에서 캐리어의 표면재결합을 감소시키는 표면 passivation 및 실리콘 표면에서 빛의 반사를 최소화하는 반사방지막(Antireflection coating)의 역할을 한다. 캐리어의 표면재결합을 줄이기 위해서는 양질의 산화막이 필요하며, 이를 위하여 산화공정은 trans oxidation/wet oxidation/trans oxidation으로 불순물의 영향을 최소로 한다. 튜브의 클리닝과 실리콘의 열산화막질을 개선하기 위한 염소(chlorine) 원으로 Schumacher사의 Trans-LC를 사용하며, Trans-LC는 고온에서 식 (1)과 같이

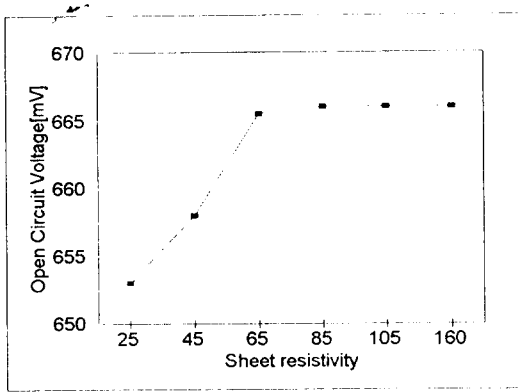
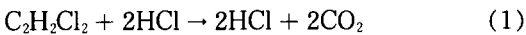


Fig. 2. Open-circuit voltage as a function of sheet resistivity for buried contact solar cell.

산소와 반응하여 HCl을 발생하여 소수캐리어의 수명증가, 산화막내의 stacking fault 감소, 금속오염에 대한 gettering의 역할을 한다. Trans oxidation은 열산화막 형성과 동시에 trans-LC를 사용하여 열산화막의 질을 개선시킨 공정이다[10].



산화막의 두께가 4,000 Å 이상이 되면 texturing 공정에서 형성된 피라미드가 stress를 받게 되며 심한 경우 피라미드 꼭지

점이 깨지게 된다. 피라미드가 깨지면 깨진 부분에 금속전극 형성시 전극물질인 니켈(Ni), 구리(copper)가 도금된다. Table 4는 실리콘 산화막의 두께변화에 따른 결함과 변환효율의 변화를 나타낸다. 공정의 진행을 위한 최적의 산화막 두께는 약 3200 Å 정도로 후속공정의 진행 및 dislocation 생성에 의한 캐리어의 표면재결합을 최소화할 수 있다[11].

2.3. (5-6 공정) groove formation

금속전극을 형성하기 위한 전면전극의 패턴을 형성하는 공정으로 폭이 20~25 μm, 깊이가 40~80 μm인 홈(groove)을 형성시킨다. 홈의 폭은 금속전극이 홈내를 완전히 채울 때 홈의 입구에서 도금이 빠리되어 실리콘 표면을 덮게 되어 금속전극에 의한 손실(shading loss)이 증가하게 되므로 20~25 μm로 형성한다. 홈의 깊이에 따른 개방전압(Voc)의 변화는 Table 5와 같이 거의 없으며[9], 50개 태양전지를 동시에 제조하는 배치공정일 때는 깊이를 ±5 μm내로 조절되어야 한다. 이는 깊이에 따라 실리콘/금속접촉 저항을 줄이기 위한 groove diffusion

Table 4

Dislocation densities and electric results for buried contact solar cell varing oxide thickness

Parameter	Cell 1	Cell 2	Cell 3
Oxide thickness (Å)	3100	4400	7000
Dislocation density (cm ⁻²)	2 × 10 ⁻⁵	4 × 10 ⁵	1 × 10 ⁶
Open circuit voltage (mV)	653	645	635
Jsc (mA/cm ²)	36.7	33.7	30.2
Fill factor (%)	81.1	80.7	80.6
Efficiency (%)	19.4	17.6	15.5

Table 5
Open circuit voltage as a function of groove depth

Groove depth (μm)	Open circuit voltage (V_{oc} : mV)
40	660
80	657

과 deglazing 공정의 시간이 달라지기 때문이다. 홈을 형성하기 위한 설비로는 고출력의 Nd : YAG 레이저를 이용하여, 실리콘 표면을 순간적으로 녹이고 증발시켜 홈을 형성한다[12].

고출력의 레이저에 의하여 홈내에 생긴 실리콘 찌꺼기(slag)와 격자결함을 줄이기 위하여 홈내부를 화학적으로 에칭한다. 홈을 제외한 다른 실리콘 표면은 열산화 공정에 의한 산화막에 의하여 보호된다. 홈의 에칭은 12 % (3M) NaOH 용액을 이용하여 50°C에서 20분간 에칭한다. 이 때 에칭시간이 너무 짧으면 poly-silicon이 재증착되어 직렬 저항이 높아지며 개방전압이 낮아진다.

2.4. (7 공정) 2nd high temperature process

실리콘/금속 접합의 접촉저항을 줄이기 위하여 홈내로 인을 강하게 도핑하는 공정으로 홈외의 영역은 두꺼운 산화막에 의하여 보호된다. 또한 인의 확산에 의하여 실리콘 내의 불순물(defect)과 결함(dislocation)을 제거하는 역할도 한다.

2.5. (8-9 공정) high vacuum & 3rd high temperature process

실리콘 웨이퍼 후면에 후면전계(back surface field)를 형성하기 위하여 고진공에서 알루미늄(Al)을 증착한 후 고온에서 열처리(sintering)한다. 열처리시 알루미늄이 실리콘 산화막을 뚫고 실리콘속으로 확산되어 들어가기 위하여 980°C에서 10~20시간 동안 열처리를 한다. 증착된 알루미늄이 열처리중 외부로 확산되어 순수한 알루미늄 덩어리를 생성하므로, 열처리의 초기에 표면의 알루미늄을 산화시켜 알루미늄 산화막(Al_2O_3)을 생성시켜 실리콘 내부로만 확산될 수 있게 한다. 이 공정은 태양전지의 특성을 높이기 위한 후면전계 형성외에 실리콘 내부의 결함을 제거하여 소수캐리어의 수명을 향상시키며, 전지 후면의 좋은 금속/실리콘 전극을 형성하기 위한 것이다[11].

2.6. (10 공정) deglazing

인의 확산시 홈내에 형성된 모든 산화막을 완전히 제거하여 금속전극 형성시 실리콘과의 접촉저항을 감소시킨다. 또한 다음 공정인 니켈도금이 홈내에 잘되기 위한 전처리 과정이다. 산화막의 제거를 위하여 실리콘 산화막의 에칭속도가 낮은 $15:1 = \text{NH}_4\text{F}:\text{HF}$ 용액을 이용하며, 고농도의 불산용액은 산화막의 에칭속도가 빨라 공정의 조절이 어려우므로 사용하지 않는다. Deglazing 공정은 시간에 밀접한 상관관계를 가지는 공정으로 Fig. 3과 같은 특성을 갖는다[13].

2.7. (11-14 공정) metallization

금속전극으로 사용되는 구리는 전기전도도는 좋으나, 동작온도에서 실리콘으로의 확산 계수가 크므로 실리콘내로 확산되어 들어가며 캐리어의 수명을 감소시킨다. 구리의 실

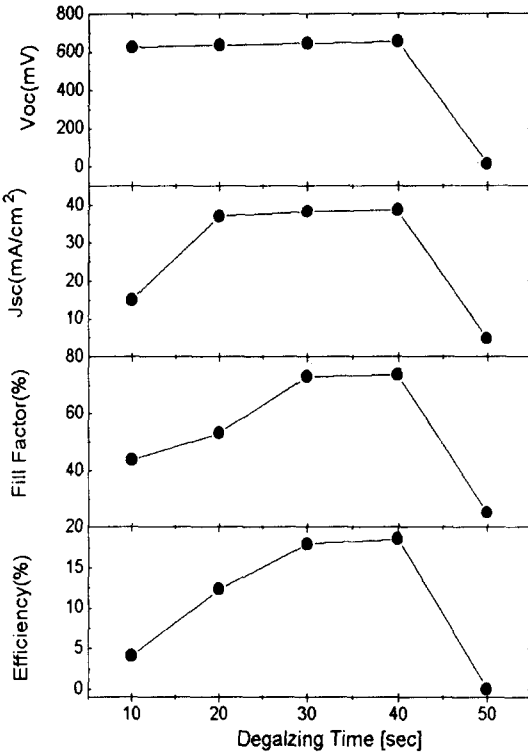


Fig. 3. Electric results as a function of deglazing time.

리콘으로의 확산을 막기 위하여 홈내부에 니켈을 $1\ \mu\text{m}$ 정도로 도금한 후 구리를 무전해 도금한다. 니켈/구리 금속 시스템을 이용한 태양전지의 수명은 20년 이상이다[14,15].

금속전극으로 사용하는 니켈(Ni), 구리(Cu)와 은(Ag)은 자기촉매 반응인 무전해 도금에 의하여 산화막이 없는 홈내에 도금된다. 니켈의 무전해 도금시 홈내에 산화막이

존재하면 도금이 되지 않아 홈내에 도금된 니켈이 불연속적으로 끊어지게 관찰된다. 이때는 불산을 이용하여 산화막을 제거하고 다시 도금한다. 홈내에 도금된 구리는 충분한 전기전도 통로의 역할을 하며, 홈내를 구리로 완전히 채울 때까지 도금한다. 니켈로 얇게 도금된 홈내의 모든 표면에서 도금은 시작되며 홈의 입구에서는 도금시간이 증가함에 따라 양옆으로 넓어진다. 구리의 도금속도가 너무 빠르면 홈의 입구쪽이 막혀 홈내에 기공이 형성되고 직렬저항 성분이 증가하여 충실도(fill factor)가 낮아진다. 태양전지의 표면을 관찰하여 폭이 $60\ \mu\text{m}$ 이상이 되면 shading loss에 의한 손실을 방지하기 위하여 도금을 중단한다. 도금된 구리는 공기 중에 노출되면 쉽게 산화되므로 구리의 산화를 방지하고 모듈제작시 연결(soldering)을 쉽게 하기 위하여 상온에서 은을 도금한다.

2.8. (15 공정) edge isolation

웨이퍼의 둘레를 통한 전류의 leak를 제거하기 위하여 태양전지의 끝부분을 레이저를 이용하여 잘라내거나, 플라즈마를 이용하여 태양전지의 끝부분을 에칭한다.

2.9. (16 공정) cell characterization

완성된 태양전지를 이용하여 모듈을 제작할 때 모듈의 특성은 효율이 낮은 태양전지

Table 6
Characterics of buried contact solar cell

Parameter	Efficiency (%)	Voc (mV)	Isc (A)	Jsc (mA)	Fill factor (%)
BCSC	18.8	651.0	1.67	37.1	77.8

에 의하여 결정되므로, 제조된 태양전지의 특성을 조사하여 효율이 비슷한 태양전지를 분류한다. 제조된 전극함몰형 태양전지의 주요 특성은 Table 6과 같다.

3. 결 론

현재 시판되고 있는 스크린 프린팅 태양전지의 여러가지 단점을 개선시킨 전극함몰형 태양전지는 금속전극을 실리콘 내부로 함몰시킨 구조로 금속전극의 폭이 $60 \mu\text{m}$ 이며, 에미터의 도핑이 $100 \sim 200 \Omega/\square$ 로 낮아 단파장 영역에서 이상적인 태양전지의 특성을 갖는다. 이와 같이 전극함몰형 태양전지는 제조공정이 간단하고 변환효율이 19%로 매우 높아 가까운 시일에 상품화가 가능할 것이다.

단결정 실리콘 태양전지의 변환효율을 향상시키기 위해서는 새로운 구조의 개발, 실리콘의 고순도화·고품질화가 필요하다. 또한 후면전극 부근에서 재결합을 억제하는 후면 구조와 입사된 태양광의 기판표면에서의 반사감소를 위한 AR coating, 전지내의 입사한 광의 이용효율을 향상시키기 위한 packing 기술의 개발 등이 추진되고 있다.

참 고 문 헌

- [1] M.A. Green, Optoelectronics-Devices and Technologies 9(4) (1994) 423.
- [2] A. Cuevas, Solar Electricity, E. Lorenzo, Ed., (Progensa, Spain, 1994), p. 227.
- [3] M.A. Green, High Efficiency Silicon Solar Cells, (Trans Tech. Pub. Ltd., Switzerland, 1987) p. 170.
- [4] A.B. Sproul, M.A. Green and A.M. Robinson, Solar Cells 28 (1990) 233.
- [5] C.W. Pearce, VLSI Technology, 2nd ed., S.M. Sze, Ed., (McGraw-Hill, New York, 1988) p. 38.
- [6] K.E. Bean, IEEE Trans. on Electron Devices, ED-25, No. 10 (1978) 1185.
- [7] 지일환, 조영현, 이수홍, 한국전기전자재료학회 춘계학술대회, (1995) 172.
- [8] C.W. Pearce, VLSI Technology, 2nd ed., S.M. Sze Ed., (McGraw-Hill, New York, 1988) p. 44
- [9] C.B. Honsberg and S.R. Wenham, Progress in Photovoltaics 3, (1995) 79.
- [10] Technical data, Process guideline for Trans-LC by Schmacher.
- [11] S. Wenham, Progress in Photovoltaics 1 (1993) 3.
- [12] 조은철, 지일환, 이수홍, 한국전기전자재료학회 춘계학술대회, (1995) 154.
- [13] 김동섭, 조영현, 이수홍, 한국전기전자재료학회 춘계학술대회, (1995) 145.
- [14] M.G. Coleman, R.A. Pryor and T.G. Sparks, 14th Photovoltaic Specialists Conference (1980) 793.
- [15] L.A. Grenon, N.G. Sakiotis and M.G. Coleman, 15th Photovoltaic Specialists Conference (1981) 522.