

실리콘기판 직접접합기술을 이용한 SOI 홀 센서의 제작과 그 특성

논문
8-2-6

Fabrication of a SOI Hall Sensor Using Si-wafer Direct Bonding Technology and Its Characteristics

정귀상
(Gwiy-Sang Chung)

Abstract

This paper describes the fabrication and characteristics of a Si Hall sensor fabricated on a SOI (Si-on-insulator) structure. The SOI structure was formed by SDB(Si-wafer direct bonding) technology and the insulator of the SOI structure was used as the dielectrical isolation layer of a Hall sensor. The Hall voltage and sensitivity of the implemented SDB SOI Hall sensors showed good linearity with respect to the applied magnetic flux density and supplied current. The product sensitivity of the SDB SOI Hall sensor was average 600V/A·T and its value has been increased up to 3 times compared to that of bulk Si with buried layer of 10 μ m. Moreover, this sensor can be used at high-temperature, high-radiation and in corrosive environments.

Key Words(중요용어) : SDB(실리콘기판 직접접합), SOI(에스오아이), Hall Sensor(홀 센서), Magnetic Sensitivity(자기감도).

1. 서 론

자연계의 수 많은 물리량 중에서 자기장의 양을 전기적 신호로 변환시켜 자기장의 양을 감지하는 자기센서는 자기테이프의 관독, 지자기의 측정, 패턴 인식, 비접촉 스위치, 브레시레스 모터, 변위 및 각도 측정, 전류량 측정, 적산 전력계 등의 FA, OA, HA, 의료, 자동차, 항공기 및 가전 제품 등을 자동화, 고기능화, 고성능화시키는데 절대적으로 필요한 전자변환 소자이다. 이러한 자기량의 변환 소자로서는, 홀 센서, 자기저항 소자, 자기트랜지스터, 홀 IC, 초전도 양자간섭 소자(SQUID) 등이 있다. 이 중에서도 홀 효과 및 자기저항 효과를 이용한 자기감지 센서가 활발히 개발되고 있다. 특히, 홀 이동도가 큰 GaAs, InSb와 같은 화합물 반도체를 이용한 홀 센서는 현재 실용화되고 있다.¹⁾ 그러나 실리콘 홀 센서의 자기감도는 낮지만, 실리콘 제조공정기술의 발달로 대량생산에 의한 저가격화,

감지부와 신호처리 회로의 집적화,²⁾ 그리고 마이크로머시닝 기술에 의한 3차원 자기센서도³⁾ 제작할 수 있기 때문에 크게 주목받고 있다.

최근에 고온 혹은 극저온, 부식성 기체 및 액체 그리고 방사선 분위기 등의 극한 환경속에서 사용 가능한 고감도 실리콘 홀 센서의 개발이 요구되고 있다. 현 반도체 제조공정기술로 제작된 실리콘 홀 센서는 pn접합에 의한 접합분리(Junction Isolation)를 이용하고 있다. 따라서 120 $^{\circ}$ C 이상의 고온과 방사선 속에서는 각각 pn접합의 누설전류 및 소프트에러 때문에 특성이 급격히 약화된다. SOI(Si-on-Insulator)구조를 이용한 유전체분리(Dielectrical Isolation) 기술은 현 실리콘 소자의 고집적화, 고속화, 고내압화 및 내방사선화를 위한 가장 유력한 기술로 활발히 연구 개발되고 있다.⁴⁾

본 논문에서는, SOI구조의 형성 방법 중 단결정 실리콘에 가장 가까운 특성을 얻을 수 있는 실리콘기판 직접접합(SDB : Si-wafer Direct Bonding) 기술과 기계적 선택폴리싱으로 형성한 박막 SDB SOI 구조상에 제작된 홀 센서의 특성용 조사하였다.

* : 동서공과대학교 전자공학과
접수일자 : 1994년 10월 31일
심사완료 : 1994년 12월 24일

2. 제작 공정

2. 1. 실리콘기판 직접접합기술을 이용한 박막 SOI구조 형성

SOI기판을 제조하는 방법은 절연층 상부에 성장된 비결정 혹은 다결정의 실리콘 박막을 용융한 후 재결정화하는 방법(ZMR : Zone Melting Recrystallization), 에피택살 성장법(SOS : Si-on-Sapphire), 기판내부에 산화 혹은 질화층을 형성하므로써 표면 실리콘층과 기판 내부에 산화층을 형성하여 표면 실리콘층과 기판을 분리하는 방법(SIMOX : Separation by implantation of O₂ or N₂, FIPOS : Full Isolation by Porous Oxidized Si) 그리고 산화막이 형성된 두장의 기판을 직접접합하여 한면의 실리콘기판을 기계적 연마로 박막화하는 방법(SDB) 등이 있다.

이러한 방법들 중에서 SDB기술은 어떤 접착제도 사용하지 않고 실리콘기판을 직접접합하는 기술로 벌크 실리콘과 거의 동등한 결정질을 갖는 대면적의 SOI기판을 간단히 제조할 수 있을 뿐만 아니라 미세구조물 제작이 용이하기 때문에, SOI 소자, 3D-IC 그리고 마이크로 센서 및 액츄에이터 등의 개발에 가장 적당한 SOI구조 형성 방법으로 크게 주목받고 있다.⁵⁾

그림 1은 SDB기술, 화학적 습식 선택식각 그리고 기계적 선택폴리싱에 의한 박막 SDB SOI구조의 형성 공정 순서도이다. 이 기술은 기판 표면의 화학적처리, 접착 및 열처리로 구성되고 최종적으로 필요로 하는 구조에 따라 박막화 공정이 수행된다. 각 공정을 간략히 설명하면 다음과 같다.

1) 기판 준비 : 먼저, p형, 6~9Ω·cm, (100)인 지지기판에 2,000Å의 실리콘 열산화막을 성장시켰다. 한편, p'형, 0.01~0.02Ω·cm인 기판에 1.8μm 두께의 p형, 2~4Ω·cm, (100)의 에피층을 갖는 active기판상에 실리콘 열산화막을 1,000Å 형성하였다. 이 기판상에 홀 센서의 면적에 해당하는 40×60μm²의 SOI 패턴을 형성한 다음, 필드 산화막의 형성조건을 8,000Å으로 하여 실제 SOI의 두께를 3,500Å으로 하였다. 이 때 필드 산화막 형성 공정시 44%의 실리콘이 소모되므로 그만큼의 산화막은 연마증지막으로 사용할 수 있기 때문에 SOI구조의 active층이 형성된다. 그 다음 평탄화의 목적으로 다결정질 실리콘을 4μm 성장시킨 후 폴리싱으로 거울면을 형성했다.

2) 친수화 처리 : 이와 같이 준비된 두 기판을 표준 세척공정후, 기판의 표면에 아주 얇은 두께의 산화막을 생성시키기 위해 110℃의 H₂SO₄ :

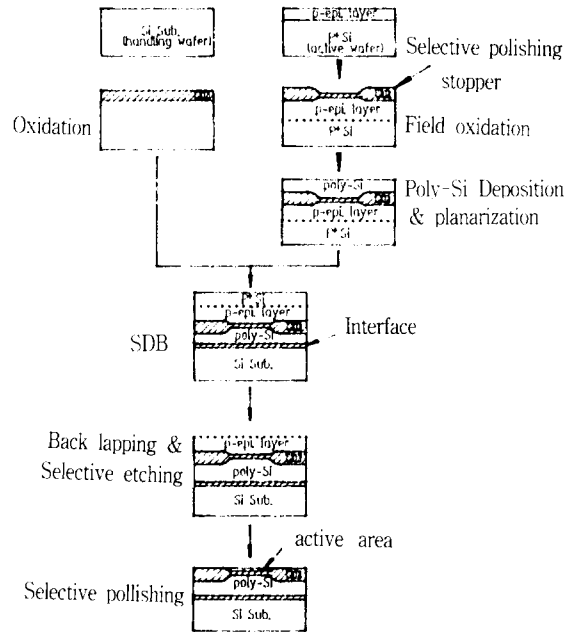


그림 1. SDB기술을 이용한 박막 SOI구조의 형성 공정 순서도

Fig. 1. Formation process flow chart of the thin film SOI structure using the SDB technology.

H₂O₂ = 4 : 1 용액속에서 10분간 처리함으로써 기판 표면에 친수성을 갖게 했다.

3) 기판의 접착 : SDB기술에 의한 SOI구조를 형성하기 위해 두 기판을 거울면끼리 마주 보게 하여 실온, 대기압 상태에서 밀착시켰다. SDB기술에 의한 박막 SOI구조 형성시 무엇보다도 중요한 것은 기판선택체를 완벽하게 접착해야 한다. 만약에 비접착 부위 혹은 기공(void)이 존재하면 기판의 박막화 과정에서 이 부위가 떨어져 나가므로 사용 가능한 면적이 줄게 된다. 접착시 기공 발생은 기판 사이에 개재된 입자, 충분히 평탄하지 못한 기판 표면 그리고 기판 사이에 갇힌 분위기 기체에 기인된다. 이러한 초기 접촉은, 친수화 처리한 후 대기압, 실온에서의 접착시 기판상에 흡착된 물분자간의 결합력 즉 Van der Waals힘에 의해서 접착된다.⁶⁾ 이러한 초기 접착 상태에서도 접합계면에너지는 100erg/cm² 이상으로 취급하는데 충분하다.

4) 열처리 : 열처리 과정은 기판간의 접합력을 높이기 위한 과정으로 가열온도가 증가함에 따라 접합력은 증가하며, 1,000℃ 이상에서는 단결정 실리콘의 강도에 상당하는 1,400erg/cm²의 접합력을

열을 수 있다.⁷⁾ 본 실험에서는 1,000°C에서 1시간 열처리했다.

5) 박막화 : 열처리된 접합기관은 그 용도에 따라 적절한 두께로 박막화되어야 한다. 여러가지 박막화 기술중에서, 본 연구에서는 대면적이면서도 균일한 박막 SDB SOI구조를 형성하기 위해 기계적 연마(mechanical lapping), 화학적 습식 선택식각(chemical wet selective etching) 그리고 기계적 선택폴리싱(mechanical selective polishing)등의 방법을 이용했으며 각 공정은 다음과 같다.

(a) 기계적 연마 : 먼저, 기계적 연마로 625 μ m인 실리콘 기관의 약 90%까지 연마해서 약 50 내지 70 μ m정도로 박막화했다.

(b) 화학적 습식 선택식각 : 식각반응 속도가 불순물 농도에 영향을 받는다는 특성을 이용하는 방법이다. 식각용액 HF : HNO₃ : CH₃COOH = 1 : 3 : 8에서 P'층은 분당 2.2 μ m정도로 식각되는데, 식각 소요시간의 2배 이상 식각하더라도 P'의 에피층은 거의 식각되지 않는다.⁸⁾

(c) 기계적 선택폴리싱 : 화학적 선택식각이라는 용액 화학적 방법은 조건의 변화에 따라 결과가 상당한 영향을 받으므로 마이크론 이하로 실리콘을 박막화시키는데 한계가 있다. 기계적 선택폴리싱은 실리콘과 열산화막의 폴리싱 선택비(100 : 1)를 이용하여 마이크론 이하의 실리콘층을 구현하는 기술이다. 4.47 $\times 10^{-4}$ Pa의 압력하에서 SYTON HT-50의 slurry와 0.04~0.05 μ m SiO₂ 분말을 사용하여 기계적 선택 폴리싱을 하였다.

이상에서 기술한 SDB기술과 기계적 선택폴리싱으로 균일하면서도 대면적의 3,000~4,000Å의 두께를 가진 박막 SDB SOI 구조를 형성하였다.

2. 2. SDB SOI 홀 센서 제작

그림 2는 박막 SDB SOI기관을 이용한 홀 센서의 제작 공정 순서도를 나타낸 것이다. 먼저, SOI 구조 형성시 연마, 식각 그리고 폴리싱시 분말 혹은 왁스 등에 의해서 생길 수 있는 유기물, 산화물, 금속 및 이온 불순물 등을 제거하기 위해 초기 세척을 했다.

그 다음 n 및 n'영역을 형성하기 위해 인을 이온 주입하였다. n영역에 대해서는 인가 에너지가 180KeV이고 주입된 불순물 양은 5 $\times 10^{12}$ /cm²이다. 마스크 #1를 사용하여 n'전극 패턴을 형성한 후, 30KeV 인가 에너지로 불순물 양이 3 $\times 10^{15}$ /cm²인 n'영역을 형성하였다. 다음에 900°C에서 30분간 열처리하였다. 마스크 #2를 사용하여 전극접촉장을 연 후 증착기를 사용하여 알루미늄을 증착시켰다.

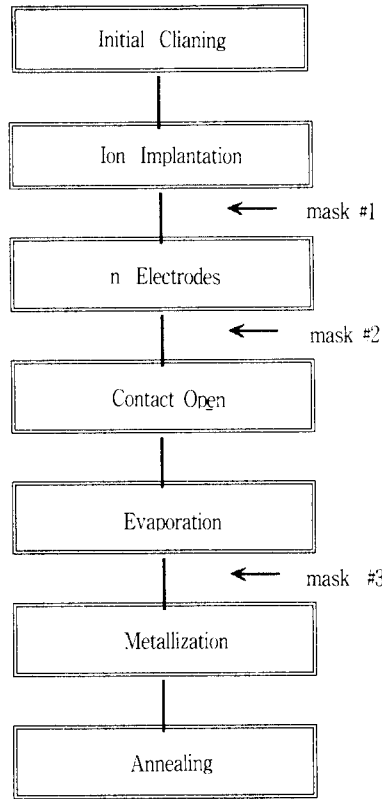


그림 2. SDB SOI 홀 센서의 제작 공정 순서도
Fig. 2. Fabrication process flow chart of the SDB SOI Hall sensor.

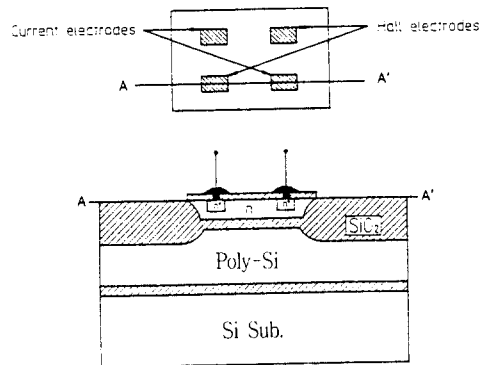


그림 3. SDB SOI 홀 센서의 단면도
Fig. 3. Cross-sectional view of the SDB SOI Hall sensor.

그 다음 마스크 #3을 사용하여 전극 패턴을 형성한 후, 마지막으로 저항성 접촉을 위해서 450°C에서 30분간 열처리하였다. 그림 3은 이와 같은 공정으로 제작한 SDB SOI 홀 센서의 단면도이다.

3. 결과 및 고찰

이상과 같은 공정으로 제조된 SDB SOI 홀 센서의 특성을 평가하기 위해 알루미늄 패키지에 고정시키고 소자와 알루미늄 패키지로 온 도선을 초음파 본딩 장치로 본딩하였다. 구동전류는 정전류 공급장치로 공급하고 자기장은 가우스 미터로 측정하였다.

그림 4는 무자기장하에서 공급전류를 0에서 0.3mA까지 변화시켰을 때의 SDB SOI 홀 센서의 오프셋전압 변화를 나타낸 것이다. 오프셋 전압 V_0 는 공급전류 I_{sup} 에 비례하면서 증가하는데 다음과 같이 나타낼 수 있다.

$$V_0 = R_F I_{sup} \quad (1)$$

여기서 R_F 는 소자 제조시 마스크의 비정합에 의한 기하학적 오차와 패키지 등에 의한 압저항효과에 의해서 발생되는 등가 저항이다.⁹⁾ 홀 센서는 자기 감도가 높고 오프셋 전압이 작은 것이 바람직하다. 그러나 제조공정, 온도 및 aging 등에 따라 R_F 가 변화하므로 오프셋 전압의 정확한 예측은 어렵다.

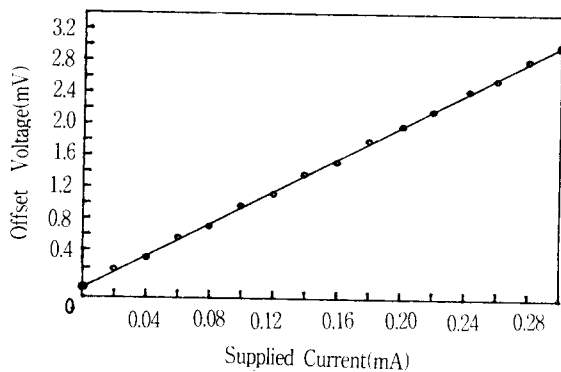


그림 4. 무자기장하에서 인가전류에 대한 오프셋 전압의 변화

Fig. 4. Variation of offset voltage with supplied current under no magnetic flux density.

그림 5는 SDB SOI 홀 센서의 자기장에 따른 홀 전압 V_H 의 변화를 나타낸 것이다. 일정한 전류 하에서 인가 자기장 B를 0에서 1KG까지 변화시키면서 측정한 것인데 선형적으로 증가함을 보여주고 있다. 한편, 공급전류를 0.02, 0.04, 0.06, 0.08 mA로 변화시킨 경우에도 각각의 홀 전압은 선형적으로 증가한다. 따라서 제작한 SDB SOI 홀 센

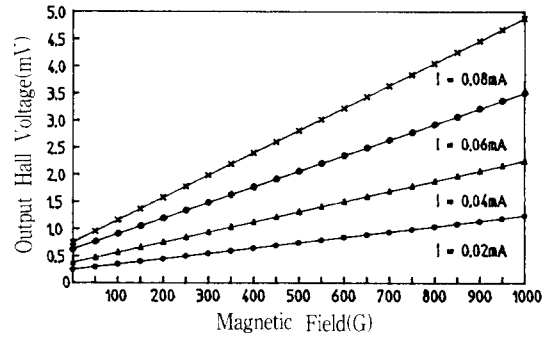


그림 5. 일정한 인가전류하에서 자기장에 대한 홀 전압의 변화

Fig. 5. Variation of Hall voltage with magnetic flux density under constant supplied current.

서의 홀 전압은 자기장 및 공급전류의 변화에 대해 우수한 선형 응답 특성을 나타내고 있다. 홀 센서의 홀 전압은 다음과 같이 주어진다.¹⁰⁾

$$V_H = G(\mu_n^* I B) / \sigma_n t \quad (2)$$

여기서 G 는 전류공급 전극과 홀 전극의 단락회로 효과를 나타내는 기하학적 수정계수, μ_n^* 는 전자의 홀 이동도, σ_n 은 전자의 도전율 그리고 t 는 전류경로의 두께이다. 따라서, 홀 전압은 이동도에 비례하고 전류경로의 두께에 반비례한다. 그러므로 가능한 한 이동도가 크고 전류경로의 두께를 얇게 하는 것이 바람직하다. 일반적으로 pn접합분리를 이용한 경우에는 전류경로의 두께는 10 μ m 이상인데 비해 본 SDB SOI 홀 센서는 3,000 \AA 으로 약 33배 이상 얇다. 한편, 전류경로의 두께가 3,000 \AA 인 SOI기판상에 제작한 SOI MOSFET의 전자 이동도는 857cm²/V.s으로 벌크 실리콘에 비해 30% 이상 증가한다.¹¹⁾ 이것은 박막 SOI 소자는 완전 공핍화로 인해 소자의 이동도가 증가하는 SOI 구조의 큰 장점이라 할 수 있다. 따라서 동일한 조건 하에서 SOI 홀 센서가 pn 접합형보다도 훨씬 큰 출력력을 얻을 수 있음을 알 수 있다.

SDB기술과 기계적 선택폴리싱에 의해 제조한 박막 SDB SOI의 평탄성을 평가하기 위해, 전류경로의 두께가 10 μ m인 5" 기판 상에 제작한 홀 센서의 감도 변화량을 측정하였다. 그림 6은 양 기판에 제작한 홀 센서의 적감도(Product Sensitivity) 히스토그램을 나타낸 것이다. 홀 소자의 적감도 S_H 는 다음식으로 정의된다.¹²⁾

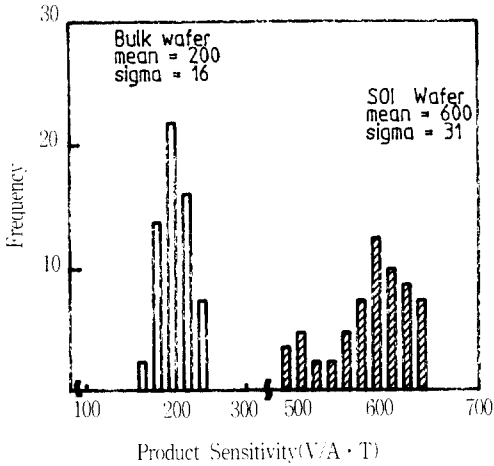


그림 6. 벌크 및 SDB SOI 기판상에 제작된 홀 센서의 적감도 히스토그램
 Fig. 6. Product sensitivity histogram of Hall sensors fabricated on bulk and SOI substrates, respectively.

$$S_H = \partial V_H / \partial B \cdot I \quad (3)$$

전류경로의 두께가 10 μ m인 pn 접합분리형 홀 센서의 경우 적감도는 평균 200V/A·T이며 표준편차는 16V/A·T였다. 한편, SDB SOI 홀 센서의 적감도는 평균 600V/A·T로 표준 편차는 상대적으로 크지만, 적감도는 3배 이상 증가했다.

또한, 그림 5에서 알 수 있는 바와 같이 인가 자기장에 따라 홀 전압이 선형적으로 변화하기 때문에 인가 전류에 따른 적감도의 변화량도 일정했다.

4. 결 론

SDB 기술과 기계적 선택폴리싱으로 대면적의 균일한 박막 SDB SOI구조를 형성하였다. 제작된 SDB SOI 홀 센서의 적감도는 600V/A·T으로 벌크 실리콘보다 3배 이상 증가했으며 우수한 선형 응답특성을 나타냈다. 한편 적감도의 표준편차는 벌크 실리콘보다 2배 이상 크지만, 본 연구의 SDB기술에 의한 SOI구조 형성방법은 박막 SDB SOI구조 형성에 대단히 유용함을 알 수 있다. 또한 SDB SOI 홀 센서는 SOI구조의 열산화막에 의해 유진체분리되어 있기 때문에 고온 및 방사선 등의 분위기에서도 사용할 수 있을 것이다. 향후 화학적 습식 선택식각 및 기계적 선택폴리싱에 대한 좀 더 엄격한 제어 기술이 확립된다면, 대면적

의 균일한 박막 SDB SOI구조를 형성할 수 있을 것이다. 이러한 SDB SOI구조는 신기능을 갖는 각종 전자소자, 마이크로 센서 및 액츄에이터 개발에 응용될 수 있을 것이다.

참 고 문 헌

1. A. Nathan, H. P. Baltès, R. Castagnetti, Y. Suggiyama, D. R. Briglio, "Low-frequency Noise in Modulation Doped AlAs/GaAs Superlattice Dual-drain Magnetic Sensors", Sensors and Actuators, A21-A23, pp. 776-779, 1990.
2. T. Nakamura and K. Maenaka, "Integrated Magnetic Sensors", Sensors and Actuators, A21-A23, pp. 762-769, 1990.
3. S. Kawahito, S. O. Choi, M. Ishida and T. Nakamura, "MOS Hall Elements with Three-dimensional Microstructure", Dig. of the 7th Int. on Solid-State Sensors and Actuators, pp. 892-895, 1993.
4. G. S. Chung, "Thin SOI Structures for Sensing and Integrated Circuit Applications", Sensors and Actuators A, 39, pp. 241-251, 1993.
5. S. Bengtsson, "Semiconductor Wafers Bonding : A Review of Interfacial Properties and Applications", J. Electronic Materials, 21, pp. 841-862, 1992.
6. J. B. Laskly, "Wafer Bonding for Silicon-on-Insulator Technologies", Appl. Phys. Lett., 48, pp. 78-80, 1986.
7. C. Harend, B. Hoofflinge, H. G. Graf and E. Penteker, "Silicon Direct Bonding for Sensor Application", Sensors and Actuators A, 25, pp. 87-92, 1991.
8. J. Hasima, G. A. C. M. Spierings, U. K. P. Biermann and J. A. Pals, "Silicon-on-Insulator Wafer Bonding-Wafer Thinning Technological Evaluations", Jpn. J. Appl. Phys., 28, pp. 1426-1443, 1989.
9. J. M. V. D. Boom and S. Kordic, "Offset Reduction in Hall Plates : Simulation and Experiments", Sensors and Actuators, 18, pp. 179-193, 1989.
10. S. Middelhoke and S. A. Audet, "Silicon Sensors", Academic Press., pp. 202-245, 1989.

11. G. S. Chung, S. Kawahito, M. Ishida, M. Kawashima and T. Nakamura, "Application of Si-Wafer Direct Bonding to High-temperature Integrated Pressure Sensors", Sensors and Materials, 3, pp. 61-74, 1991.
12. R. S. Popvic, "The Vertical Hall Effect Devices", IEEE Trans. Electron Device Lett., EDS-5, pp. 357-358, 1984.

저자소개



정귀상

1961년 6월 20일생. 1983년 2월 영남대학교 전자공학과 졸업. 1985년 2월 영남대학교 대학원 전자공학과 석사. 1992년 3월 일본 도요하시기술과학대학 시스템정보공학과 박사. 1992년 3월 한국전자통신연구소 선임연구원. 1994년 현재 동서공과대학교 전자공학과 전임.