

장시간 스트레스 조건에서 Submicron MOSFET의 열전자 트래핑에 의한 노화현상에 대한 연구

논문
8-3-15

A study on the degradation by the hot carrier trapping of the submicron MOSFET with long stress condition

홍 순 석*

(Soon-Seuk Hong)

Abstract

An experiment on characteristics of nMOSFET's in the long stress condition with the maximum of the substrate current has been carried out in order to study on the degradation due to the hot-carrier effect. Based on the measured result of the threshold voltage, the damage is mostly due to the hole injection into the oxide. After long stress, it was shown that the drain current increased at low gate voltages and hence decreased at high gate voltages.

Key Words(중요용어) : Hot-Carrier(열전자), Trapping(트래핑), Degradation(노화현상)

1. 서 론

소자의 channel 길이가 줄어들면서 핫-캐리어 효과 또는 스트레스 노쇠화 효과로 인한 소자의 전기적 특성변화를 예측하여 소자의 수명을 추정하는 일련의 연구가 현재까지 많이 수행되어왔다. 그럼에도 불구하고 핫-캐리어 효과의 정확한 메카니즘과 소자의 전기적 특성의 변화 분석에 대한 모델링이 완벽하게 구축되지 못하였다. 일반적으로 nMOSFET의 손상은 산화층의 결함에 의한 캐리어의 트래핑 또는 실리콘과 산화층 경계면에서의 계면상태의 형성으로 나타난다. 핫-캐리어에 의한 손상은 전달콘덕턴스, 문턱전압 등 nMOSFET의 전기적 파라미터의 노쇠화를 가져온다. 스트레스를 받은 후 nMOSFET의 열화의 근본원인에 대한 현재까지의 일반적인 견해는 첫째, 오로지 계면상태 형성에 의해 손상[1~3], 둘째, 산화층내의 캐리어

트래핑에 의한 손상[4,5], 셋째, 산화층내의 전하와 계면상태의 두 영향의 조합에 의한 손상[6,7] 등이다.

열화에 의한 nMOSFET의 특성에 대한 고전적 접근 방법은 $\log I_d - V_g$ 곡선의 변화를 관측하는 것이다. 경계면에서의 계면상태는 곡선의 기울기에 변화를 주고, 산화층내의 트래핑된 전하는 단순히 flat-band 전압에 변화를 주는 것으로 간주되어 $\log I_d - V_g$ 곡선을 트래핑된 전하의 극성에 따라 높은 게이트 전압 또는 낮은 게이트 전압으로 이동시킨다.

채널길이가 짧은 트랜지스터의 경우는 방금 설명한 것과 같이 단순하지 않고 매우 복잡한 양상을 띤다. 산화층의 국부적인 손상은 더 이상 일차원 문제로 해석될 수 없으며, 전기적 특성에 매우 중요한 역할을 한다. 게이트 영역과 드레인 영역의 중첩된 구간에 고정된 산화층 전하가 형성된 트랜지스터의 $I_d - V_g$ 특성에 대한 이차원 시뮬레이션 결과는 문턱전압 이상의 게이트 전압에 대해서 열화 현상을 보이며[16], 문턱전압 이하의 게이트 전압에서는 열화 현상

* : 홍익대학교 전자전산공학과
접수일자 : 1995년 4월 10일
심사완료 : 1995년 5월 15일

이 나타나지 않는다. 다른 이차원 시뮬레이션은 트래핑된층 전하가 $I_d - V_g$ 특성에 미치는 영향면에서 계면상태와 비슷한 결과를 얻었다[8].

이러한 시뮬레이션 결과들은 트래핑된 산화층 전하 또는 계면상태 중 하나의 영향만으로 nMOSFET의 노쇠화된 특성을 정확하게 해석하는 것이 어렵다는 것을 보여준다[11-13]. 한편, Charge Pumping 방법은 트래핑된 산화층 전하와 계면상태의 영향을 구분하는데 이용된다[9]. 이 방법은 실리콘과 산화층 경계면에 있는 interface trap을 정량적으로 알아낼 수 있으나[14-15], 산화층 내의 trap에 대해서는 알 수 없다. 두 형태의 손상이 동시에 발생할 경우 각 형태의 국부적인 손상으로 인해 Charge Pumping 방법 역시 정확한 손상의 원인 규명에는 미흡하다.

본 연구에서는 열화 특성을 분석하기 위하여 소자를 노쇠화가 가장 심한 조건에서 측정하였다. 측정결과 기존의 실험 결과와는 상이한 결과를 보였다.

2. 측정 및 분석

측정에 사용된 소자는 그림 1과 같이 LDD구조를 갖는 nMOSFET이다. 노쇠화 현상을 분석하기 위하여 nMOSFET의 소오스를 기준전압으로 하여 드레인전압 $V_d = 7.5V$, 게이트전압 $V_g = 3.2V$, 기판전압 $V_b = -2V$ 에서 1000초이상 nMOSFET에 스트레스를 가하였다. 이러한 스트레스 조건은 기판전류가 최대값을 갖으며, 일반적으로 노쇠화의 정도가 가장 심한 것으로 알려져 있다[2]. 이 경우 전자뿐 아니라 정공도 산화층에 손상을 미친다. 일반적으로 낮은 게이트 바이어스 조건에서는 정공에 의한 손상이 우세하고, 높은 게이트 바이어스 조건에서는 전자에 의한 손상이 지배적인 것으로 알려졌다.

그림 2는 스트레스를 가한 후 문턱 전압의 변화를 측정된 것이다. 문턱전압은 채널폭 당 드레인전류가 $1\mu A$ 일때의 게이트전압으로 정의하였고, 문턱전압의 변화 ΔV_{th} 는 다음과 같이 계산하였다.

$$\Delta V_{th} = \frac{V_{th, before} - V_{th, after}}{V_{th, before}} \times 100 [\%]$$

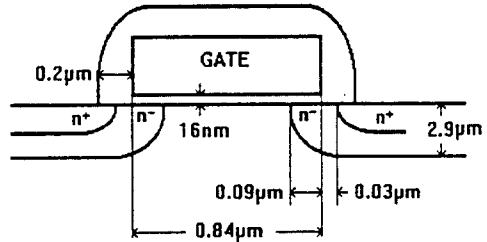


그림 1. 측정에 이용된 nMOSFET 구조
Fig. 1. nMOSFET model of experimental device

여기서, $V_{th, before}$, $V_{th, after}$ 는 각각 스트레스 전과 후에 측정된 문턱 전압이다. 스트레스를 가한 후 문턱전압이 감소한 것은 산화층내로 정공이 트래핑된 것으로 해석할 수 있다. 산화층으로 정공의 주입은 낮은 게이트전압의 스트레스 조건에서 일어나는 것이 일반적인 통설이다. 본 연구의 실험에 사용된 nMOSFET의 스트레스 조건에서도 산화층으로의 전자 주입보다 정공 주입이 많이 일어나고 있음을 알 수 있다.

그림2 실험에서는 공핍층 확장에 따른 손상의

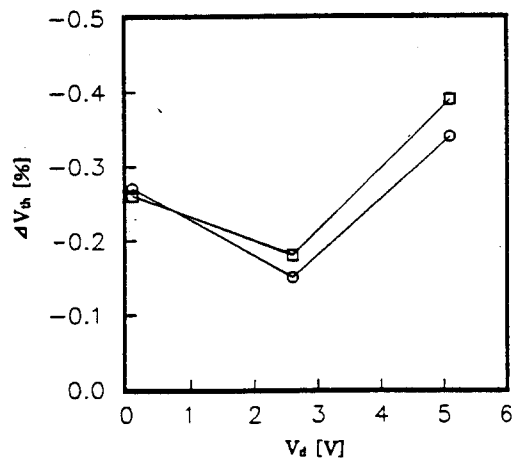


그림 2. 드레인 전압에 따른 문턱 전압의 변화
 $V_b = -2$

Fig. 2. The variation of the threshold voltage due to the drain voltage $V_b = -2V$

shielding 효과가 나타나지 않고 있다. 이는 손상된 산화층의 위치가 드레인 영역에 있다고 해석할 수 있다.

그림 3은 스트레스를 가한 후 드레인 전류의 변화량을 게이트 전압에 대하여 나타낸 실험이다. 여기서 드레인 전압의 변화값은 문턱 전압의 변화량 계산 방법과 같다. 그러나, 낮은 게이트 전압에서는 드레인 전류가 증가하는 것은 문턱전압이 감소하는 것과 일치한다고 볼 수 있으나, 높은 게이트 전압에서는 문턱전압이 감소되

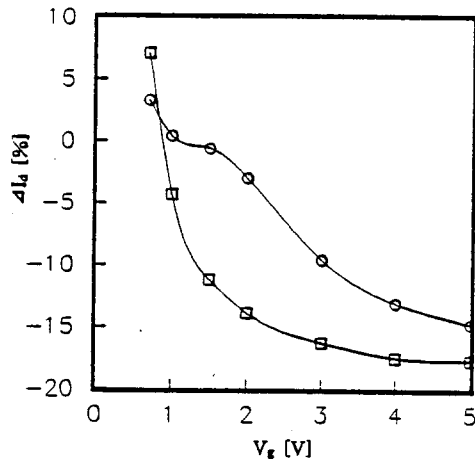


그림 3. 게이트 전압에 따른 드레인 전류의 변화

$V_b = -2V, V_d = 0.1V(\square), 1V(\circ)$

Fig 3. The variation of the drain current due to the gate voltage $V_b = -2V, V_d = 0.1V(\square), 1V(\circ)$

있음에도 불구하고 드레인 전류가 감소하는 현상이 나타나고 있다. 이는 LDD 구조를 갖는 nMOS Tr의 신뢰성 평가에서 Device의 Life Time 현상을 규명하는데 좋은 자료가 된다.

그림 4는 게이트 전압에 따른 드레인 전류의 변화량을 보다 세분화하여 측정한 것이다. 드레인 전압에 거의 무관하게 특정 게이트 전압을 경계로 하여 드레인 전류의 증가 또는 감소하는 현상을 보이고 있다. 이와같은 현상은 낮은 게이트 전압에서는 산화층의 손상된 구간에서의 드레인 영역에서의 series저항이 계면상태의 영향으로 감소되어 드레인 전류가 증가하는 것으로 해석할 수 있다.

또한 높은 게이트 전압에서는 반전층 캐리어의 이동도 감소로 인해 드레인 전류가 감소하는 것으로 해석할 수 있다. 경계면에서의 계면상태

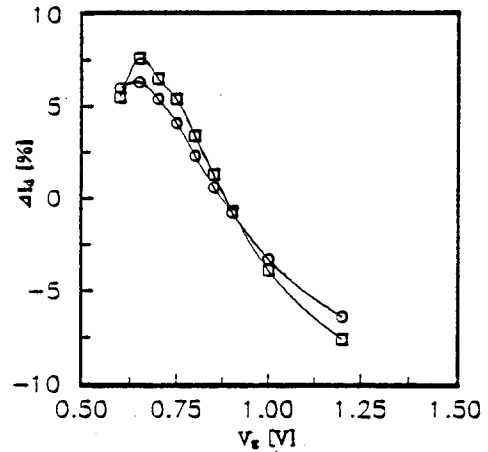


그림 4. 게이트 전압에 따른 드레인 전류의 세부 변화

$V_b = -2v, V_d = 0.1V(\square), 1V(\circ)$

Fig. 4. The detail variation of the drain current due to the gate voltage $V_b = -2v, V_d = 0.1V(\square), 1V(\circ)$

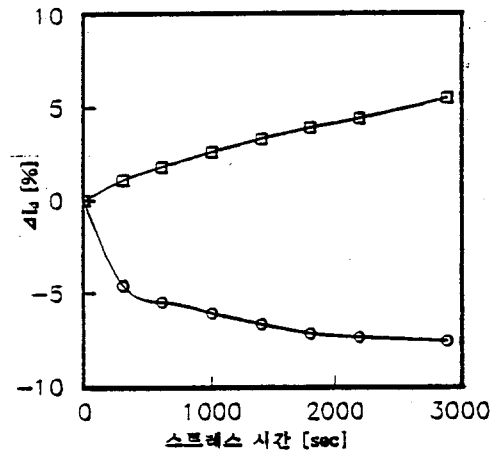


그림 5. 스트레스 시간에 따른 드레인 전류의 변화

$V_b = -2V, V_d = 0.1V, V_g = 0.75V(\square), 1.2V(\circ)$

Fig. 5. The variation of the drain current due to the stress time

$V_b = -2V, V_d = 0.1V, V_g = 0.75V(\square), 1.2V(\circ)$

분포에 따라 반전층 내의 캐리어의 이동도는 다음과 같이 감소된다[10].

$$\mu = \frac{\mu_0}{1 + \alpha N_{it}(y)}$$

여기서, μ_0 는 열화가 있기 전의 반전층 캐리어의 이동도, α 는 실험결과에 의한 fitting 파라미터이다.

그림 5는 스트레스를 가해준 시간에 따라 드레인 전류의 변화량을 나타낸 것이다. 이와같은 현상은 게이트 전압이 0.75V 에서는 series 저항의 감소로 드레인 전류가 증가되는 것으로 예측할 수 있으며, 게이트 전압이 1.2V 에서의 드레인 전류의 감소는 계면상태의 영향에 의한 반전층 캐리어 이동도의 감소에 의한 것으로 해석할 수 있다.

3. 결 론

본 연구에서는 nMOSFET에 기관전류가 최대 값을 갖는 스트레스 조건을 가한 후 소자의 전기적 특성 변화를 측정하였다. 측정 결과 드레인 전압에 무관하게 문턱 전압의 감소를 관측할 수 있었으며, 이는 소자의 손상 위치가 채널 영역이 아닌 드레인 영역에 있음을 알 수 있었다. 또한 게이트 전압에 따른 드레인 전류의 열화 정도를 측정할 결과 낮은 게이트 전압에서는 드레인 전류의 증가를 보였으며, 이는 series 저항의 감소로 인한 것으로 생각된다. 한편 높은 게이트 전압에서는 계면상태의 영향으로 반전층 캐리어의 이동도 감소로 인하여 드레인 전류가 감소하는 새로운 사실을 예상할 수 있다. 이는 LDD 구조를 사용하는 nMOS TR의 신뢰성 평가에서 Stress 후 소자의 Life Time에 대한 수정이 요구된다.

※ 본 연구는 1994년도 홍익대학교 산업 기술 연구소의 교내 연구비 지원에 의한 것임.

참 고 문 헌

[1] F. C. Hsu and S.Tam " Relationship between MOSFET degeneration and hot-electron-induced interface-state generation, " IEEE Electron Device Lett., vol. EDL-5, pp. 50-52, 1984.
 [2] E. Taaakeda, A. Shimizu, and T.

Hagiwara, "Role of hot-hole injection in hot-carrier effects and the small degenerated channel region in MOSFET's, "IEEE Electron Device Lett., vol. EDL-4, pp. 329-331, 1983.

[3] F. C. Hsu and H. R. Grinolds, "Structure-enhanced MOSFET degeneration due to hot-electron injection, "IEEE Electron Device Lett., vol. EDL-5, pp. 71-74, 1984.
 [4] R. Radojeic, "Some aspects of hot-electron aging in MOSFET's, "IEEE Trans. Electron Devices, vol. Ed-31, pp. 1381-1386, 1984.
 [5] T. Tsuchiya, T. Kobayashi, and S. Nakajima, "Hot carrier degradation mechanism in Si nMOSFET's, "in Abs. 17th Conf. solid State Device Mater. (Tokyo), 1985, pp. 21-24.
 [6] D. Schmitt and G. Dorda, " Interface states in MOSFET's due to hot electron injection determined by the charge pumping technique. "Electron. Lett., vol. 17, pp. 761-762, 1981.
 [7] C. Lombardi, P. Olivio, B. Ricco, E. Sangiorgi, and M. Vanzu, " Hot electrons in MOS transistors : Lateral distribution of the trapped oxide charge, "IEEE Electron Device Lett., vol. EDL-3., pp. 215-217, 1982.
 [8] H. Haddara and S. Cristoliveanu, "Two-dimensional modeling of lically damaged short-channel MOSFET's operating in the linear region, "IEEE Trans. Electron Devices, vol. ed-34, pp. 378-385, 1987.
 [9] G. Groesenaken, H. E. Maes, N. Beltran, and R. F. De Keersmaeker, "A reliable approach to charge pumping measurements in MOS transistors," IEEE Trans. Electron. Devices, vol. ED-31, pp. 42-53, 1984.
 [10] S. Sun and J.Plummer, "Electron mobility in inversion and accumulation layers on thermally oxidized silicon surfaces," IEEE Trans. Electron

- Devices, vol. ED-27, p. 1497, 1980.
- [11] Chenming Hu 외 2명, "A Model for Hot-Electron-Induced MOSFET Liner Current Degradation Based on Mobility Reduction Due to Interface State Generation", IEEE, TRANS.ELEC.DEV, VOL 138, NO 6, PP 1362-1370, 1991.
- [12] Y.NISSAN-COHEN 외 3명 "Measurement and Analysis of Hot-Carrier Stress Effect on N MOSFET's Using Substrate Current Characterization", IEEE, ELEC.DEV.Lett, VOL EDL 7, NO 7, PP 451-453, 1986.
- [13] PAUL HEREMANS 외 1명, "Hole Trapping During Low Gate Bias, High Drain Bias Hot-Carrier Injection in N-MOSFETs at 77K", IEEE, TRANS.ELEC, VOL 39, NO 4, PP 851-857, 1992.
- [14] KALZAD MISTRY 외 1명, "Hot Carrier Degradation in N-MOSFET's Used as Pass Transistors", IEEE, TRANELEC.DEV, VOL 37, NO 11, PP. 2415-2416, 1990.
- [15] FUMITOMO MATSUOKA 외 5명, "Analysis of Hot-Carrier-Induced Degradation Mode on P MOSFET", IEEE, TRANS.ELEC.DEV, VOL 137, NO 6, PP 1487-1495, 1990.
- [16] 홍 순석 "Submicro MOSFET의 2차원적 모델링에 관한 연구", 전기 전자 재료 학회지, 제6권 1호 1993.

저자소개



홍 순석

1945년 12월 21일생. 1971년 2월 인하공대 전자공학과 졸업. 1974년 2월 인하공대 전자공학과 대학원 석사졸업. 1993년 2월 홍익대학교 전자공학과 대학원 박사 졸업. 1995년 현재 홍익대 전자전

산공학과 부교수.