

## 휴대전화기용 GaAs FET 고주파전력증폭기

염 경 환 · 이 승 학  
(주)엘티아이

□ 차 례 □

요 약	Ⅲ. 결 론
I. 서 론	참고문헌
II. Power Amplifier의 설계 사례	

### 요 약

이동통신에 대한 수요가 급증하고 있는 이즈음 Battery의 효율적인 사용이 휴대 전화기에 있어서 중요한 문제점으로 부각되고 있다. 본 논문은 LTI에서 1991년 후반부터 개발을 시작 1992년에 개발완료한 아날로그 방식의 5.8V 휴대전화기용 고주파전력 증폭기에 관한 것으로 이 것의 일반적인 설계 방법과, 시험 및 생산 방법을 기술하고자 한다. 이와 같이 설계된 고주파 전력증폭기는 양산성이 있으며, 효율 60% typ. 출력 31.5 dBm 이상 그리고 2차 3차, 및 4차 고조파가 모두 30 dBc 미만이며 그외에 load mismatch, Noise, Spurious 특성이 휴대전화기에 적용하기 알맞게 안전하도록 설계되어 있다. 또한 장착의 효율성을 위해 크기를 최소화하여 1.4cc의 체적을 갖고 있다.

### II. 서 론

최근 Cellular phone, CT2, pager 등의 무선 단말기를 이용한 이동통신에 대한 수요는 급증하고 있는 추세이다. 이러한 단말기들은 대부분 상대방의 전달내용을 수신하기 위한 수신부와, 자신의 정보를 전달하기위한 송신부로 구성되고 있다. 이 중 송신부에는 상대방에게 수신감도이상

의 출력을 전달하기위한 전력증폭기가 반드시 필요하게되며, 이것의 부품적인 비중은 비단 단말기 내에서의 역할 뿐만아니라 가격적인 면이나, 사용시간을 고려할 때 상당한 비중을 차지하고 있다고 볼 수 있다.

이러한 전력증폭기가 이동통신용 단말기 내의 사용에 있어서는 기본출력 이외에 여러가지가 고려되어야한다. 즉 상대방의 상태에따라 출력을 조정할 수 있어야하며, 이동통신 이외의 사용주파수에 대한 방해를 주지 않기 위해 고조파 특성의 규제, 또한 자체 단말기에 수신감도를 낮추는 것을 방지하기 위한 잡음규제 등등 여러가지가 있게된다. 표1-1에는 5.8V Battery Supply 인 경우 아날로그 휴대전화기 내의 전형적인 전력증폭기의 사양을 보였다. 표에서 알 수 있듯이 출력, 효율등의 여러가지 규제사항이 있으며, 각각이 단말기내의 전력증폭기의 처해진 상황을 반영시키고 있다. Digital 변조방식의 경우는 이외에도 distortion을 고려 여러사항이 더 규제사항으로 추가되게 된다(표1-2 참조).

설계적인 측면에서 볼 때 Power amplifier의 설계는 기본적으로 비선형설계가 되어 선형설계인 저잡음증폭기설계와 달리 능동소자 characterization이 달라지게되며, 정합회로설계에 있어서도 손실등을 고려 설계될 필요가 있다. 저잡음 증폭기의 경우 측정된 소신호 S-parameter와

Noise parameter 등을 이용 최적의 성능을 주는 입,출력 impedance 등을 산술적으로 계산가능하며, 이 계산된 입출력 impedance를 가지고 능동소자에서 회로 쪽을 들여다본 입출력 impedance를 회로로 implementation한후 제작하는 일반적 순서를 가지게 된다.

반편 Power amplifier 설계에 있어서는 주어진 입력 level과 bias에서 원하는 출력 및 효율을 줄 수 있는 입출력 impedance를 알아내는 것이 필요하며, 이것은 대신호 수준에서의 측정 결과를 얻어야 가능하게된다. 이렇게해서 얻어진 입출력 impedance를 가지고 저잡음증폭기와 유사

한 방법으로 정합회로 및 합성회로(Power Combining Circuit)를 설계 제작하게된다. 일반적으로 Power amplifier의 설계는 위와 같은 사항을 골격으로하며, 그 이외에 용도에 따라서 필요 사양들이 예를 들어, 고조파특성, intermodulation, level control 등의 사양이 추가되게된다.

### 1-2. Power amplifier 설계절차

Power amplifier 설계에 있어서 제일 먼저 부딪히는 문제는 능동소자의 최적출력을 주는 입출력 impedance를 구하는 문제가 된다. 이것에 따라 크게 두가지흐름이 있으며 이것을 <그림 1-1>에 표시하였다.

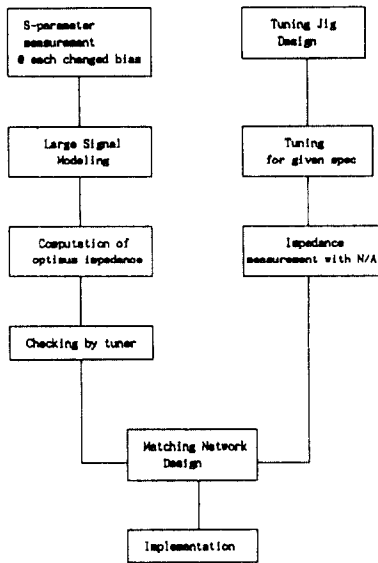
표1-1. 휴대전화기용 5.8V analog power amplifier 사양  
Size: 25×14×3.64mm

parameter	min	typ	max	unit	condition
frequency	824		849	MHz	
Output Power		32		dBm	Pin=7dBm Vdd1=Vdd2=5.8
Output Power	29.3	30		dBm	Pin=7dBm Vdd1=Vdd2=5.0
Output Power			6	dBm	Pin=7dBm Vdd1=0 Vdd2=5.8
Total efficiency		60		%	Pin=7dBm
Input VSWR		2:1	3:1		Pout=31.5dBm
Gate Current		2	5	mA	Vdd1<5.8
2, 3, 4th Harmonic		-40	-30	dBc	Vdd2=5.8
Stability	All spurious output more than 60 dBc below desired signal				Pin=7dBm Vdd1=7 Vdd2=8, Zs=50 Load VSWR 3:1 for all phase
Load mismatch	No module damage for 10 sec				Pin=7dBm, Pout=31.5dBm Vdd1<8, Vdd2=8 Zs=50 Load VSWR 20:1 for all phase
Noise power		100	-95	dBm	Pin 7dBm Vdd2=5.7 Zs=Z1=50 45Mhz above transmit freq. bandwidth =20kHz

표1-2. 디지털 휴대전화기용 전력증폭기 사양

Vcc=6V Vb=4V Pin=3 dBm  
Bandwidth=880-915 MHz(GSM)  
577uS puse width 12.5% duty Vc set for Pout=35dBm

Parameter and Test condition	Units	Min	Typ	Max
Output Power	dBm	34.5	35.5	
Efficiency	%	38	49	
Input VSWR			1.7:1	2.5:1
Stability(Spurious into 7:1 load all phase angle)	dBc			-60
2, 3rd suppression	dBc			-35
Noise Power(30kHz BW, 20MHz offset)	dBm		-90	-84
Power Control Range	dB	35		
Module standby Current	uA		20	100



〈그림 1-1〉 Power amplifier 설계절차

첫번째 Modeling에 의한 접근방법은 MMIC (Monolithic Microwave Integrated Circuit) 방식에 의한 회로구현시 적합하며, Hybrid 구성에 있어서도 주어진 능동소자를 package 없이 사용시 좋은 방법이 될 수 있다. 이 방법은 우선 Bipolar Transistor나 GaAs FET같은 능동소자를 저잡음증폭기 측정시와 유사하게 소신호 S-parameter를 bias를 바꿔가면서 측정하고, 이와같이 측정된 S-parameter로부터 Bipolar Transistor의 경우 잘 알려진 Gummel-Poon Model이나, GaAs FET의 경우 Curtice cubic model의 parameter들을 최적화하여 구한후, S/W Tool을 이용 조건에 맞는 입,출력 impedance를 구하는 것이다. 장점으로서 Process의 차이로 얻어지는 능동소자의 특성을 평가하기가 용이하며, 또한 bias가 변동될 경우에도, Model은 변치 않으므로 S/W tool을 이용 최적 입출력 impedance를 재 계산하면 되기 때문에 Model이 잘 되어 있을 경우 반복적으로 상황이 변화되었을 때도 사용될수 있다는 점이다.

반면 단점으로는 정확한 Model을 얻는 것이 용이하지 않으며, 시험 data가 부정확 할 경우 Model은 이것을 이용하여 얻어졌기 때문에 어느 정도 부정확성을 내포하게 되고, 이것이 Power amplifier 설계에 이용되었을 때의 error를

예측할 방법이 없게된다.

두번째 방법은 간이로 정합회로를 조정 가능하게 만들어 능동소자와 함께 증폭기를 만들고 주어진 RF 입력과 주어진 Bias하에서 조정하여 원하는 전력증폭기를 제작하는 것이다. 이때 출력, 효율, 고조파특성 및 intermodulation 등등의 사양이 규격안에 있음을 확인한뒤 크기나, 기타 양산의 문제가 없을시는 이것을 그대로 이용하게 되고, 소형 양산성을 고려 제작시에는 이 증폭기의 정합부를 분해하여 Network Analyzer로 입출력 impedance를 계측한 뒤, 이것을 이용 증폭기를 설계하는 방식이다. 또는 상업적으로 이용가능한 Tuner와 관련 측정 S/W를 이용하여 능동소자의 최적입출력 impedance를 구한 뒤 이것을 이용 전력증폭기를 설계 제작할 수도 있다.

장점으로는 간단히 시험에 의하여 예측하기 힘든 증폭기의 특성을 알수 있으며, Model이라는 번거로운 작업을 거치지않고 전력증폭기를 설계할 수 있다는 점이다. 반면 증폭기의 동작점이나, 입력의 변화시 이 변화된 상황에서 최적 입출력 impedance를 얻고자 할 경우 앞선 방법으로 재 시험하여야 되며, 기타 능동소자나 정합회로의 소자의 tolerance에서 발생하는 전력증폭기의 영향을 예측하기가 어렵다는 점이다.

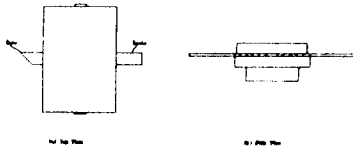
앞서서 살펴본 바와 같이 두가지 전력증폭기 설계 절차중에서 본 고에서는 두번째 방법을 이용 표 1-1에 주어진 아나로그 전력증폭기를 설계하는 방법을 사례로 본문에서 체계적으로 설명하고자 한다.

## II. Power Amplifier의 설계 사례

### 2-1. 능동소자의 선정

과거 Power amplifier로 자주 사용되는 능동소자로서는 Silicon Bipolar transistor 및 Silicon MOSFET 등이었고 이들은 1GHz 대역에서 효율이 약 40에서 50%에 이르고 있다. 또한 출력도 수 watt에서 수백 watt에 이르는 다양한 것들이 생산되고 있다. 최근 혼성 반도체인 GaAs MESFET을 사용 이것에 비해 효율이 약 60%에 이르는 소자들이 나와서 현재까지는 현대전화기 단말기의 전력증폭기의 핵심소자로서 자리잡고 있다. 여기에서는 GaAs MESFET을 이용한 전력증폭기 설계사례를 보이려고 한다.

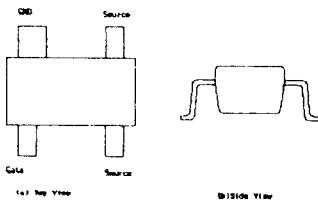
설계코저하는 전력증폭기는 표1-1에서와 같이 5.8Volt DC 공급전압을 갖고 RF입력이 7 dBm일때 출력이 31.5dBm 이상인 전력증폭기를 설계코저 하기 때문에, 우선 출력단으로서 31.5dBm 이상의 출력을 낼 수 있는 전력 전력 MESFET을 선정하는 것이 필요하게 된다. 이와 같이 선정된 FET를 <그림 2-1>에 보였다.



Output Power @5.8V	31.5 dBm 이상
DC Current	< 400mA
Driving Power	20 dBm
Pinch off vtg	-2.5 to -4

<그림 2-1> 종단 능동소자의 특성 및 외관

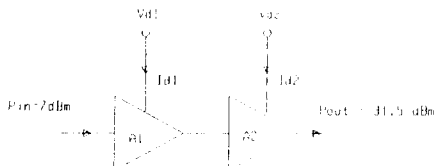
이때 RF 입력 7dBm은 이 능동소자가 제 출력을 낼 수 있을만큼 충분치 못하므로 driver 용 능동소자가 필요하게 된다. 이 것은 종단의 입력 level을 감안 <그림 2-2>과 같은것을 선정하였다.



Output Power @5.8V	20 dBm 이상
DC Current	< 80mA
Driving Power	7 dBm
Pinch off vtg	-2.5 to -1

<그림 2-2> driver단 능동소자의 특성 및 외관

이와같이 선정된 2개의 능동소자는 적당한 정합회로를 구성시 <그림 2-3>와 같이 2단으로서 우선 표1-1에서와 같은 출력수준을 만족시키는 전력증폭기를 구성할 수 있게 된다.

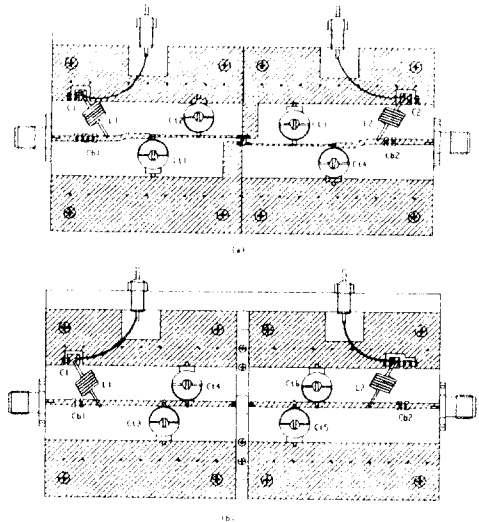


A1	A2
Pout > 20 dBm @ 850MHz	Pout > 31.5 dBm @ 850MHz
Gain > 13 dB	Gain > 11.5dB
Id1 < 80mA	Id2 < 400mA

<그림 2-3> 전력증폭기 Block diagram

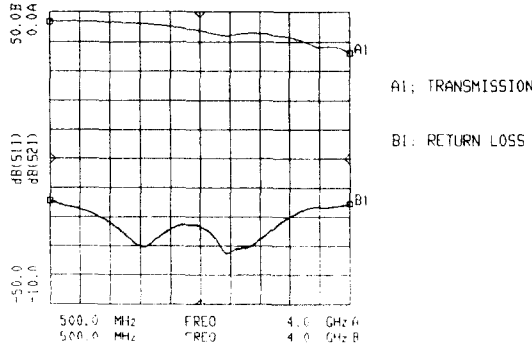
## 2-2. Tuning Jig의 설계

<그림 2-4>에 2-1에서 선정된 능동소자에 대해서 임출력 impedance를 얻기위한 Jig를 보였다.



을 때는 보통 2개의 Capacitor를 별려로하여 구성하기도하나 본 고에서는 Capacitor의 기생 inductance가 작은 관계로 Capacitor 1개로 원하는 성능을 만족시킬 수 있었다.

이들이 선정된후 투과특성이나 반사손실에 어느정도 영향을 미치는지를 확인할 필요가 있다. 이것은 간단히 50ohm 전송선에 부착한뒤 사용주파수 대역 근처에서 이들이 없을 때와 있을 때를 비교함으로써 얻을 수 있다. <그림 2-5>에 이들이 부착되었을 때의 S21 및 S11 특성을 보였다. 그림에서 알 수 있듯이 사용주파수 대역에서 전혀 영향이 없음을 알 수 있다.



<그림 2-5> 50 ohm 선로상에서 Baise 용 부품들의 영향

최종적으로 Ct1 및 Ct2, 출력측의 Ct3 및 Ct4는 주어진 능동소자를 50 ohm에 정합시키기 위한 tuning capacitor들로서 이들의 위치 선정이나, 값은 아래와 같은 경험식을 바탕으로 하여 결정할 수 있게된다.

$$\Gamma_e = S_{11} \tag{1}$$

$$Z_{out} = R_{opt} \parallel \left( \frac{1}{j\omega C_{ds}} \right) \tag{2}$$

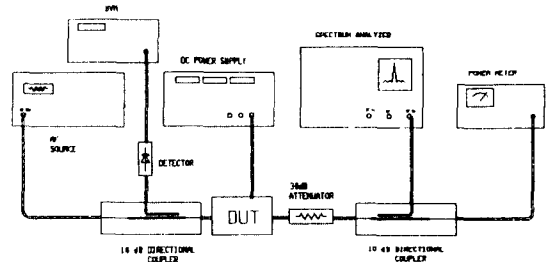
여기서

$$R_{opt} = \frac{(V_{ds} - V_F)^2}{2P_o} \tag{3}$$

식 (1), (2), (3)에서 입력의 경우 S11은 측정된 S-parameter로부터 알 수 있고 출력의 경우 Ropt가 10 ohm 정도인데 비하여 Cds는 작은 값이므로 출력측은 거의 실수부라고 볼 수 있다.

### 2-3. 조정 및 impedance계측

<그림 2-6>에 이 tuning jig를 놓고 시험하는 setup을 보였다. <그림 2-6>에서 입력 측의 RF Source를 원하는 RF 입력 level에 두고 사용주파수의 중앙에 주파수를 setting한다. 다음 이것은 입력의 반사계수 측정을 위한 방향성 결합기로 인가된다. 이 방향성 결합기의 출력은 DUT의 입력 VSWR의 지표가 되므로 이것을 detection 하여 DVM에 인가 방사정도를 측정할수 있다.



<그림 2-6> 시험 구성도

출력측에는 spectrum analyzer와 power meter가 attenuator를 통해 연결되었다. 여기서 attenuator는 출력을 감안하여 용량이 충분히 큰것을 사용한다. Power meter는 출력의 크기를 재는데 사용되며, spectrum analyzer는 출력에 spurious나 발전여부를 조사하는데 이용된다.

조정시 DUT의 입력부의 경우 VSWR이 가능한 낮아지도록하며, 출력부의 정합회로를 조정하여 가능한 최대의 출력을 뽑아내도록 한다. 처음에는 driver stage를 놓고 조정한뒤 driver stage에서 종단을 drive할 수 있는 충분한 전력이 나오는 것을 확인하면 종단을 붙이고 재조정 하도록 한다.

이와같이하여 원하는 출력과 효율이 나왔을 경우 표 1-1에 있는 전반적인 사양을 만족하는지 조사한뒤 사양을 만족치 않는것이 있다면 이를 고려 재조정하도록 한다.

그러면 이때 각단의 DUT를 분해 각단의 정합회로의 impedance를 Network analyzer로 읽으면 원하는 능동소자의 입출력 impedance를 알 수 있고 이것을 통해 전력증폭기를 설계할 수 있게된다. 이때 출력 impedance는 능동소자의 출력측에 출력측을 termination한 뒤 측정하면 되

고 입력 impedance는 능동소자 입력측에서 source를 들여다 본 impedance를 측정하면된다. 또한 interstage의 경우 two port S-parameter를 측정한뒤 최대 전력전달점을 계산 도출할 수 있게 된다. 표2-1에는 이 결과를 요약하여 나타내었다.

〈표 2-1〉 전력증폭기의 입출력 impedance

1단 입력 impedance	1단 출력 impedance	종단 입력 impedance	종단 출력 impedance
8.93+j64.0	17.0+j16.0	3.7+j13.8	11.49+j0.83

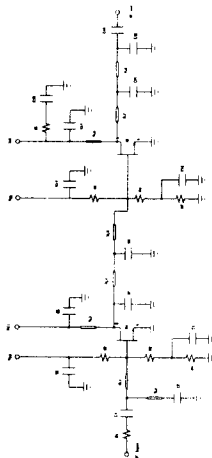
frequency=835MHz

### 2-4. Power amplifier 설계

#### (1) Bias Circuit

〈그림 2-7〉에 양산성을 고려하고 소형으로 제작하기 위한 회로도를 보였다. 여기서 C3, C5 및 C9는 2-2서와 같이 전원변동을 막고 RF가 진원 쪽으로 유출되는 것을 방지하기 위한 capacitor 들이고, C1 및 C15는 DC가 입출력으로 흘러나가는 것을 방지하기 위한 DC block용 capacitor들로서, 선정요령은 2-2서와 같이했다.

저항 R2, R3 및 R4는 첫단의 능동소자를 pinch off 상태로 bias하기 위한 것이고 저항 R5, R6 및 R7은 종단 능동소자를 pinch off 되도록 bias 시키기 위한 bias 용 저항들이다. 이들 저항의 일부의 저항 값 들은 사용주파수 대역에서 나타나게되며 그 값들은 C4와 C12가 사용주파수 대역에서 단락으로 설정되어 있기 때문에 각각 다음과 같다.



〈그림 2-7〉 전력증폭기의 회로도

$$R_{in} = R_2 \parallel R_3 \quad (4)$$

$$R_{out} = R_5 \parallel R_6 \quad (5)$$

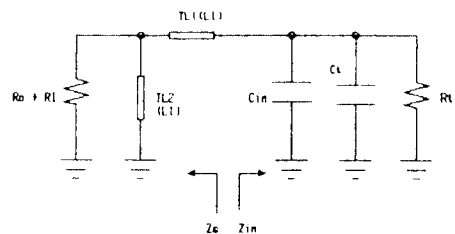
이때 R2 및 R5는 매우 큰 값으로 설정된다면 능동소자 Q1 및 Q2의 입력에는 약 R3 및 R6가 각각 보이게 된다. 이들은 Q1과 Q2를 안정시키기 위해서 삽입된 것들이다. 저항 R1은 10 ohm의 값을 가지며 전체 증폭기를 안정화시키는 역할을 하며, 능동소자 Q2의 전원부위의 R8, C10, 및 C11의 역할은 Q2를 안정화 시키기 위한 것이다. 이것의 역할은 주파수가 사용주파수에서 약간 낮아지면 C10이 단락이라고 보기에 큰 impedance 값을 갖게되며 이때 R8과 병렬로 저항 성분이 Q2의 출력에 보이게 된다. 이 저항 값으로 인해 Q2의 출력은 안정화 되게된다.

전송선 TL3 및 TL6는 RF choke들로서 전원부위 Vd1과 Vd2와 RF 정합부위와 격리시키는 역할을 한다. 이들 값의 설정은 정합시 choke에서 능동소자와 정합회로를 들여다본 impedance가 최적 impedance의 절반이 되므로 이 값의 10배 정도가 되도록 설정하여 그 영향을 줄일 수 있게 된다.

#### (2) 정합회로

##### (2-1) 입력부

입력 부위의 신호 주파수 대역에서 영향이 적은 부위를 제거하고 다시 그리면 〈그림 2-8〉과 같다. 여기서 capacitor Ct 및 Rt는 Transistor Q1의 입력 부위를 사용주파수 대역에서 등가적으로 나타낸 것이다.



〈그림 2-8〉 입력 정합회로

또한 이것을 정합시키기 위해서 전송선 TL1과 TL2가 삽입되었음을 알 수 있다. 이들 전송선들은 사용주파수 대역에서 길이가 매우 짧기 때문에 inductor로 고려하여도 정확성이 떨어지지 않게 된다. 이때 inductance의 값은 다음과 같게된다.

$$L = \frac{1}{\phi} Z_0 \theta \quad (6)$$

따라서 이것의 사용주파수에서 reactance를 각각  $X_1$ ,  $X_2$ 라 하고 여기서 transistor 쪽에서 source 쪽을 들여다본 impedance를  $Z_s$ 라고 할 때  $Z_s$ 는 근사적으로

$$R_s = \left[ \frac{X_1 + X_2}{X_1} \right]^2 R_0 \quad (7)$$

$$X_s = X_1 + X_2 \quad (8)$$

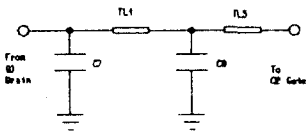
$R_s$ 와  $X_s$ 를 위와 같이 정의할 때 다음과 같다.

$$Z_s = R_s \parallel j X_s \quad (9)$$

포함)이  $(X_2 + X_1) / X_1$ 의 변압기를 통과한 것 같이되고 병렬로 reactance  $X_1 + X_2$ 가 달려 있는 것으로 보인다.

즉  $X_1$ 과  $X_2$ 에 의해서 저항값이 원하는 정도로 키워질 수 있게되고 이때 발생하는 잔여 reactance  $X_1 + X_2$ 는 capacitor  $C_t$ 와 추가 capacitor  $C_{in}$ 에 의해 상쇄 됨을 알 수 있다. 즉 입력부위의 정합은 narrow band 공진회로로 구성됨을 알 수 있다.

(2-2) interstage 부



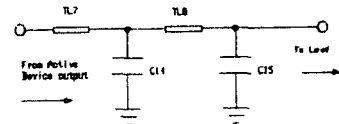
<그림 2-9> interstage 회로

Interstage부는 <그림 2-9>와 같은 두개의 L-section의 cascade로 구성되어 있다. 이와같은 구성에서 단일 L-section으로 구성할 때보다 coupling으로 인해 layout 오차에서 발생하는 선로 길이의 차이를 capacitor 조정으로 극복할 수 있게 하였다. 단일 L-section으로 구성할 경우 정확한 길이를 작도하지 못할 경우 정합손실이 큰 관계로 이면을 고려한 것이다. 여기서 입력부 설계시와 마찬가지로 전송선들은 길이가 짧기 때문에 inductor로서 고려할 수 있다. 종단 입력쪽의 전송선은 표3에서 보는 바와 같이 입력 impedance의 저항성분이 작기 때문에 이것을 손실을 줄이고 정합시키기 위해서 삽입된 것으로 종

단입력 impedance의 허수부를 가능한 tune out 시키는 역할을 하며, 이렇게 해서 낮아진 입력부의 impedance를 중간 inductor를 통해 1단의 출력 impedance만큼 올리게 되며 종단부의 capacitor는 종단 입력부의 impedance 크기를 미소하게 내려줄 수 있는 기능을 하게된다. 따라서 중간 inductor를 통해 변압되는 실수부의 크기를 미소하게나마 약간 조정하는 기능을 갖게된다. 마지막으로 1단 출력측의 capacitor는 중간 inductor가 변압시키는 과정에서 발생하는 허수부를 상쇄시키는 기능을 하게된다. 이들 중에서 정손선들은 전송선에서 발생하는 손실을 최소화하기 위해서 가능한 폭을 넓게하여 layout에서 보인 바와 같이 implementation 되어 있다.

(2-3) 출력부

Q2 출력부에서 부하 쪽을 들여다본 사용주파수 대역에서의 회로 구성은 <그림 2-10>과 같게 된다. 즉 이것은 사용주파수에서 영향이 적은 bias 회로 DC block 등을 제거한 나머지 부분이기도 하다.

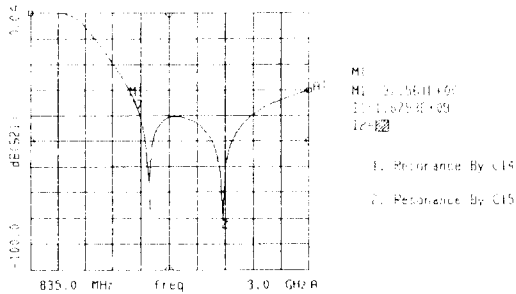


<그림 2-10> 출력부 정합회로

<그림 2-10>에서 전송선 TL7 및 TL9을 짧게 선정할 경우 이것은 앞서와 마찬가지로 inductor로서 대치할 수 있고 대치 요령은 입력부 설계시와 같다. (6)식에서 reactance는 전송선의 전기각과 특성 impedance의 곱이 되므로, 같은 reactance를 얻기 위해서 특성 impedance를 낮게 선정할 경우 전기각이 커지게되고 따라서 전송선의 physical length는 길어지게 되는데 반면 서로의 폭이 클 경우 선로 손실이 작아지게 되므로 가능한 출력측에서는 손실을 고려하여 특성 impedance를 낮게 설정했다. 이것은 출력측의 전력 손실을 가능한 최소화하기 위한 것이다.

또한 출력 정합부의 회로를 구조상으로 볼 때 저역여파기 형상을 가짐을 알 수 있다. 이것은

력 정합부가 정합뿐만 아니라 표1-1에서와 같은 고조파(harmonics)규제를 만족시키기 위해서 이러한 구조로 선정된 것이다. 따라서 이것을 주파수 영역에서 주파수응답특성을 볼 경우 <그림 2-11>과 같이된다.



<그림 2-11> 종단 정합회로도 주파수 응답특성

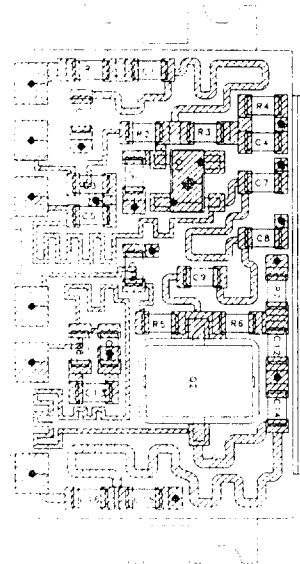
<그림 2-11>에서 주파수 응답에서 투과특성에 골을 보이는 것은 보통 실제적인 capacitor가 직렬 공진회로서 구성되게 되는데 각각 C14와 C16의 직렬공진점을 나타내고 있다. 출력 정합부를 직접 network analyzer에 넣고 주파수응답특성을 볼 경우 이것보다 더 많은 골을 보이며, 이것은 bias회로에서 기인하는 것을 알 수 있다. 결론적으로 이와같은 저역여파 특성과 capacitor가 골을 형성하기 때문에 이와같은 구조의 출력 정합부는 고조파를 잘 filtering 시키게 된다.

정합에서는 <그림 2-10>과 같은 회로는 무수히 많은 조합이 있게 되는데 본 방법에서는 손실이 최소화되면서 정합시킬 수 있도록 C14 쪽에서 부하측을 들여다본 impedance가 능동소자 최적 출력 impedance와 50 ohm의 기하 평균이 되도록 설정했다. 따라서 각각 두개의 L-section은 단일 값으로 결정되며 출력측과 정합되게 된다.

2-5. Pattern Layout

2-4와 같이 설계된 회로 값들은 실제로 부품 장착 및 크기 등을 고려하여 layout 되어야하며, 이것을 <그림 2-12>에 보였다. 입력 정합부위의 회로는 실제로 손실에 둔감하기 때문에 비교적 가늘은 선로로 구현되었으며, interstage, 출력부로 갈수록 선로의 손실을 고려하여 비교적 굵은 선로로 구현하였다.

<그림 2-12>와 같이 하여 pattern을 설계시에선 선로끼리의 coupling 현상으로 말미암아 정확한 길이를 회로적으로 결정할 방법은 현재로서는 불가능하기 때문에 EM simulation을 하여 시행착오적인 방법으로 설계하였다. 즉 입력 부위의 pattern을 EM simulator tool에 입력하고 입력측에서 들여다본 impedance가 원하는 impedance를 얻을때까지 physical length를 조정 반복하는 것이다. 마찬가지로 interstage와 출력부도 같은 방법으로 결정하게된다. 즉 앞서서 얻은 회로 길이를 가지고 길이를 늘리고 줄임으로써 원하는 결과는 얻게된다. <그림 2-12>에는 이와같이 해서 얻어진 최종 layout을 보인 것이다.



<그림 2-12> 전력증폭기의 Layout

2-6. 시험 결과

<그림 2-13>에는 이와 같이 설계되어 제작된 전력증폭기의 특성을 보였다. 이것을 시험하는 방법은 Tuning Jig를 가지고 할 때와 동일하며, 반복적인 data와 정밀측정을 위해 HPIB bus를 이용 자동으로 계측된 결과이다. 그림 2-13(a)에는 첫단의 drain 공급전압을 제어 전압에 따라 26 dB 이상 제어되며, 효율은 정상출력시 60% 이상임을 알 수 있다. <그림 2-13(b)>는 사용주파수 대역에서 사용 주파수를 sweep 시켰을 때의 응답이며, 주파수에 관계없이 출력이 32dBm 이상 나옴을 알 수 있다. <그림 2-13(c)>에는 공급

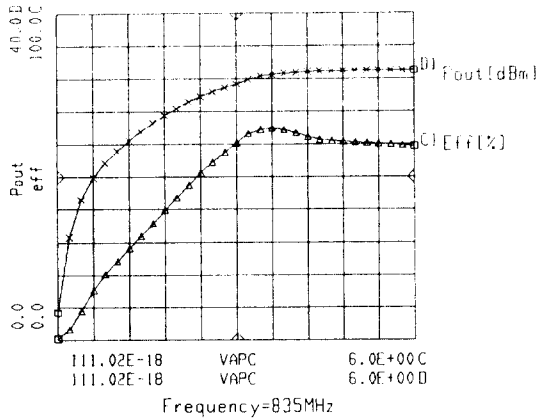


전압 변동에 따른 특성을 보여주고 있다. 이 그림에서 공급전압이 변동 될 시에도 5V까지는 30 dBm 이상을 유지하여 DC 공급전압이 변동될 때에도 급격한 출력의 변화가 발생하지 않음을 볼 수 있다.

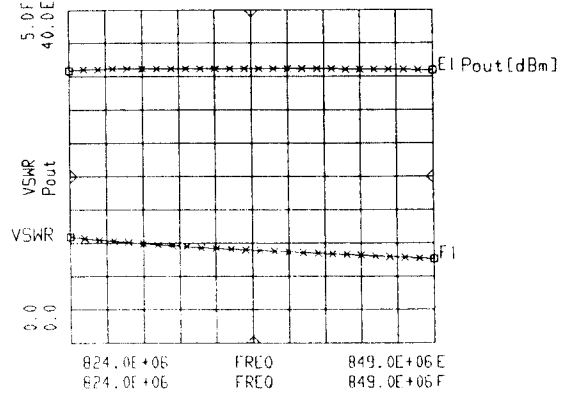
〈그림 2-13(d)〉에는 입력전력의 변동에 따른 출력 및 효율을 보이고 있다. 그림에서 알 수 있듯이 기존 Silicon Bipolar transistor로 구성된 전력증폭기에 비해 입력 대 출력의 특성이 직선적이며 입력이 증가하면 출력이 약 32 dBm 근처에서 포화됨을 볼 수 있다. 〈그림 2-13(e)〉에는 능동소자 Q1과 Q2의 gate bias 선정에 도움을 주는 data로서, gate bias 변화에 따른 출력의 변화

를 보여주고 있다. gate bias를 점점 줄여서 능동소자를 A급으로 천이 시킬 경우 출력은 0.5 dBm 정도 증가하게되며, 효율은 나빠짐을 알 수 있다. 이것을 좀 더 규명하기 위하여 무출력시(RF 입력을 0으로 하였을 때)와 출력시의 이 전력증폭기의 전체 소모전류를 〈그림 2-13(f)〉에 나타내었다.

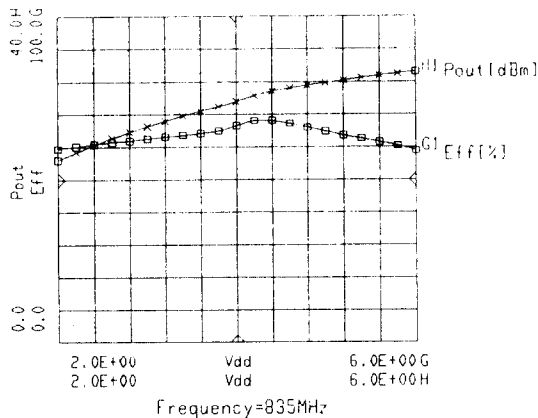
〈그림 2-13(f)〉에서 알 수 있듯이 Gate bias를 줄일 경우 무출력시에도 상당한 전류가 흐르게 되어, gate bias를 줄일 경우 무출력시에 전력소모가 많음을 알 수 있다. 이 그림에서 적정점은 전력증폭기가 pinch off에서 약간 벗어나는 점으로 선정하는 것이 바람직 함을 알 수 있다.



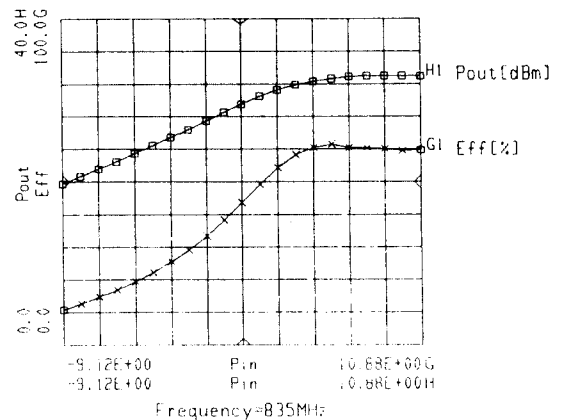
〈그림 2-13(a)〉 Control 전압에 따른 출력과 효율변화



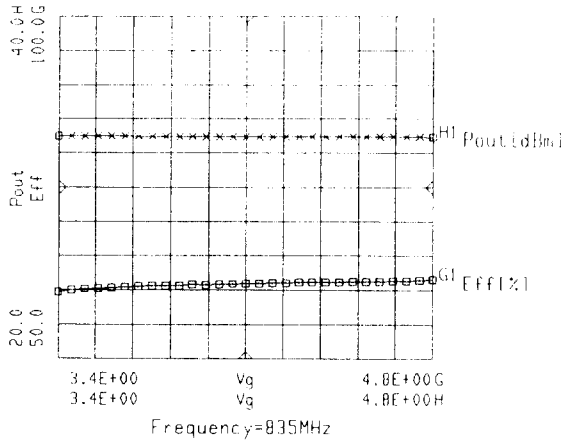
〈그림 2-13(b)〉 출력과 VSWR의 주파수 응답특성



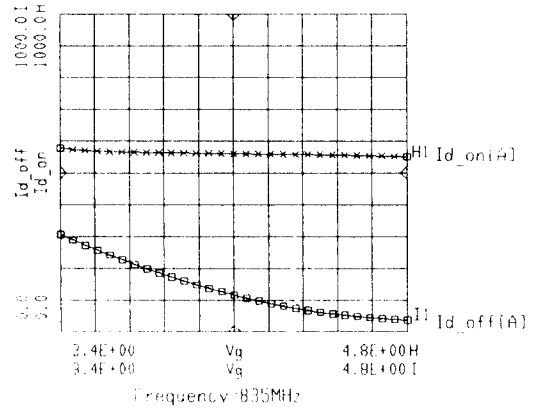
〈그림 2-13(c)〉 Drain 전압변동에 따른 출력과 효율 변화



〈그림 2-13(d)〉 출력과 효율의 입력에 따른 변화



<그림 2-13(e)> Gate 전압 변동에 따른 출력과 효율변화



<그림 2-13(f)> RF 무입력사와 입력시 Drain Current 변화

### III. 결 론

본 고에서는 이동통신에서의 전력증폭기의 갖추어야할 규제사항을 살펴보았으며, 이것을 시험적인 방법을 통하여 설계제작하는 절차를 보였다. 즉 시험을 통한 입출력 impedance의 도출방법과, 이 얻어진 입출력 impedance를 가지고 회로 설계하는 기법을 일례로서 보였다. 또한 최종적인 layout을 얻기 위하여 EM simulation 방법을 사용하였으며 그 시험결과를 보였다. 설계된 전력증폭기는 소형으로서 효율이 typ. 60% 정도이며, 출력은 31.5dBm 이상, 그리고 26dB ALC 기능을 가짐을 보였다. 뿐만아니라 고조파 억제 특성도 우수하여 제 2, 3, 및 4 고조파 모두 30dBc 이하로 얻을 수 있었다.

### 참고문헌

- (1) R. Soares et al., "Application of GaAs MESEFT's", Artech House Inc., 1983
- (2) Motorola RF Device Data, Vol. 2, 1988
- (3) 이승학, "휴대전화기용 1.5W Power Amplifier", pp 73-79. '93 MMIC Workshop
- (4) LTI Amplifier Module catalog, 1993



염 경 환

- 1980년 : 서울대 전자공학과 졸
- 1982년~1988년 : 한국과학기술원 전기 및 전자공학과 PhD
- 1985년~1991년 : 삼성정밀 연구소 책임연구원
- 1991~ : (주) 엘티아이 재직



이 승 학

- 
- 1959년 : 서울대 물리학과 졸
  - 1968년 : 미 Pennsylvania State Univ. PhD
  - Southampton 대에서 ZnSe /Si Heterojunction 연구
  - Illinois 대학에서 DLTS 연구
  - 미 해군연구소(NRL)에서 Device grade GaAs성장 및 Ion Implanted LNFET 연구개발
  - 국제상사 부사장
  - 현 (주) 엘 티 아이 사장
  - IEEE Senior Member. 한국통신학회 정회원. 대한전자공학회 정회원, 일본 전자정보통신학회 정회원, 일본 응용물리학회 정회원