

고성능 마이크로 프로세서들의 기술 동향

李文基

延世大學校 電子工學科

I. 서 론

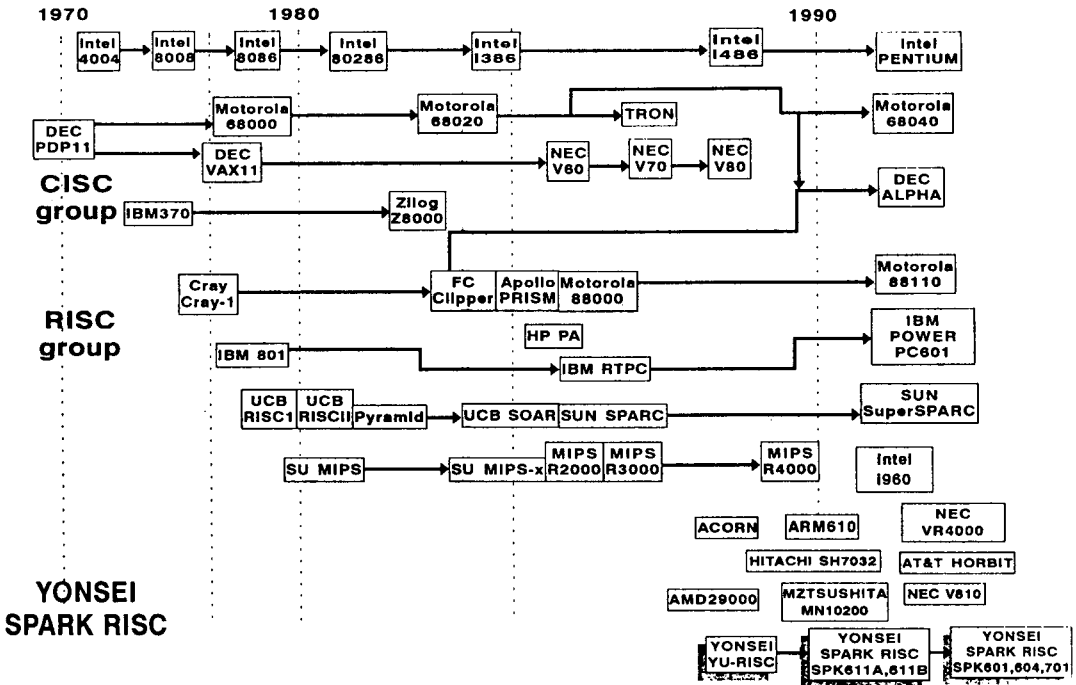
경쟁이 치열한 첨단산업, 그 중에서도 최첨단이라고 할 수 있는 마이크로프로세서 기술 향상을 위한 국내외의 각 기업의 노력은 끊임없이 계속되고 있다. 오늘날 CAD, 멀티미디어, 3차원 그래픽, 대용량 데이터 베이스, 통신, 화상처리 등 고성능을 요구하는 분야에서 현재의 32비트 주소용량이 한계에 이르게 됨에 따라 기존의 프로세싱 능력보다 몇 배나 더 강력한 능력을 지닌 고성능의 마이크로프로세서들이 요구되었다. 지난 몇 년 동안에 이런 요구들을 만족시켜 줄 수 있고, 새로운 기술이 요구되는 과제를 수행할 수 있는 다수의 마이크로프로세서들이 개발되어 왔고 기존의 x86이나 CISC 형의 마이크로프로세서와는 현저하게 다른 구조들을 채용하게 되었다. 기존의 x86 마이크로프로세서 구조는 클럭속도의 증가만으로 성능을 높이기에는 실행상 제약이 너무 많다. 그러므로, 명령어의 실행을 개선하고 프로세싱 장치가, 빠른 클럭속도의 장점을 누릴 수 있도록 하기 위해서는 마이크로프로세서의 기본 구조를 바꾸어야 하는데, 이를 가능하게 한 대표적인 구조로서 슈퍼스칼라와 슈퍼파이프라인 방식을 들 수 있다. 오늘날의 고성능 마이크로프로세서들은 모두 명령어와 데이터의 예비호출(Prefetch), 명령어의 디코드(Decode), 명령어의 실행(Execution), 그리고 데이터의 덧쓰기(WB) 등과 같은 단계들을 중첩시키는 파이프라인식 구조를 사용하였고, 최소한 64비트의 외부 데이터버스, 어드레스버스, 부동소수점 연산장치(FPU), 하나 이상의 ALU, 데이터 캐쉬, 명령어 캐쉬, 메모리 관리 장치(MMU) 및 가상주소를 물리주소로 변환시키는 주소변환 검토퍼퍼(TLB) 등을 채택하고 있다. 본고에서는 독특한 아키텍처를 채용하여 보다 더 강력해진 고성능 마이크로프로세서들을 중심으로 주요구조와 국내외 기술 동향 및 향후 전망 등을 다루기로 한다.

II. 국내 마이크로프로세서의 기술 동향

국내 기업들의 MPU 사업전개가 활발히 이루어지고 있는데 독특한 아키텍처로 경쟁력을 가진 마이크로프로세서는 아직 기술력 미비로 없는 상태이다. 삼성의 MPU 사업은 약 12년의 역사를 가지고 있는데 4, 8, 16, 32비트 등이 CPU확보와 함께 제품전개를 하고 있는데 4, 8비트 경우 40여가지의 마이크로 컨트롤러를 개발하여 상품화하여 생산하고 있다. 이에 EEPROM을 내장한 MTP 제품이 활발히 전개되어 약 10여종의 제품이 상품화되어 생산되고 있다. 한편, 서울대와 공동으로 개발한 16비트와, 영국의 ARM사로부터 기술 도입한 32비트 경우는 CPU를 확보하여 이에 주변 회로를 붙여 제품전개를 하려는 단계에 있다. 앞으로 삼성의 MPU 사업은 High-End 분야에서 100MHz 120SPEC mark의 성능을 갖는 32/64비트 마이크로프로세서와 Deep-Low-End분야의 초

저전력 소모형 32비트 마이크로프로세서 개발할 예정이다. 금성, 현대 등의 MPU 사업은 최근에 시작하였고 4, 8비트 CPU를 확보하여 이에 주변 회로를 붙여 제품전개를 하려는 단계에 있다.

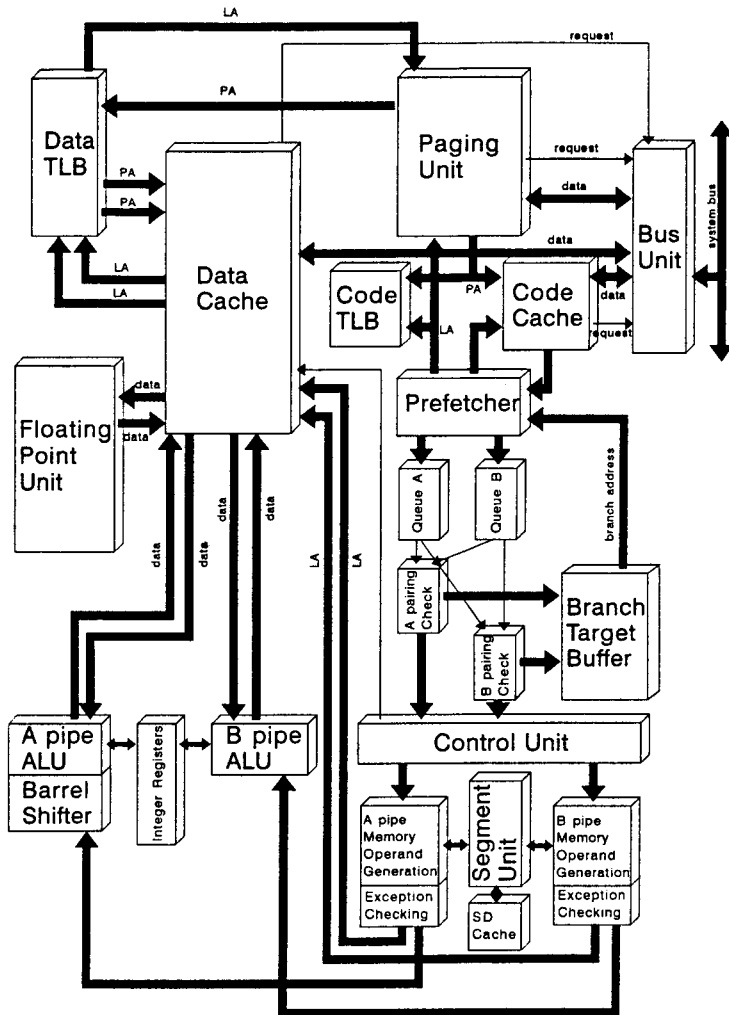
연세대의 아식설계공동연구소는 1989년에 RISC 아키텍처 연구에 착수하여 93년3월에 보드레벨에 의한 검증을 완료함으로써 32비트 RISC타입의 SPK611B 마이크로프로세서를^{[1][19]} 국내 최초로 개발하였다. SPK611B는 32비트 마이크로 프로세서로 연구용 RISC칩의 수준을 탈피하여 국내에서는 처음으로 독자적인 자체 기술로 직접 상품화가 가능하게 하였고, 기존의 SPARC RISC와 호환성을 유지하였다. 그림 1은 CISC, RISC, 연세 SPARK RISC 계열의 개발추이를 나타낸 것인데 고성능 마이크로 프로세서를 개발하기 위하여 기존의 CISC방식에서 탈피하여 1970년대 후반부터 1980년대 중반까지 RISC방식이 도입되었으며, 1980년 후반부터 클럭사이클당 다수개의 명령어를 수행하는 파이프라인개념을 도입하였다. SPK611B의



(그림 1) CISC, RISC group과 연세 SPARK RISC 개발추이

특징은 20Mbps의 성능, 4단계 파이프라인, FPU 인터페이스 가능, 확장된 윈도우 레지스터파일, 빠른 콘텍스트 스위칭(Fast context switching), 데이터 스테이션어리 하드와이어 콘트롤(Data Stationary Hardwire Control), 하드웨어 파이프라인 인터락킹(Interlocking) 등으로 구성되어 있다. SPK611B는 성능 면에서 High-end user를 위한 고성능 마이크로 프로세서라기보다는 Low-end user와 레이저 프린터나 영상 인식 시스템 등에 사용될 수 있는 제어용 시스템에 적합한 마이크로 프로세서이다. 현재 MMU와 캐시를 내장하는 위

크스태이션용 원칩(One-Chip)마이크로프로세서인 SPK701이 설계중이며 특징으로는 SPK611B의 기본구조를 발판으로 하여 MMU, 통합된 캐시, S-BUS 콘트롤러, 마이크로 TLB, 태그 램(Tag RAM), 라이트 버퍼 등의 기능을 포함하고, 휴대용 워크스태이션에 응용을 목표로 하고 있다. 공정 기술은 0.6마이크로 CMOS 트리플(Triple)메탈 공정을 이용하여 약 35만개의 트랜지스터로 집적화하고 칩면적은 약 7평방 밀리미터이다. 그림 2의 YS6는^[2] 기존의 80X86계열 아키텍처와 호환성을 가지면서 슈퍼 스칼라기법을 비롯한 RISC의



(그림 2) YS6 마이크로 프로세서의 내부구조

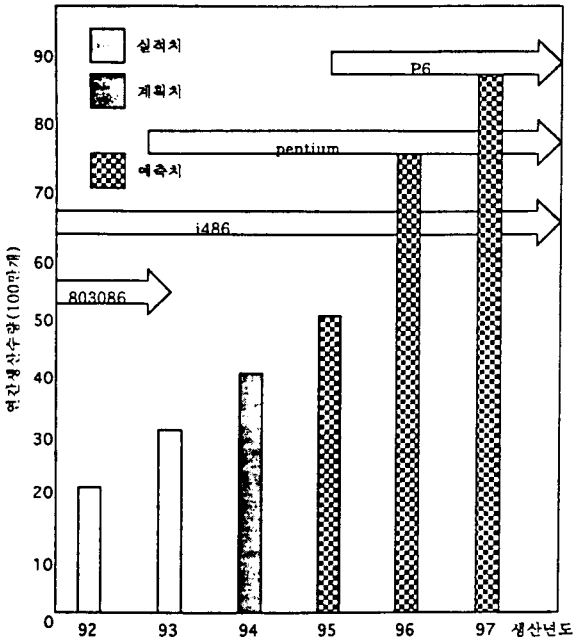
주요특성을 포함시켜 고성능 워크스테이션의 성능을 가지는 펜티엄급 마이크로 프로세서이다. YS6의 특징으로는 마이크로 프로세서의 성능을 향상시키기 위해 슈퍼 스칼라 기법을 채택하였고, 주파수가 100MHz에서 동작할 수 있는 단일 페이지 클럭킹, 명령어 길이에 대한 예측, 분기타겟버퍼(Branch Target Buffer), 최대 2개의 명령어 수행이 가능하도록 2개의 실행유닛, 레지스터 화일에 멀티포트(Multi-Port)채용, 데이터와 명령어 캐쉬를 분리하여 버스 병목현상을 최소화한 하바드 아키텍처, 64비트 외부버스 등으로 구성되어 있다.

KAIST의 VLSI 시스템 연구실에서는 1993년에 발표한 그래픽 기능이 보다 강화된 32비트 RISC 형태의 마이크로프로세서인 그림돌(Graphics Risc Machine)^[20]은 동작 주파수 25MHz, IF, RD, EXE, MEM, WB의 5단계 파이프라인으로 구성하였고 각 파이프라인 단계는 2클럭으로 동기되게 하였다. 그림돌의 구성은 RISC 코어(Core)와 2KB 명령어 캐쉬, 16X16 곱셈기, 32비트 Merger, DRAM 콘트롤러, VSC(VideoSystem Controller) 등으로 되어 있다. 그림돌은 50여 가지의 명령어가 있는데 이 모든 명령어는 32비트로 이루어져 있다. PC칩세트 개발 중 인텔의 80386 마이크로프로세서와 명령어 수준에서 호환성을 갖는 HK386과 80387DX와 명령어 수준에서 호환되는 수치 연산용 보조프로세서(Math Coprocessor)인 HK387 설계를 완료하였다. 1993년 2월부터 본격적으로 시작한 HK486의 개발은 앞서 개발된 HK386과 HK387에 해당되는 정수유닛과 부동소수점 유닛, 그리고 캐쉬 유닛이 모두 칩내에 내장한 i486호환 칩으로 동작 주파수는 35MHz이고 최첨단의 반도체 설계기술과 제조기술을 이용해 100만개가 넘는 트랜지스터를 고집적화할 예정이다. 1993년 7월부터 인텔 펜티엄과 호환성을 이루는 마이크로프로세서를 앞서 설계한 경험이 있는 인력을 바탕으로 고성능 마이크로프로세서 동작에 대한 연구와 설계를 효과적으로 수행하기 위한 설계방법에 대한 연구가 이루어지고 있다.

III. 국외 마이크로프로세서의 기술 동향

1. 인텔 계열의 펜티엄

인텔은 93년 3월에 80486의 계보를 잇는 차세대 프로세서로 486계열의 프로세서보다 성능이 월등한 펜티엄을 발표하였다. 펜티엄이 새로운 특징과 향상된 성능을 제공하고, 기존의 X86계열 마이크로 프로세서와 100% 호환을 이룬다는 사실은 컴퓨터 업계의 이목을 집중시켰다. 펜티엄은 전형적인 RISC 프로세서가 아니지만 RISC 구조로부터 많은 아이디어를 도입하여 복합 X86 명령어를 채택하였다. 또한, 최근 몇 년 동안 반도체 설계 및 생산기술의 발전에 힘입어 고집적화된 310만개의 트랜지스터로 제작되었다. 펜티엄은 8K바이트 데이터/명령어 캐쉬 메모리는 공유메모리 다중프로세서 시스템에서 사용할 수 있는 덧쓰기(WB)가 가능한 캐쉬이다. 데이터 캐쉬는 MESI 프로토콜을 지원하며 이 프로토콜은 버스 스누핑 사이클에 의해 캐쉬의 일관성을 유지한다. 펜티엄의 부동소수점 유닛은 8단계의 파이프라인 방식으로 동작하며 한 클럭 당 하나의 부동소수점 연산을 실행할 수 있다. 또한 수행할 명령어의 프로그램상 위치를 예측하기 위해 동적 분기예측 방법을 사용한다. 분기타겟버퍼(BTB)는 각 분기점에 대한 목표 주소와 방향을 기억하고 있으며, 다음 수행될 명령어가 있는 곳을 미리 파악함으로써 명령실행 파이프라인을 확장(Full)상태로 유지하여 시스템의 성능을 향상시키며 PowerPC 601이 채택하고 있는 정적예상 방식에 비해 컴파일러의 지원 부담을 덜 수 있다. 펜티엄은 기존의 멀티프로세싱 시스템보다 우수한 성능과 확장성을 제공하며 2개 이상의 펜티엄 프로세서를 결합한 멀티프로세싱 어플리케이션 펜티엄 프로세서의 슈퍼스칼라 구조, 별도의 내부 명령어 캐쉬와 데이터 캐쉬, 외부 캐쉬를 제어하는 주변 칩 셋과 복잡한 데이터 통합 기능에 의해 효과적으로 지원한다. 또한 마더 보드(Mother board)의 CPU를 상위 CPU로 교체함으로써 시스템의 성능으로 향상시키는 오버드라이브 프로세서 기능이 있다. 인텔은 펜티엄의 뒤를 이룰 차세대



〈그림 3〉 인텔 계열의 향후 생산연도와 연간생산수량
 →실적치와 계획치는 인텔자료이고, 예측치는
 향후 추정치

프로세서로 이미 코드명을 P6라고 한 제품을 내년 말 내에 선보일 예정인데 알려진 바에 의하면 1천만개의 트랜지스터가 집적되어 200밧스(MIPS)에서 실행할 수 있는, 32비트 아키텍처의 마지막 완성품이라고 불린다. P6의 후속 차세대 프로세서는 이미 코드명을 P7로 하였고 대략 2000년에 선보일 예정인 86계열의 64비트 프로세서로 2천만 트랜지스터들을 초고집적화 할 것으로 알려져있다. 인텔은 X86호환 칩인 펜티엄과 향후 P6칩에 대한 시장점유율을 높이기 위해 생산라인에 대폭 시설 투자하여 연간 생산량을 대폭적으로 향상시킨다는 전략을 그림 3에서 볼 수 있다.

2. IBM과 애플 그리고 모토롤라의 PowerPC

IBM과 애플 그리고 모토롤라가 동맹하여 개발한 일련의 CPU중 처음으로 발표된 PowerPC601은 가장 널리 사용되고 있는 운영환경들을 실행시킬 수 있는 능력과 환상적인 가격 대 성능 비를 주

무기로 하고 있다. 예를 들어 66MHz powerPC 601은 한대에 450달러로 인텔의 66MHz 펜티엄 프로세서의 절반에 해당하는 파격적인 가격 대를 형성하고 있다. 훨씬 적은 280만개의 트랜지스터를 11평방 밀리미터의 크기(펜티엄 : 16.6 * 17.6mm)에 고집적화시켜 제작비용 측면에서 펜티엄보다 소요되는 비용을 경감시켜 주었다. 칩크기가 작으므로써 전력소모가 적어 전력소모가 큰 펜티엄에 내장되어 있는 팬이나 열흡수기가 필요하지 않다. Power2PC 아키텍처는 32비트로 구현하여 4GB의 물리적 메모리를 액세스할 수 있는 32비트의 외부 어드레스 버스, 그리고 64비트의 외부 데이터 버스를 사용하였다. PowerPC는 3개의 독립적인 파이프라인 처리장치인 정수, 실수, 브랜치 유닛가 있어 이것은 클럭주기당 3개의 독립적인 파이프라인 각각에 한 개씩 3개까지의 명령어를 처리할 수 있고, 동시에 세 명령어들을 처리할 수도 있다. 정수 연산 유닛의 경우는 정수 연산 뿐 아니라 레지스터 화일과 캐쉬 사이클에서 빈번히 수행되는 로드/저장 업무도 수행한다. 부동 소수점 연산 유닛의 경우는 IEEE-754의 부동 소수 연산 규약을 완벽히 지원하고 있다. 브랜치 유닛은 일상의 순차적인 명령어 수행 도중에 프로그램 논리에 의해서 발생할 수 있는 브랜치 명령을 즉시 감지할 수 있도록 설계되었다.

PowerPC는 8단계의 명령어 큐가 있어 성능을 높이기 위해 명령어들을 순서없이 실행장치로 발행할 수 있는데, 일단 큐에 축적된 명령어는 아래에 축적된 명령어부터 순차적으로 파이프라인 처리 장치에 할당되고 동시에 공석이 된 큐에는 새로운 명령어들이 축적되어, 항상 큐가 가득 채워져 있도록 작동한다. 따라서, 파이프라인 처리장치는 휴지상태가 없어지기 때문에 처리 효율성이 매우 높아지게 되며, 최대 8개까지의 명령어를 동시에 처리할 수 있다. 한편, 고정된 길이의 명령어를 사용하는데, 그 이유는 디코딩을 간략화 하여 속도를 증진시키기 위함이다. 대부분의 프로세서는 하나의 사이클에 명령어 호출과 데이터 액세스를 동시에 수행하기 위해서 두개의 개별적인 캐쉬메모리를 가지는 반면 PowerPC는 32KB의 통합캐쉬로 구

〈표 1〉 인텔 펜티엄과 PowerPC의 비교

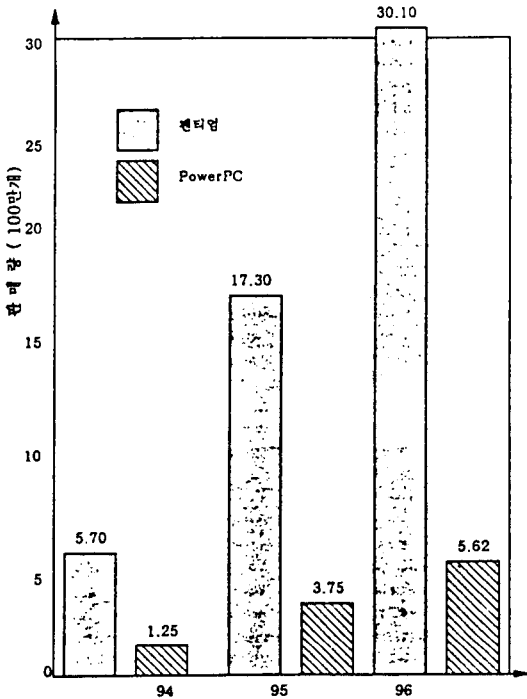
	인텔 펜티엄	PowerPC
실행유닛	2개의 정수, FPU	한개의 정수, FPU, BPU
Register file	8개의 GPR	32개의 32비트 GPR 32개의 64비트 FPR
브랜치 예측방식	동적 방식	정적 방식
캐쉬	8K 명령어 8K 데이터 2개세트연관 방식	32K의 통합 캐쉬
클럭 스피드	60~66MHz	50, 66MHz
가격(US \$)	\$ 965(66MHz의 경우)	\$ 450(66MHz의 경우)
성능	벤치마크의 실험결과에 따라 PowerPC가 펜티엄에 비해 대략 1.5배 이상 빠르다.	
전원 소모량	66MHz에서 펜티엄은 16와트를 필요로 하는 반면 PowerPc는 단지 9와트만 필요하다.	
시스템설계의 복잡성	Poser PC는 열을 덜 발생시키며 수행되기 때문에 팬이나 열흡수기 등과 같은 것이 필요하지 않다.	
시장에서의 위치	펜티엄은 386/486의 후속모델이기 때문에 유리하다.	

성되어 있다. 통합 캐쉬로는 동시 수행 처리가 불가능하기 때문에 이를 개선하기 위해 캐쉬 액세스 시 버퍼 링과 큐잉을 빈번히 수행한다. 32KB의 통합 캐쉬의 구조는 64비트 라인의 8가지 관련 구조로 2개의 8워드(32비트)섹터로 분할되어 있고 다중처리 프로세서를 지원할 수 있고 캐쉬의 일관성을 제공하기 위해서 스누핑 사이클과 MESI 프로토콜을 지원한다. PowerPC의 MMU는 페이지 테이블 내에 논리적 물리적 주소간의 상호 변환 업무를 수행하기 위한 정보를 가지고 있고, 또한 4GB의 논리적 주소공간을 제공하며 이는 9각각 256MB의 세스먼트로 분할되어 있고, 4KB의 페

이지 단위로 디맨드, 메모리, 페이징 업무를 수행할 수 있다. 또한 128KB에서 8MB까지의 다양한 크기의 블록에 대해서 블록 어드레싱 업무를 수행할 수 있다. 이와 같은 특징을 가지고 있는 PowerPC의 계열중 MPC 601은 현재 저 성능의 데스크탑 용으로 출하되었고, MPC 603은 MPC 601을 기초로 적은 전원소모를 갖는 완전한 정적인 논리 회로로 구성하여 노트 북용으로 출하되어 있다. MPC 604와 MPC 620은 1994년 말에 선보이게 될 제품으로서 MPC 604는 32비트 주소 버스와 64비트 데이터 버스, 더 향상된 파이프 라인 과 보다 높은 병렬성, 고성능을 위한 개선된 분기 기술 등을 갖춘 차세대 데스크 탑용 PowerPC 이다. MPC 620은 64비트의 데이터 버스와 주소 버스, 다중 단계의 병렬성과 서로 다른 프로세서 버스의 사용할 수 있는 기능 등을 갖춘 고성능의 워크스테이션 및 서버용 PowerPC 칩이다. 표 1은 위에서 기술한 펜티엄과 PowerPC 특징에 대해서 비교한 표이다. X86의 호환 칩인 펜티엄이 판매량에서 PowerPC보다 월등히 앞서는데 이는 유통 소프트웨어와의 호환성 때문으로 아직까지는 인텔의 시장점유율면에서 유리한 위치에 있다(그림 4).

3. 알파(Alpha) 마이크로프로세서

최첨단 반도체 기술에 의해 상용화된 마이크로 프로세서 중 최고속인 64비트 RISC 마이크로프로세서 알파(Alpha)는 수퍼 컴퓨터 CRAY에 버금가는 성능을 보이며 관련 기술의 공개로 특정 운영 체제, 환경, 프로그램 언어에 구속받지 않는 장점을 갖고 있다. 알파는 168만개의 트랜지스터가 집적된 200MHz급 고성능 64비트 RISC칩이다. 기존의 성능 장애를 극복하고 속도, 다중 명령, 다중 프로세스를 강조한 알파 구조는 레지스터의 크기가 모두 64비트이며 선형주소방식을 채택하였고 모든 명령어를 32비트로 동일하게 규격화하였다. 64비트 가상 어드레스공간을 가지며, 칩상 레지스터, 정수, 그리고 부동점 숫자 모두 64비트 폭을 갖는다. 32엔트리의 TLB는 64비트의 가상 어드레스를 64비트의 실제 어드레스로 변환시키고, 별



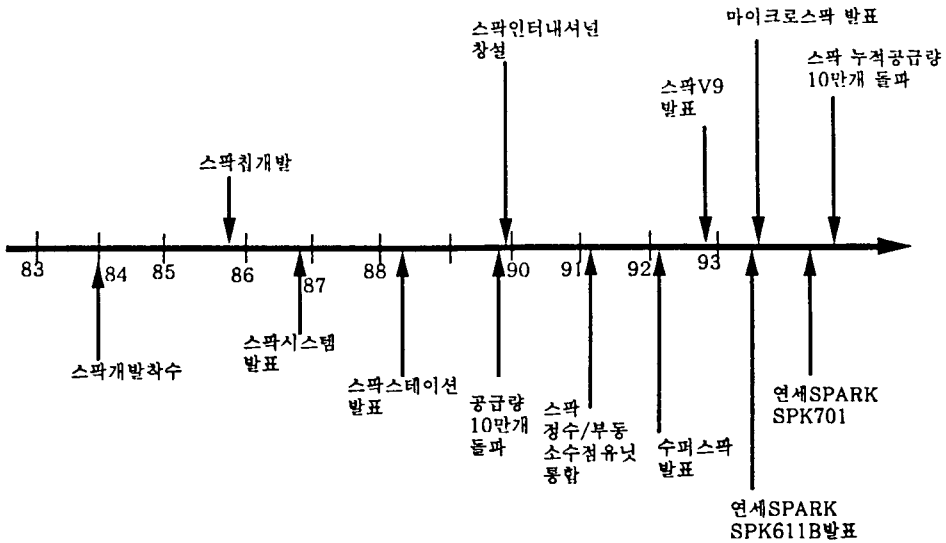
〈그림 4〉 펜티엄과 PowerPC의 판매량과 비교→
BYTE 1994.6

도의 8KB의 칩상 명령어 및 데이터 캐쉬가 7단계 정수 파이프라인과 10단계 부동점 파이프라인에 명령어 및 데이터를 보내준다. 알파는 펜티엄과 같이 하버드 구조의 캐쉬를 내장하였으며, 각각의 캐쉬는 7단계 정수 파이프 라인과 10단계 부동연산 파이프라인 실행을 지원한다. 처음으로 구현한 알파의 슈퍼스칼라(초당 여러 개의 명령어를 동시에 처리) 및 슈퍼파이프라인식(명령어를 세분화하여 처리)구조를 채택하여 클럭 주기당 두 개의 명령어를 4개의 개별 실행장치에 보낼 수 있게 하였다. 알파 CPU의 제품 계열은 고성능에 중점을 둔 21x64 계열과 21x66 / 21x68 계열로 나뉘며 향후 휴대용 컴퓨터의 CPU로 장착될 예정이다. 이들 계열 중 1993년말에 발표된 21x66 계열은 일반 데스크 탑 제품에 활용하기에 적합하도록 가격대비 성능이 탁월한 제품으로, 최초로 PCI 로컬 버스와 메모리 제어 부분을 CPU안에 내장시켜 별도의 PCI 구현용 칩 세트가 필요치 않다. ISA,

EISA, VME 등의 여타 확장버스에 접속이 용이하며 최고 512MB 용량의 업계표준 DRAM SIMM, 비디오램, 2MB까지의 SRAM을 접속할 수 있는 외부 캐쉬 제어기 등의 응용 설계상 특징을 구현하고 있다. 또한 CPU 입력 클럭용으로 저주파수의 오실레이터 사용을 가능하게 하기 위해 PLL (Phase-locked loop) 멀티플라이어를 사용함으로써 디자인을 간소화하였다. 21064계열 칩의 특징은 단일 ECL호환성 클럭 입력을 받아들인데, 이 칩은 클럭 입력을 내부적으로 둘로 나누어 150 또는 200MHz로 동작하게 하였다. 또한, 3.3볼트의 전원으로 작동하며, 모든 입/출력 포트는 TTL 호환이 가능하다. 알파의 장점으로는 기존의 VAX, MIPS 응용프로그램의 Binary Translation을 제공, 알파 Native 코드에 비해 50% 정도의 성능으로 실행되도록 사용자를 지원하는데 이 기술은 Windows NT에서도 x86코드를 에뮬레이션하지 않고 실행해 주는 실마리로 사용될 수 있다는 것이다.

4. 스팩 계열의 마이크로프로세서

1984년에 개발에 착수한(그림 5) 스팩프로세서는 기존의 마이크로프로세서와는 차별화 되는 개방형 구조를 지니고 있다. 이들 계열은 마이크로스팩, 슈퍼스팩, 울트라스팩 등으로 크게 분류된다. 이중 마이크로스팩과 슈퍼스팩은 SUN사와 TI (Texas Instrument)에 의해 공동 개발되어 TI에서 양산되고 있고 울트라스팩은 SUN의 첫 64비트 스팩 CPU이다. 스팩 계열 중 워크스테이션의 성능을 구현할 수 있도록 많은 기능을 고도로 집적하고 있는 마이크로스팩은 데스크 탑 및 서버, 휴대용 시스템 및 마이크로프로세서를 내장하는 기기에 적합하다. 마이크로스팩 계열은 마이크로스팩 I, 마이크로스팩 II, 마이크로스팩 III의 3가지 모델이 있으며 이 모델들은 최고 150 드라이브톤 밍스 (Drystone MIPS) 및 100 SPECint92의 성능을 제공한다. 1992년에 발표한 75MHz의 마이크로스팩은 싱글 스케일러, 싱글 파이프라인방식으로 설계된 CPU로 스팩 인터내셔널이 정의한 스팩 구조 버전 8에 기반을 두고 있는 32비트 구조이다.



(그림 5) 스파크의 역사

올해 발표한 마이크로스파크 II는 새로운 부동 연산 유닛, 성능이 향상된 정수 유닛 및 4x캐쉬 전격판 리 기능 등을 갖춘 100MHz 속도의 제품으로 칩 가공 기술은 종전의 0.8마이크로 2중 메탈 공정을 대체한 0.5마이크로 3중 메탈 공정을 사용하였다. 또한 동작전압이 3.3볼트로서 더욱 낮아졌고 45SPECint92에서 최고 60SPECint92까지의 성능을 보인다. 한편 마이크로스파크 III는 95년초에 시제품을 선보이고 96년초에 공급될 예정이며 클럭 주파수 100~125MHz에서 동작 가능하고 내부 캐쉬를 채택하여 프로세서 전반적인 속도가 더욱 향상될 것으로 전망된다. 슈퍼스파크은 고성능의 버전-8 규정명세를 따른 마이크로프로세서들 중 하나로서 정수처리 능력이 115~150 SPECint92이고 부동연산처리능력이 162~200 SPECfp92인 성능을 지니고 있고 32비트 슈퍼스칼라 구조로서 3개의 독립적인 ALU와 FPU를 구비하였고 개별 로드/저장 장치 등에 대한 명령어들을 예비 호출하고 관리한다. 슈퍼스파크은 2개의 호스트 버스 인터페이스인 레벨 2 M버스 또는 V버스 중 하나를 사용하며 호스트 버스는 칩의 외부 핀들 중 하나를 선택해 드라이브하고, 레벨 2 M버스는 64비트 데

이터 및 32비트 어드레스 멀티플렉싱 동기성 버스이다. 더 높은 성능을 얻기 위해 V버스는 TI사의 외부 캐쉬 제어장치와 최대 2M바이트에 달하는 외부 캐쉬 메모리를 지원한다. 캐쉬 컨트롤러는 호스트쪽으로는 캐쉬 메모리 및 V버스, 시스템 쪽으로는 M버스 또는 X버스와의 인터페이스를 처리한다. 여기서 X버스는 외부 버스 감시기를 4개까지 지원하며 이 감시기는 사용 가능한 밴드 폭을 증가시키기 위해 여러 개의 시스템 버스와 함께 사용되기도 한다.

1994년에 발표 예정인 울트라스파크I은 0.5마이크로 선 폭의 CMOS 가공기술을 사용하여 140~300MHz의 클럭 주파수에서 동작하는 200~300SPECint92 및 350~500 SPECfp92 성능을 제공할 예정이다. 1995년말에 발표 예정인 울트라스파크 II는 0.5마이크로 선 폭의 CMOS 가공 기술을 사용해 275MHz의 클럭 주파수를 가진 325~475 SPECint92 및 350~500 SPECfp92 성능을 제공할 예정이다. 1997년 정도에 발표 예정인 울트라스파크 III는 울트라스파크 I과 II에서 사용한 기술보다 낮은 0.4 마이크로 정도 선 폭의 BiCMOS 기술을 이용하고, 500MHz의 클럭 주파수를 갖고

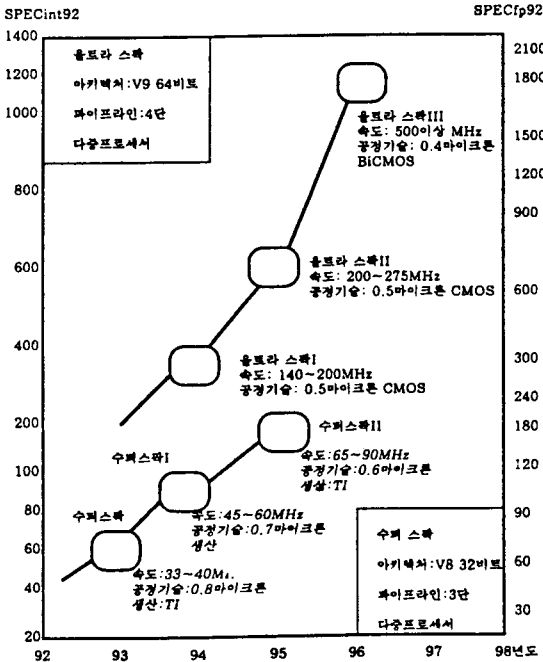
<표 2> 향후 스팩 CPU 성능 비교

스팩CPU계열	성능	구분	발표시기
마이크로 스팩 계열	150 드라이 스톤 밈스 100 SPECin92	마이크로 스팩	1992
		마이크로 스팩 I	1994
		마이크로 스팩 II	1995
수퍼 스팩 계열	100 SPECin92 200 SPECfp92	수퍼 스팩	1992
		수퍼 스팩 I	1993
		수퍼 스팩 II	1994
울트라 스팩 계열	700~1000 SPECin92/ SPECfp92	울트라 스팩	1994
		울트라 스팩 I	1995
		울트라 스팩 II	1996

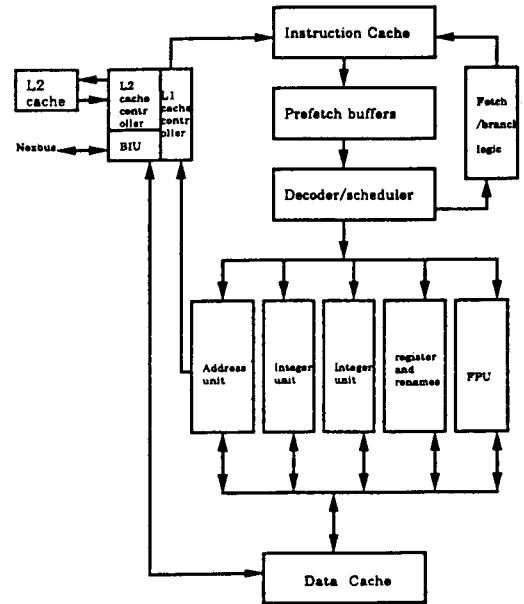
능을 제공할 예정이다. (표 2) 그림 6은 울트라 스팩과 수퍼스팩의 발전동향에 대해서 보이고 있다.

5. NexGen사의 Nxx86계열

NexGen사는 94년 6월에 첫제품인 Nx586(그림 7. Nx586 아키텍처 구성도)을 발표하였다. 가정용 PC를 겨냥한 칩으로 CAD나 과학계산에 필요한 FPU를 제외시켰다. FPU를 내장하지 않는 대신 허버드 구조의 내부 캐쉬 메모리의 용량을 16KB씩 증가시키고 2차 캐쉬 컨트롤러를 내장함으로써, 동화상 처리를 고속화시켜 가정용 PC의 응용에 적합하도록 하였다. 현재 발표된 Nx586의 동작 주파수는 66MHz, 앞으로 80MHz, 90MHz, 100MHz용 제품을 발표할 계획이고 95년내에 차세대 마이크로프로세서인 인텔의 P6보다 앞서 Nx686을 발매할 예정이다. Nx586은 80x86 아키텍처 프로세서로 CISC와 RISC의 명령어를 혼합한 x86 계열로 이들과 완벽한 호환성을 이룬다. 하지만 FPU를 외부에 장착하거나 2차캐쉬 콘트롤



<그림 6> 울트라 및 수퍼 스팩 발전방향→전자공학 94.1



<그림 7> Nx펜586 아키텍처의 구성도

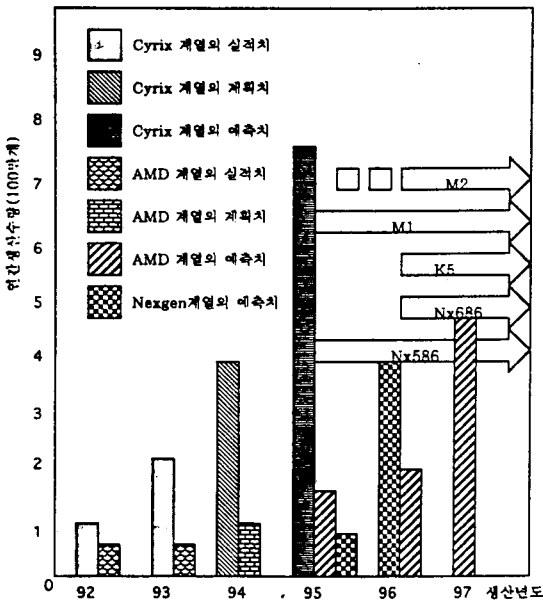
700~1000 SPECint92 및 SPECfp92 이상의 성

러를 탑재하기 때문에 펜티엄과 핀 호환성은 없다. 이 때문에 보드메이커가 전용보드를 제작하여 PC 메이커에 판매하는 유통채널도 필요해 대만의 보드메이커에 의뢰하였다. Nx586은 0.5마이크로 CMOS공정을 사용하였고, 칩크기는 대략 15평방 밀리미터이다. Nx586은 두개의 정수와 하나의 어드레스 유닛으로 구성된 3개의 독립된 실행 유닛을 내장하였고 캐쉬 메모리는 16KB씩 명령어와 데이터 캐쉬로 분리한 4가지 세트 연관(4way set associative)구조이다. Nx586에서 L1캐쉬는 라이트드루(Write-through)방식, L2캐쉬는 라이트백(Write-back)방식을 사용하였고, PCI(Peripheral Component Interconnect)로컬버스와 VL버스를 지원하였다. Nx586은 명령어 캐쉬부터 CISC타입 명령어를 폐치하여 프리페치버퍼에 저장하는데 이 버퍼는 3가지 부분으로 나누어져 있어 동시에 3가지 다른 명령어들을 수행할 수 있다. 프리페치로

부터는 명령어들은 디코더/스케줄러로 전달되어 매 사이클당 하나의 CISC명령어는 하나 또는 그 이상의 RISC86명령어로 전환된다. 또한, 최저 7단계의 파이프라인 방식으로 동작하며 CISC명령어들과는 달리 RISC86 명령어들은 로드/저장을 메모리에서 액세스하여 수행한다. 그림 8는 현재 발표된 Nx586과 앞으로 개발예정인 Nx686에 대해서 제조거점 및 연간생산수량과 생산 연도에 대해서 보이고 있다.

6. Cyrix사의 M1

1994년 후반에 소개될 Cyrix M1구조는 IBM 마이크로 일렉트로닉스와 공동으로 개발하였으며, 수퍼스칼라와 수퍼파이프라인에 근거한 프로세서로 다섯개의 기본 기능 장치로 구성된 X86계열의 마이크로 프로세서이다. 이들 장치는 정수 장치, 캐쉬, 9메모리 관리 장치 등으로 구성되어 있다. M1 구조는 동일 클럭 내에서 486구조보다 2.5배 정도 빠른 성능을 갖고 RISC 프로세서가 현존하는 X86 소프트웨어를 구동시키기 위해 에뮬레이션 모드로 제한되었을 때, 일반적인 RISC 기본형 구조에 비해 12배이상의 성능 향상을 제공한다. M1구조는 두 개(X파이프와 Y파이프)의 7단계 정수와 이프라인으로 각 파이프라인은 폐치(F), 두 개의 디코더(D1, D2), 두 개의 지정 주소계산(ALU1, ALU2), 하나의 실행(E), 그리고 되돌려쓰기(WB) 등으로 구성되어 있다. 하나의 칩상에 주요 데이터캐쉬 및 보조 명령어캐쉬로써 4가지 세트연관(Four way set associative)통합시 명령어/데이터 캐쉬와 256바이트의 완전세트연관(fullysetassociative)명령어 라인캐쉬를 주요 명령어 캐쉬로 구성하고 있다. 이러한 통합시 캐쉬는 반은 명령어, 반은 데이터에 할당하는 구조에 비해 빠른 속도를 제공하며 동시 폐치, 관독, 쓰기의 어떠한 조합도 허용할 수 있도록 이중 포트로 구성되어 있다. M1구조는 x86과 완벽하게 호환성을 가지므로 이 구조의 MMU는 표준분할 및 페이징 요구조건을 사용하고 논리적으로 버스제어장치를 고립시켜 특수시장의 요구에 대해 상품의 융통성을 제공한다. M1구조는 64비트 FPU를 내장하는데 IEEE-



(그림 8) Cyrix, AMD, Nexgen계열의 향후 생산년도와 연간생산수량→실적치와 계획치는 Cyrix사, AMD사의 공표치이고, 예측치는 향후 추정치

754와 호환성을 가지며 x87 명령어 세트를 사용하는데, 4단 깊이의 명령어 큐와 4단 깊이의 기억장소 큐로 강화된 단일 부동점 파이프라인을 지닌다. 이러한 큐의 사용은 여러 가지 장점이 제공된다. 그림 8는 Cyrix의 차세대 마이크로 프로세서인 M1과 M2에 대한 연간 생산 수량과 생산예정년도를 나타내고 있다.

7. AMD사의 K5

AMD사는 95년에 K5를 발표할 예정인데, 알려진 바에 의하면 독자적인 마이크로 코드를 채용한 x86호환 칩으로, 0.5마이크론 공정을 사용해 400만 트랜지스터를 고집적화 하였다. RISC프로세서 아키텍처를 채용하여 1사이클에 4개의 명령을 동시에 실행할 수 있는 슈퍼스케일러를 채택할 예정이라고 한다. AMD사의 전략은 RISC와 CISC의 개발부분을 일체화하여 x86호환 칩의 고속화를 도모함은 물론 펜티엄급 마이크로 프로세서인 K5 이후의 x86호환 칩은 RISC의 이점을 살린 독자적인 마이크로 아키텍처를 채용한다는 것이다. 그림 8

는 앞으로 개발예정인 K5의 제조예정일 및 연간 생산수량과 생산 년도에 대해서 보이고 있다. 표 3에서 인텔칩을 상회하고 고성능화하는 RISC기술을 도입하여 다른 아키텍처를 채용한 마이크로 프로세서들의 성능과 특징을 비교하였다.

IV. 맺음말

PowerPC 계열, 알파, 스팩 계열, Nx586, M1, K5 등은 인텔 x86호환 칩의 지적 소유권에 저촉되지 않고 고성능화하는 다른 아키텍처를 채용한 마이크로프로세서로서 압도적인 시장점유율을 차지하고 있는 인텔의 아성에 도전하고 있다. 이 마이크로프로세서들은 인텔의 x86계열의 내부구조를 모방하지 않고 마이크로 소프트웨어의 윈도우즈를 비롯한 유통 소프트웨어와의 호환성을 유지하였고, 기술과 생산력으로 시장확대책을 강구하면서 대량생산체제로 돌입하고 있다. 1991년 10월에 애플

(표 3) 펜티엄 상당 x86호환 칩의 성능 및 특징 비교

	인텔 펜티엄	인텔 P54C	Nexgen Nx586	Cyrix M1	AMD K5
수퍼스칼라 방식	2개 정수 파이프 3실행유닛	2개 정수 파이프 3실행유닛	2개 정수 파이프 3개 실행유닛 옵션 FPU	2개 정수파이프 4실행유닛	4개 정수파이프 6실행유닛
파이프 라이닝	5단계 정수파이프	5단계 정수파이프	최소 7단계 정수파이프	7단계 정수파이프	6단계 정수파이프
FPU	내장형 파이프라인	내장형 파이프라인	옵션, 파이프라인식이 아님	내장형, 파이프라인식이 아님	내장
Register file	8GPRs	8GPRs	22GPRs	32GPRs	40GPRs
브랜치 예측 방식	동적방식	동적방식	정적방식	정적방식	동적방식
L1 캐쉬	8KB 명령어 8KB 데이터 2가지 세트 연관	8KB 명령어 8KB 데이터 2가지 세트 연관	16KB 명령어 16KB 데이터 4가지 세트 연관	16KB 통합캐쉬	16KB 명령어 8KB 데이터
클럭 속도	60,66MHz	90,100MHz	60,66MHz	90,100MHz	60~100MHz
발표 연도	1993년 5월	1994년 6월	샘플링 1994년 여름	1994년말	1994년말

과 IBM 그리고 모토롤라는 하나의 연합을 구성하여 PowerPC 프로세서의 개발 및 도스와 윈도우 프로그램들을 모두 실행시킬 수 있는 애플의 시스템7, IBM의 OS/2와 AIX, 선 마이크로 시스템즈의 솔라리스, Power Open환경, 텔리전트의 객체지향형 핑크 등의 운영체계를 개발하고있다. 모토롤라는 시스템 업체들이 가능한 쉽게 PowerPC 컴퓨터를 개발할 수 있도록 시도하고 있다. EISA와 ISA, PCI 그리고 VME 등과 같이 널리 사용되고 있는 확장 옵션들을 지원하기 위해서 참조 설계와 메모리 인터페이스 칩들을 제공하고 있다. 따라서, 모토롤라는 PowerPC601을 자사의 제품들과 조화시키기 위해서 씨드 파티의 칩 세트업체들과 제휴하고 있다. IBM은 올해 말까지 MPC601 기반의 RS6000 워크스테이션과 데스크탑 컴퓨터 그리고 랩탑 컴퓨터를 발표할 예정이다. 애플은 MPC601을 기초한 Power맥을 생산하고 있고 애플의 고유한 운영체계와 펌웨어에서부터 모든 씨드 파티 응용 프로그램에 이르기까지 모든 매킨토시 소프트웨어는 680x0코드이다. 소프트웨어 개발자들과 자사의 고유한 소프트웨어를 보유하고 있는 회사들은 충분한 개발도구들이 사용가능하게 되는 경우에만 MPC601기반 컴퓨터의 구입을 고려할 것이다. 하지만 이미 친숙한 인텔의 80x86 프로세서로부터 전환한다는 것은 사용자들이 MPC601의 완전한 이점을 얻기 위해서 기존 소프트웨어에 투자한 것을 포기해야 함을 의미하기 때문이다. 마찬가지로 또 다른 인텔 아키텍처로 갱신해야 계속 사용될 수 있는 많은 주변장치들이 PowerPC시스템과는 작동하지 않을 수 있다는 문제점이 있다. x86호환 칩의 생산능력 증강의 영향은 x86진영내 뿐만 아니라 RISC진영 시장에도 파급효과가 일고 있고 이와 더불어 강력해진 가격경쟁력을 무기로 RISC진영의 아성인 서버(Server) 시장 제패를 겨냥하고 있다. 국내의 경우에는 메모리 분야에서는 세계적으로 발맞추어 나아가는데 반면에 비메모리 분야에서는 상당히 뒤처져 있다. 연세대 아식설계공동연구소가 연구하여 발표한 펜티엄급 YS6와 93년에 개발하여 발표한 32비트 스팍 RISC 마이크로프로세서인 SPK611B와

KAIST VLSI 시스템 연구실에서 개발한 32비트 RISC 마이크로프로세서인 그림돌과 HK386, HK387, HK486 등을 바탕으로 국내 연구소 및 대학에서 산학 시스템으로 과감한 투자와 인력 양성을 함으로서 독특한 아키텍처를 채용한 고성능의 마이크로프로세서를 개발할 수 있을 것이다. 앞으로 컴퓨터 구조의 획기적인 개선보다는 현존하는 컴퓨터 시스템과 마이크로프로세서의 구조를 개선하고 초미세화되는 VLSI반도체 구현을 통하여 고성능 마이크로프로세서의 개발이 지속될 것이며, 고집적, 고속, 저전력, 저가격면에서 업체들 간에 극심한 경쟁이 펼쳐질 것으로 전망된다.

참 고 문 헌

- [1] 이문기, 최병윤, 이승호, "내장형 32비트 RISC컨트롤러의 VLSI 구현", 전자공학회 논문지, 제31권 제10호, pp.141~151, 10월 1994
- [2] 이문기 "마이크로프로세서(MPU) 기술개발에 관한 연구 상공부 중간 보고서(1)", 연세대학교 아식설계공동연구소, 1994
- [3] Intel, "Pentium Processor User's Manual Vol.1", 1993.
- [4] 김호길, 손승일, 이용석, 이문기, "수퍼스칼라 마이크로프로세서용 세그먼트 디스크립터 캐쉬 제어유닛의 HDL모델링", 추계종합학술대회 논문집, 대한전자공학회, 제17권 제2호, pp.1305~1309, 1994
- [5] 양훈모, 오승호, 이용석, 이문기, "수퍼스칼라 마이크로프로세서용 버스 유닛 설계", 추계종합학술대회 논문집, 대한전자공학회, 제17권 제2호, pp.1310~1313, 1994
- [6] 이원, 정승재, 손승일, 이용석, 이문기, "수퍼스칼라 마이크로프로세서용 시퀀서 설계", 추계종합학술대회 논문집, 대한전자공학회, 제17권 제2호, pp.1314~1317, 1994
- [7] 이종익, 손승일, 이용석, 이문기, "수퍼스칼라 마이크로프로세서 페이징 유닛, TLB의 HDL

- 모델링”, 추계종합학술대회 논문집, 대한전자 공학회, 제17권 제2호, pp.1326~1329, 1994
- [8] 이회진, 임의철, 이용환, 이승호, 이문기, “SPK701 마이크로프로세서 개발을 위한 설계 검증 환경 구현”, 추계종합학술대회 논문집, 대한전자공학회, 제17권 제2호, pp.1318~1321, 1994
- [9] 이문기, 고성능 마이크로프로세서 설계 단계 강좌, 상공부 공업기반 자금에 의한 RISC 설계 교육, 아식설계공동연구소, 1991
- [10] Peggy Herubin, “Design’s guide to next-generation ups that run x86 applications”, EDN ASIA, pp.61~75, September 1994.
- [11] Tom R. Halfhill, “80x86 Wars”, BYTE, pp.75~88, June 1994.
- [12] 심현도, “컴퓨터 환경 변화의 주역 CPU”, Computer Magazine, pp.118~126, August 1993
- [13] “데스크탑 위의 RISC”, Computer Magazine, pp.132~145, September 1993.
- [14] Dan strassberg, “To multiprocess or not to multiprocess?”, EDN ASIA, pp.42~55, September 1994.
- [15] 썬 마이크로 시스템즈, “스팍칩”, 전자과학, pp.234~242, 1월 1994
- [16] Richard L. Sites, “Alpha AXP Architecture”, COMMUNICATIONS OF THE ACM, VOL.36, NO.2, pp.33~83, Feb. 1993.
- [17] Tom Thompson, “POWERPC”, BYTE, pp. 56~89, August 1993.
- [18] Tom Thompson And Bob RYAN, “PowerPC to the Desktop”, BYTE, pp.44~72, April 1994.
- [19] 이문기, “32비트 SPARK RISC Controller의 특징 및 응용”, 전자공학회지, 제20권 제11호, pp.1~10, 11월 1993
- [20] 경중민, “32Bit RISC 그림돌 시스템의 동시 공학적 설계”, 전자공학회지, 제20권 제11호, pp.11~18, 11월 1993

저 자 소 개



李文基

1941年 8月 23日生
 1965年 2月 연세대학교 전기공학 공학사
 1967年 2月 연세대학교 대학원 전자공학 공학석사
 1973年 3月 연세대학교 대학원 전자공학 공학박사

1980年 5月 미국 UNIV. OF OKLAHOMA 전자공학 PH.D
 1973年 3月~1976年 8月 경희대학교 전자공학과 부교수겸 학과장
 1989年 3月~1992年 8月 연세대학교부설 아식설계공동연구소 부소장
 1990年 3月~1992年 2月 연세대학교 전자공학과 학과장
 1982年 9月~현재 연세대학교 전자공학과 교수
 1992年 9月~현재 연세대학교부설 아식설계공동연구소 소장

주관심 분야 : ASIC 및 마이크로프로세서