

고속 DSP 기술 동향

金 在 錫

韓國電子通信研究所 集積回路開發室

I. 서 론

1970년대 말경에 처음 등장했던 DSP(Digital Signal Processor) chip은 지난 15년간 엄청난 발전을 거듭해 왔다. 특히 IC 회로 제조 기술의 급속한 발전, 새로운 구조 설계 기술의 개발, DSP 알고리즘 기술의 향상, 그리고 development tool 기술 분야에서의 발전은 다양한 기능의 DSP chip들을 등장시켰고, 1990년대에 들어와서는 multi-processing 구조의 등장으로 인해 고속 실시간 처리 능력도 크게 향상되었다. 그래서 오늘날의 DSP chip은 이전의 중대형 computer의 성능에 버금가는 정도가 되었다고 할 정도이다.^[1] 또한 C language나 graphic icon을 사용하는 high-level 설계 환경의 지원은 사용자들로 하여금 DSP에 쉽게 접근할 수 있도록 하였다. 이로 인해 그 응용 분야가 크게 확대되어 이제는 단순한 신호 필터링이나 음성신호 처리 분야외에도 modem을 비롯한 각종 통신 분야, 영상 및 디지털 음성신호 처리 분야, 데이터를 포함한 멀티미디어 분야, computer 분야, 가전 및 산업기기 분야, 자동차 산업 분야, 군사통신 분야등에서 널리 사용되고 있다.

또한 세계적인 시장측면에서도 1980년대 중반에 2~3억불이던 DSP chip 시장이 1990년에는 8.8억불, 그리고 1994년말에는 25억불 정도로 추정되고 있는데, 이 시장은 앞으로도 년 30~40% 이상씩 증가하리라고 내다보고 있다.^[2] 앞으로 DSP는 통신과 computer의 결합이 빠른 속도로 이루어지면서 더욱 중요한 자리를 차지하게 될 것이고, analog front-end 부분의 집적화, graphic 처리를 위한 별도 기능 block, microprocessor/microcontroller와 비슷한 기능의 제공등이 DSP 시장을 더욱 확장시킬 것으로 보인다. 특히 고속 DSP 분야는 각종 digital 신호의 실시간 처리를 필요로 하는 응용분야(예를 들면 multimedia나 video signal processing 분야 등)의 증가로 인해 더욱 각광받을 것으로 보인다.

본 논고에서는 먼저 일반적인 DSP chip의 구조적 특징을 설명하고, 현재의 시장동향 및 응용분야

에 대해 간단히 살펴보고자 한다. 그리고 고속 DSP chip의 기술 개발 동향을 알아보기 위해 지금까지의 DSP chip 개발 추세를 5세대로 나누어 분석하면서, 앞으로 전개될 고속 DSP chip의 개발 동향을 살펴보고자 한다. 마지막으로 이와 같이 다양한 DSP chip의 기술 가운데서 자신의 응용분야에 맞는 DSP의 선택을 위해 고려해야 할 사항을 언급하고자 한다.

II. DSP chip의 구조적 특징

각종 DSP 알고리즘들은 충분한 시간이 주어진다면, 범용 microprocessor를 이용해서도 충분히 구현할 수가 있다. 그러나 대부분의 DSP 응용분야들에서는 가능한한 실시간(real time) 또는 매우 빠른 시간내에 많은 양의 데이터 처리하거나 계산해야 할 필요가 있다. DSP chip은 이러한 목적에 맞게 설계되었기 때문에 다음의 몇 가지 면에서 microprocessor와 다른 구조적 특징을 갖고 있다.

첫째로는, 고속의 multiplier-accumulator unit을 hardware로 내장하고 있어서 MAC(Multiplication-and-Accumulation) operation을 한 cycle내에 처리할 수 있게 되어 있다. Matrix 계산이나 sum-of-product 계산을 많이 필요로 하는 대부분의 DSP 알고리즘에서 MAC operation 속도는 DSP의 성능을 좌우하는 가장 핵심적인 부분이라 하겠다. 둘째로는 data와 instruction을 동시에 가져다가 처리하기 위해서 data memory와 instruction memory를 따로 갖고 있는 harvard architecture를 채용하고 있다.^[3] 그리고 하나의 instruction을 수행하면서 다른 instruction을 가져오거나 decoding 하기 위해서 RISC 형태의 pipeline execution 구조를 취하는 것이 보통이다. 셋째로는 두 개 이상의 operand를 동시에 가져올 수 있도록 하는 multiple bus 구조를 갖고 있다. 이로 인해 한 cycle 내에서 여러 operation을 동시에 수행할 수 있게 된다. 예를 들면, multiply 계산과 ALU 계산, 그리고 two register 값의 읽기 및 DMA 전송

등을 한 instruction cycle 내에서 수행할 수 있게 된다. 넷째로는 반복적인 operation을 빠르게 처리하기 위해서 loop control이나 circular buffer control 기능이 hardware적으로 내장되어 있는 경우가 많다. 이는 matrix나 vector 등을 계산할 때 매우 유용한 자원이라 할 수 있다. 다섯째로는 program ROM과 data RAM을 chip내에 내장하고 있고, 또한 off-chip memory를 쉽게 사용할 수 있도록 하기 위해 여러 I/O port들을 갖고 있다.

결국 DSP chip은 수학적 계산 능력을 최대화시키기 위한 구조와 programmable 기능을 갖춘 특별한 RISC형 microprocessor라고 할 수 있다. 현재 RISC형 microprocessor가 계속 발전해 감에 따라 DSP와 RISC CPU와의 차이는 점차 줄어들 것으로 보인다. 그리고 Intel의 i860, National Semiconductor의 NS32SF641(일명 Swordfish) 같은 chip은 DSP와 RISC CPU를 함께 포함하고 있어서, 고정소수점 처리는 RISC에서 처리하고 부동소수점 처리는 DSP로 병렬처리하여 신호 처리의 성능을 높이고 있다.^[4]

III. DSP chip의 시장 동향 및 응용분야

DSP IC는 응용분야가 넓어지면서 그 시장이 급격하게 증가하는 추세에 있다. 1990년에 8.8억불이던 DSP 시장은 1994년도에 24.6억불 정도로 증가하였는데, 이 시장은 매년 35% 이상씩 증가하고 있는 실정이다. <표 1>은 DSP type별 전세계 시장 내용을 보여주고 있고, <표 2>는 이 중에서 범용 programmable DSP 시장의 회사별 점유율을 보여주고 있다.^[2, 5] 이 중에서 미국시장이 전체 시장의 약 44% 정도를 차지하고 있고, 일본이 약 20% 정도, 그리고 한국을 포함한 나머지 아시아가 약 7% 정도를 차지하고 있다고 한다. 그런데 1993년의 경우 어떤 회사는 아시아에서만 3배의 증가율을 보일 정도로 아시아에서의 DSP 시장이 매우 크게 증가하고 있는 상황이다. DSP 시장을 고정소수점 방식과 부동소수점 방식으로 나누

〈표 1〉 DSP Chip 시장 현황

(단위 : M\$)

방 식	연 도	
	1990	1994
• Programmable DSP	285	990
• Application Specific DSP	390	1,200
• Building Blocks	116	120
• MPU/MCU	90	150
합 계	881	2,460

〈표 2〉 회사별 DSP 시장점유 현황

	1989년	1993년
TI	61.1%	40.5%
AT & T	4.4%	27.2%
Motorola	4.4%	17.2%
Analog Device	4.4%	9.6%
NEC	9.3%	4.1%

어 분류하기도 하는데, 부동소수점 방식의 DSP 경우 1989년에는 DSP 전체 시장가운데서 약 3.7% 정도의 비율을 차지했는데, 1994년도에는 14% 정도 이상으로 크게 증가하였다. 앞으로 고속 DSP의 성능을 요구하는 응용분야가 많아질 것으로 예상됨으로 인해 부동소수점 방식의 DSP는 더

욱 큰 폭으로 성장할 것으로 보인다.

DSP의 응용분야는 크게 통신 분야, Computer 분야, 가전 분야, 산업 분야, 자동차 분야, 군사 분야 등 6가지 정도로 분류할 수 있다. 통신 분야에서는 modem, 전화기, 음성신호 처리 등의 응용분야가 있고, computer 분야에서는 workstation, graphics, image processing 등의 응용분야, 가전 분야에서는 Audio/Video, 휴대전화기, 게임기 등의 응용분야, 산업 분야에서는 Servo controller, robotics, instrumentation, medical 등의 응용분야, 군사 분야에서는 sonar, radar, simulator 등의 응용분야가 있다. 최근의 DSP 제품의 응용분야를 살펴보면 통신이 41%, 가전 분야가 22%, computer 분야가 14%, 군사 분야가 10% 정도인 것으로 나타나고 있다. 이 중에서 최근에 가장 성장률이 돋보이는 분야는 cellular phone 분야, desktop multimedia 분야, video signal processing 분야, 가전 분야 등으로 나타나고 있다.

IV. DSP chip의 기술 개발 동향

지금까지의 DSP chip 기술 개발 동향을 간단히 정리해 보면 〈표 3〉과 같이 크게 5세대로 구분할

〈표 3〉 DSP 기술발전 추세

구분	1세대 (1978~1983)	2세대 (1983~1986)	3세대 (1986~1990)	4세대 (1990~1994)	5세대 (1994~)
내용					
-공정기술	4~3 μ m NMOS	2 μ m N/CMOS	1.2~1.0 μ m CMOS	0.8 μ m CMOS	0.5 μ m CMOS
-소자 집적도	40~60K	80~150K	370~430K	500K~2M	>2M
-MAC 시간	>200ns	<160ns	<80ns	<35ns	<20ns
-동작주파수	5~8MHz	10~16MHz	20~33MHz	40~80MHz	>80MHz
-On-Chip RAM	2.5K	8K	8~32K	8~32K	32K
-Operation/ Cycle	>1/2	1/2~1	3	3~10	>10
주요특징	-Fixed-point	-Floating-point -Interruptd/ DMA	-Multiple operation -Multiple I/O ports	-Multi-processing -ASDSP -Analog Front-end	-Parallel 구조 -Video processing

하는 정도이었다. 1980년에는 IC 기술도 3~4 μ m의 NMOS 기술로서 TMS32010의 50mm² chip 크기도 매우 혁신적인 것이었다. 그리고 이 당시에는 multiplier block이 chip 면적의 40% 정도를 차지함으로 인해 on-chip memory 용량은 극히 제한적이었다. Chip package도 주로 28~64 pins 정도를 사용하였다.

1984년경부터의 2세대에서는 32bit 부동 소수점 방식의 DSP chip이 등장하면서 high-end 쪽에도 급속한 성장이 이루어 졌다. AT&T가 NMOS 기술을 이용하여 최초의 32bit 부동 소수점 방식의 DSP chip인 DSP32를 내 놓았고, 곧 이어 NEC는 CMOS 기술을 이용한 32bit 부동 소수점 방식의 uPD77230을 내놓았다. 이 DSP들의 MAC 계산 속도는 DSP chip의 instruction cycle 속도와 동일한 150~160ns 정도로 향상되었다. 이는 약 8MFLOPS 정도의 처리 속도를 제공하는 것이었다.

2. 3세대 DSP

1986년경부터 시작된 3세대 DSP chip들은 구조적인 면에서 몇 가지 새로운 개념들을 도입함으로써 성능 향상의 계기를 마련하였다. 이는 주로 IC 제조 기술의 발전에 크게 기인한다고 하겠다. 즉 1.2 μ m~1.0 μ m CMOS 기술이 주류를 이루면서 chip 면적이 2~3배 이상 증가하게 되었고, multiplier block이 차지하는 비율도 chip 전체 면적의 5% 정도로 크게 줄어 들게 되었다.^[3] 이로 인해 chip 면적의 여유가 많아지고, 이것은 곧 구조적인 측면에서 새로운 개념의 도입을 가능케 하였다.

이 당시 DSP chip 분야에 새로이 도입된 구조적 특성을 살펴보면, 첫째로 multiple internal bus의 사용으로 인해 single cycle내에서 multiple operation이 가능하게 되었다. 즉 single cycle내에서 고정소수점 계산과 부동 소수점 계산을 병행하게 되었고, 동시에 새로운 instruction address 및 data의 계산, 그리고 결과를 register file에 저장하는 일을 병행할 수 있게 되었다. 이런 병렬 operation은 특히 32bit 부동소수점 DSP에서 두드러졌다. 그래서 이때부터는 single cycle내에서 몇 개의

multiple instruction이 가능한 지가 주요 관심사가 되었고, 이로 인해 성능지표를 MIPS(Millions Instruction Per Second) 개념보다 MOPS(Millions Operation Per Second)나 MFLOPS(Millions Floating Operation Per Second) 형태로 표시하게 되었다. 둘째로는 내부 memory 용량의 증가로 인해 많은 응용분야에서 외부 memory 없이 사용이 가능해 졌다. 이것은 DSP 시스템 전체의 처리속도를 증가시켰다. 또한 PROM 계열의 memory를 사용한 DSP들도 등장하게 되었다. 셋째로는 circular buffer 사용을 위한 modulo addressing 및 hardware looping 등을 처리하기 위한 hardware address generator 및 program sequencer의 사용이 보편화 되었다. 그리고 넷째로는 package 기술의 발전으로 인해 100~200pin 이상의 package 사용이 가능해 졌고, 이는 곧 각종 multiple I/O ports의 내장을 가능케 하였다.

이때 등장한 고정소수점 방식의 DSP로는 AT&T의 DSP16A, TI사의 TMS320C50, NEC사의 uPD77C25 등이 있다. 또한 Motorola가 24bit 고정소수점 방식의 DSP56001로, Analog Devices사가 ADSP2100으로 DSP 시장에 새로이 뛰어 들었다. 그리고 32bit 부동소수점 DSP 분야에서는 1988년도에 TI가 1 μ m CMOS 기술을 이용한 TMS320C30을 내놓았는데, 이것은 60ns의 instruction cycle 시간으로 약 33 MFLOPS의 성능을 나타내었다.^[4] AT&T도 0.9 μ m CMOS 기술을 이용하여 DSP32C를 내놓았는데, 이는 80ns에서 28MFLOPS 정도의 성능을 갖는 것이었다. NEC의 uPD77240, Analog Devices사의 21020 등이 거의 이 시점에서 IEEE 754 floating-point standard를 사용하여 등장하였다.

3. 4세대 DSP

80년대 말경에서는 DSP 개발 분야에서 몇 가지 새로운 변화가 일어났는데, 이는 크게 ASDSP의 급속한 성장, multi-processing의 등장, 그리고 analog front-end 회로의 집적화로 대변할 수 있다. 그리고 각 회사들이 자기 나름대로 다양한 기능을 제공하기 위해 여러 다른 구조를 사용함으로

인해, 기술 개발 동향도 특정 DSP들의 구조적 특징을 위주로 해서 소개하고자 한다.

1) ASDSP

80년대 중반부터 시작된 ASIC(Application Specific IC) 개념은 DSP 분야에도 적용되기 시작하면서, 범용의 DSP 보다는 DSP core를 중심으로 특정 응용분야에 맞는 주변 회로를 첨가한 application specific DSP가 등장하였고 이 분야의 시장이 급속하게 증가하게 되었다.^[7] 예를 들면, 14bit ADC & DAC, codec, PLL, timer, I/O ports 등을 특정 응용분야에 맞도록 첨가하는 것이다. 그리고 이동통신 분야의 급속한 성장으로 인해 3~3.3V에서 동작하는 저전력 소모형 DSP가 많이 등장하였다. AT&T의 DSP1618은 DSP1600 core에 error correction processor와 bus manipulation unit 등을 첨가하여 이동통신의 핵심 알고리즘인 Viterbi algorithm을 최적으로 구현할 수 있도록 설계하였는데, 이를 이용하여 유럽 디지털 이동통신 표준 규격인 GSM baseband 기능을 일반 DSP의 절반 수준인 19MIPS, 그리고 전력소모는 3V에서 70mW 정도로 구현하였다.^[8] Motorola는 DSP56100 core에다가 14bit Sigma-Delta codec을 첨가한 DSP56156/56166을 발표하였고, NEC는 modem 시장을 겨냥하여 uPD77C25 core와 8bit microprocessor를 결합하여 uPD77810을 개발하였다. 이러한 DSP core 중심의 다양한 ASDSP chip의 개발은 앞으로 더욱 활기를 띠 것으로 보이며, 앞으로는 시스템 설계자가 자기 목적에 맞는 DSP를 직접 만들어 사용할 수 있는 경향

으로 나아가리라고 본다.

2) Multi-processing/Parallel processing

초창기의 DSP들은 parallel processing을 염두에 두지 않고 설계 했기 때문에 두 개의 DSP chip을 연결하려면, 별도의 외부 회로가 필요했다. 그런데, 80년대 후반 이후의 3세대 DSP 구조가 어느 정도 DSP 알고리즘을 효율적으로 처리할 수 있게 되자, 고속 처리에 관한 관심이 증대되면서 이를 실현하기 위한 방안으로 multi-processing과 parallel processing에 대한 연구개발이 시작되었다. 실제로 많은 DSP 알고리즘들은 MIMD processing 형태로 해서 multiple DSP로 분산처리가 가능하다. 4세대에서 이루어진 multi-processing은 우선 몇 개의 DSP chip을 shared memory나 특별한 communication link를 통해 외부적으로 연결하여 성능을 향상시키는 것이 었다.^[9] 우선 shared memory를 사용하는 방식은 memory의 공유를 통하여 DSP들간에 data와 program을 공유하는 방식이다. 이 방식에도 세부적으로는 여러 가지 방안이 있으나, 근본적으로는 소수의 DSP를 연결할 때 주로 사용한다. 1990년에 Motorola가 발표한 DSP96002는 32bit external bus port를 2set 가지고 있는데, 다른 DSP를 slave형태로 연결하여 그 memory를 access하거나 또는 공용 memory를 access 할 수 있게 설계 되어있다.^[10] DSP96002는 또한 division이나 square root 등의 특수 기능을 hardware적으로 처리하여 관심을 모았다(표 5 참조).

Multi-processing의 또 다른 방식은 TI사의

〈표 5〉 Multi-processing 기능을 갖고 있는 DSP들

Feature	Motorola DSP96002	TI TMS320C40	Analog Devices ADSP21062	AT & T DSP3210
External memory buses	2	2	1	1
Serial ports	0	0	2	1
Internal RAM	8Kbytes	8Kbytes	256Kbytes	8Kbytes
Comm/link ports	0	6	6	0
Debug port	Yes	Yes	Yes	No

TMS320C40과 Analog Devices사의 ADSP21060 (일명 SHARC)에서 채택한 특별 communication port의 사용이다. 1991년에 TI사가 TMS320C40을 내놓았는데, 이 chip은 byte-serial 형태의 communication channels을 6개 갖고 있어서, 이를 통해 다른 C40 DSP들을 연결하여 multi-processing 형태로 사용할 수 있게 하였다. 각 channel은 자체 DMA port를 갖고 있으며, 20 Mbytes/sec의 속도로 data를 전송할 수 있기 때문에 최대 120Mbytes/sec의 data 전송이 가능한 것이다. 이 DSP는 또한 32bit external bus port를 2 set 가지고 있어서 bus-oriented multi-processing도 가능 하도록 되어있다.

Analog Devices사의 ADSP21060(일명 SHARC)도 ADSP21020 32bit DSP core를 중심으로 해서 I/O controller를 내장하고 있는데, 이는 4bit serial 형태의 communication ports를 6개 갖고 있고, 2개의 serial ports(40Mbps/sec), 그리고 1개의 parallel port를 사용함으로써 multi-processing 환경을 제공하고 있다. 또 이 DSP는 512kbyte on-chip SRAM을 내장하고 있어서 상당히 많은 응용 분야에서는 on-chip memory만으로 동작이 가능하다. 이로 인해 최대한 120MFLOPS의 성능을 가질 수 있게 되고, 6개의 communication ports를 동시에 사용할 경우 최대 240Mbytes/sec의 데이터 전송이 가능하게 된다.

3) Analog 회로의 집적화

DSP chip의 성능이 어느 정도 수준에 이르면서, modem과 같은 음성신호 처리 과정에서 필수 요소인 A/D 변환의 기능도 chip 안으로 흡수하고자 하는 연구 개발 노력이 시작되었다. 그리고 90년대에 들어서면서 IC 제조 기술도 analog 회로와 digital 회로를 한 chip내에 구현하는 mixed-signal chip의 수율이 어느 단계에 이르러서도 이러한 노력이 가능하게 되었다. 특히 1980년대에 많은 연구가 진행된 Sigma-Delta modulator에서 사용되는 Sigma-Delta A/D 변환의 경우에는 많은 부분을 디지털 회로로 구현할 수 있고, 또 analog 부분은 매우 적은 내용(비교기, OP amp, 그리고 약간의 capacitors)으로 처리가 가능함으로

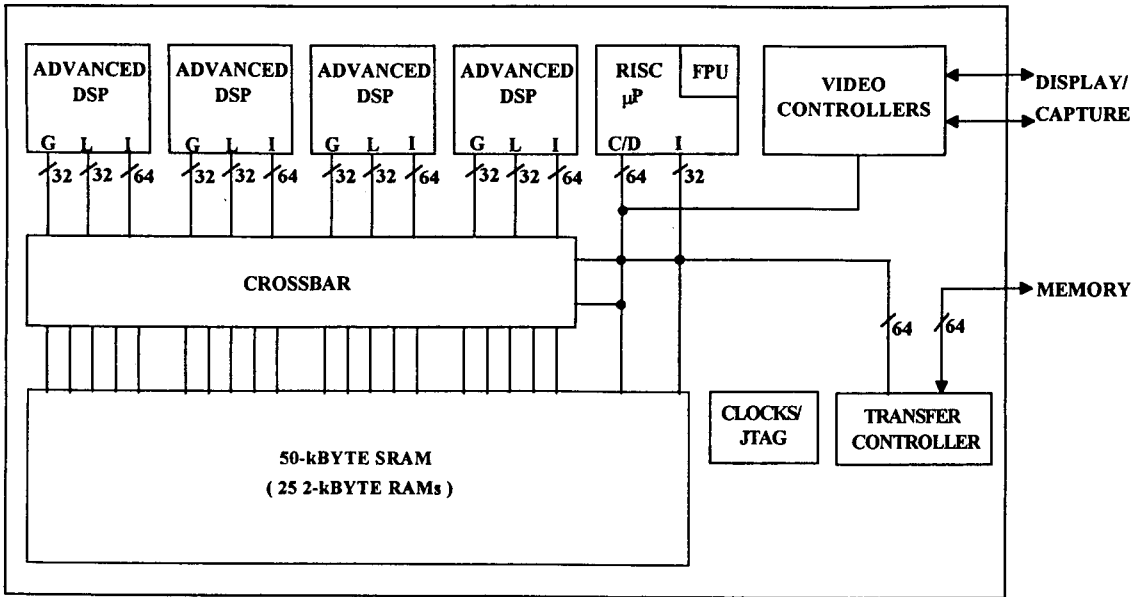
mixed-signal chip으로의 제작이 비교적 용이하게 되었다. 1990년말경에 Motorola는 DSP56100 core에다가 14bit Sigma-Delta codec을 첨가한 DSP56156/56166을 발표하였다. 이는 디지털 이동통신용 음성 신호 처리를 위한 ASDSP라 할 수 있는데, DSP56156은 특별히 유럽 방식용으로, 그리고 56166은 미국 방식용(VSELP vocoder)으로 개발한 것이다.^[10] AT&T의 DSP16C도 cellular 시장을 겨냥하여 DSP16A core에 음성신호 처리를 위한 linear codec을 첨가하였고, Analog Devices사의 ADSP21MSP50도 ADSP2111 core에 linear codec을 첨가하였다. 앞으로 DSP는 이전에 analog로 처리되던 많은 부분들을 최소화한 analog 회로와 더불어 digital 방식으로 변환하여 chip내에 구현하는 방향으로 나아가리라고 본다.

4. 5세대 DSP(현재 개발 방향)

90년대에 들어서면서 multimedia 시스템이 각광을 받게 되고, 이에 따라 digital audio 또는 고화상도의 video signal을 실시간에 처리할 수 있는 고속 DSP에 대한 요구가 더욱 증대되었다. 따라서 이를 실현하고자 하는 시도가 현재 크게 두 가지 방향에서 이루어지고 있다. 그 하나는 high-level parallel 구조에 대한 연구이고, 또 다른 하나는 새로운 고속 소자 기술을 이용하고자 하는 연구이다.

1) Parallel 구조를 통한 고속 DSP

최근 들어서 IC 제조 기술이 0.5um 3-level metal CMOS까지 가능해지자, 4세대에서 여러 개의 DSP chip을 연결해서 구현했던 multi-processing 구조는 한 chip내에 multiple DSP core를 구현하는 high-level parallel 구조 방향으로 나아가고 있다. 이의 대표적인 DSP는 TI사의 TMS320C80(일명 MVP)이다.^[11] 이 MVP chip은 4백만개의 transistors로 구성되어 있는데, 4개의 32bit DSP core와 한개의 32bit RISC CPU, 이와 연결된 50kbyte의 고속 crossbar shared memory, 그리고 video controller를 포함하는 새로운 parallel 구조를 갖고 있다. 그래서 이 chip은 50MHz cycle에서 2BOPS(Billion Operations



〈그림 1〉 TM320C80 MVP의 구조도

Per Second)의 계산 속도를 갖는 것으로 알려졌다. 〈그림 1〉은 MVP chip의 간략한 구조를 보여주고 있다. 4개의 DSP core와 RISC CPU는 독립적 operation을 수행할 수 있고, DSP core는 64bit instruction word를 사용하면서 2kbytes instruction cache를 통해 single cycle execution을 수행하고, RISC CPU는 64bit FPU를 갖고 4kbytes instruction cache를 통해 역시 single cycle execution을 수행한다. 그리고 on-chip crossbar는 single cycle 내에서 15 개의 RAM access를 동시에 가능하게 함으로 최대 전송속도는 4.2Gbytes/sec나 된다. 또한 이 chip은 각종 development tool과 함께 multi-processing executive program을 별도로 제공하고 있다. MVP chip은 특별히 video signal의 실시간 처리를 그 응용 분야로 고려하여 설계된 것으로써 JPEG, H. 261, MPEG 등에 적절하게 이용될 것으로 보인다.

Matsushita가 1994년도에 발표한 VDSP2도 0.5um triple-metal CMOS기술을 사용하고 multiple processing unit을 내장함으로써 200MIPS(약 2BOPS 이상)의 처리속도를 보여주는 video DSP

이다.^[12] 이 chip은 특별히 Macroblock-level pipeline과 SIMD-type vector pipeline으로 구성된 2단계의 parallel processing 방식을 사용하고 있다. VDPS2 chip은 크게 DSP core, variable length coding/decoding processor, DCT processor, 그리고 3종류의 interface unit으로 구성되어 있다. 이중 DSP core는 한 개의 DPCU(Programmable Control Unit)과 4개의 VPU(Vector Processing Unit)으로 이루어져 있다. DPCU는 16bit ALU, 16x16 bit multiplier, 32bit shifter, 그리고 34k 정도의 RAM과 register들로 구성되어 있고, VPU는 16bit enhanced ALU, 16x16bit multiplier, 24bit accumulator, 그리고 5block으로 나누어진 23k 정도의 RAM blocks과 register들로 구성되어 있다. 이 chip은 3.3V에서 10ns의 instruction cycle을 갖고 있는데, 4.2W 정도의 전력소모를 보이고 있다. Matsushita는 이를 통해 MPEG2 encoding 알고리즘을 VDPS2 2개와 motion estimation unit 1개로 실현하고, MPEG2 decoding 알고리즘은 VDSP2 1개로 실현하였다.

2) 새로운 소자 기술을 이용한 고속 DSP

Parallel 구조와 더불어 이루어지고 있는 새로운 시도는 BiCMOS나 GaAs와 같은 새로운 제조 기술의 사용을 통한 고속 DSP의 실현이다. NEC가 1993년에 발표한 VSP3은 0.5um BiCMOS 기술을 이용하여 3.3V 300MHz에서 1.5BOPS의 성능을 나타내는 16bit video signal parallel-pipelined processor이다.^[13] VSP3 chip은 3ns의 access 속도를 갖는 146kbyte의 SRAM, address generation unit, 16bit ALU와 20bit accumulator를 포함하는 6-stage variable pipelined arithmetic unit, 16bit binary convolver와 24bit adder를 포함하는 7-stage variable pipelined convolver unit, 그리고 sequence control unit과 host interface unit 등으로 구성되어 있다. 이를 통해 VSP3은 H.261 알고리즘에 근거한 30-frame-per-second full CIF data의 실시간 coding을 수행할 수 있었다. 물론 이 chip은 범용 DSP라기보다는 video signal processor이지만 결국 이것도 DSP의 한 부류라고 생각할 수 있다.

미국 Caltech내에 있는 JPL 연구소에서는 NASA의 Deep Space Network에서 사용될 communication chip set(3 ASICs)을 35만개의 cell을 갖는 GaAs gate array 기술을 이용하여 실현함으로써, GaAs 기술을 이용한 고속 DSP chip의 실현 가능성을 입증하였다.^[14] GaAs 기술에서는 자체 intrinsic delay는 작지만 interconnection 길이와 fanout이 증가할 때 그 propagation delay가 급격히 증가하는 문제가 있는데, JPL에서는 설계 초기단계에서 floorplan과 block partitioning, 그리고 delay 계산 program을 적절히 연결하여 사용함으로써 이 문제를 해결하는 새로운 설계 방법론을 사용하였다. 이로 인해 이 chip set은 최대 389MHz에서도 동작하는 성능을 나타내었다. 이와 더불어 Zoran 이란 회사는 GaAs DSP chip set을 새로이 개발하고 있는 것으로 알려졌다.

5. 개발 환경 S/W의 발전

초창기의 DSP chip들은 응용 program의 개발을 돕기 위해 assembler/linker 외에 simulator 정도의 S/W환경을 제공하였다. 그리고 80년대 중반

이후 부동소수점 방식의 DSP를 위해 C compiler가 제공되었으나 code optimization 문제 등으로 인해 널리 사용되지는 못하였다. 그러나 DSP의 성능이 향상되면서 addressing space가 커지고 또 응용 program의 크기도 커짐으로 인해 C 언어를 사용한 programming이 점차 확대되었다. 또한 대부분의 DSP 개발 회사들이 여러 응용분야에 맞는 function library를 미리 만들어 제공하게 됨으로 high-level language의 사용이 손쉬워졌다. 그러나 아직도 time-critical 한 부분(특히 알고리즘의 inner loop 등)은 assembly code로 작성하는 것이 보통이다.

위와 더불어 개발환경 software분야에서 새로운 개념이 등장했는데, 이는 Spectron사의 Spox와 Comdisco사의 SPW(또는 Synopsys사의 COSSAP) 같은 software이다.^[4] Spox는 일종의 DSP operating system인데 signal processing이나 계산 중심 응용 program에 적합하도록 만들어진 high-level application 환경이라 할 수 있다. 그리고 SPW 또는 COSSAP tool set은 icon을 이용하여 graphical하게 data-flow diagram을 설계하고, 설계된 내용을 multiple DSP로 적절히 분산해서 특정 DSP에 적합한 C code나 assembly code로 변환하여 준다. 이는 시스템 설계자에게 한 단계 위에서 빠른 시간내에 설계를 수행할 수 있는 환경을 제공하여 준다고 하겠다. 90년대에는 multi-processing이 보편화 되면서 병렬처리가 가능한 C compiler가 개발되기 시작했는데, 앞으로 이 분야에서는 많은 개선 연구가 진행되리라고 본다.

V. DSP chip 선택시 고려 사항

앞에서 언급한 것처럼 현재 시장에 나와있는 DSP chip의 종류와 기능은 매우 다양해서 시스템 설계자의 입장에서 자신의 응용분야에 맞는 DSP chip을 선택하는 일은 그리 쉬운 일이 아니다. 이것은 단순히 최대 성능이나 기능적인 면만을 비교하는 수준이 아니라 자신의 시스템과의 interface,

software 개발 환경, 가격 등의 여러 가지 항목을 종합적으로 검토하는 작업이 요구된다. 일반적으로 시스템 설계자가 DSP chip을 선택할 때 고려하는 사항은 크게 보아 DSP의 기능적인 측면, software & hardware 개발 환경의 제공, 시스템 interface 측면의 세 가지 분야로 분류할 수 있다.^[15]

첫째로 DSP의 기능적인 측면에서는 처리속도, data format(고정소수점 방식 또는 부동소수점 방식), instruction set의 종류, 그리고 memory 용량 등을 들 수 있다. 시스템 설계자가 자신의 응용 시스템에서 사용할 알고리즘이 어느 정도의 계산 속도와 dynamic range를 요하는지 검토하여, 최소한의 처리 속도와 적절한 data format을 선정해야 한다. 특히 data format의 경우, 고정소수점 방식은 현재 16bit(또는 24bit)으로 구성되어 있어서 dynamic range가 80dB(또는 140dB) 정도 이고, 부동소수점 방식에서는 32bit을 사용함으로 dynamic range가 1500dB 이상이 된다. 그러므로 부동 소수점 방식은 accuracy가 높은 반면, 가격이나 소모 전력이 큰 문제점이 있다. 또한 내부 memory 용량의 적정성이 각종 응용분야에 따라 차이가 많으므로 적절한 DSP chip을 선정하는데 중요한 항목이 된다. <표 6>은 고정소수점 방식의 DSP와 부동소수점 방식의 DSP가 갖는 기능적 차이점을 간략히 보여주고 있다.

둘째는 software 및 hardware 개발 환경의 제공이 어느 정도이며 또한 이것들이 문제점 없이 검증된 내용인지가 중요하다. Software 측면에서는

assembler/linker, simulator, debugger, C/C++ compiler, application function library 등의 제공 여부가 시스템 개발자에게는 매우 중요한 선정 항목이 된다. 또한 hardware board, hardware emulator 등의 hardware적인 개발 환경의 제공도 고려해야 하는 중요한 사항이다. 앞으로는 병렬처리 C compiler, VHDL library 등의 제공여부도 고려 대상이 될 것이다.

셋째는 시스템 interface측면 인데, 특히 외부 memory와의 data 전송 처리 방식, serial & parallel I/O port의 개수, 시스템 data 전송 속도, analog interface 유무, 그리고 keyboard나 screen 등과의 inteface 등과 같은 인간 공학적인 측면도 있다. 특히 내부 memory 용량을 보완하기 위해 외부 memory를 많이 사용 하게 되는데, 이 경우에는 그 연결 방식이나 최대 가능 용량 등을 잘 고려하여야 한다.

넷째로는 시장 환경적인 요소인데, 가격이나 second sourcing의 가능여부, 다양한 응용program의 손쉬운 입수가능성 등도 고려해야 할 것이다.

VI. 맺는말

DSP chip의 성능이 계속 발전되어 감에 따라 그 응용분야는 이전보다 더욱 넓어져 가고 있다.

<표 6> 고정소수점과 부동소수점 방식 DSP의 차이점

	고정소수점 방식	부동소수점 방식
1. Bit size	16bit/24bit	32bit
2. Dynamic range	Mid-range 정도(90~140dB)	매우 큼(>1500dB)
3. accuracy	적절	매우 높음
4. 처리속도	빠름	늦음
5. Power 소모	작음	높음
6. 가격	낮음	높음
7. 주요응용분야	- Telecommunications - Filters/Consumers	- Graphics/Image processing - Simulation

또한 이에 발맞추어 기능을 다양화 시킨 DSP chip들이 많이 개발되고 있다. 본 논고에서는 특별히 90년대에 들어서면서 관심이 집중되고 있는 고속 DSP chip의 개발 동향에 대해 실제적인 DSP chip의 기능을 검토해 봄으로 살펴보았다. 앞으로 multimedia 및 video signal processing 시장의 확산으로 인해 고속 DSP chip의 내용도 크게 발전될 것이고, 새로운 제조 기술과 구조 설계 기술을 사용한 고속 DSP chip은 더욱 발전하여 2000년경에는 수십~수백BOPS 정도의 처리 속도를 갖는 DSP들이 등장할 것이다. 최근 들어 국내에서도 가전업계 중심으로 DSP core를 중심으로 한 ASDSP를 개발 하고 있고, 학계에서는 연세대학교에서 graphic processing에 적합한 DSP를 개발하였으며, 전자통신연구소에서도 디지털 이동통신용 vocoder에 적합한 DSP chip을 개발하였다. 그러나 아직 국내의 DSP chip 개발 기술은 시작단계에 불과하다고 하겠다. 그런데 앞으로 전개될 DSP의 다양한 응용분야와 엄청난 시장을 생각해 볼 때, 다양한 DSP chip의 국내 개발이 여러곳에서 꼭 이루어져야 한다고 본다. 이를 위해 산학연 분야의 기술자들이 적절한 연합활동과 경쟁의식을 갖고 연구개발에 임하고, 정부의 적절한 환경 조성 노력이 한데 묶여져서, DSP chip 분야의 세계적인 기술 수준을 한국이 이끌어 갈 수있는 계기가 빠른 시일내에 이루어지길 간절히 바라는 바이다.

끝으로 본 논고의 초안을 읽고 교정에 도움을 준 본 연구소 집적회로개발실의 어익수 선임과 유하영 책임연구원에서 감사를 표하는 바이다.

참 고 문 헌

- [1] Dave Bursky, "DSPs expand role as cost drops and speed increases", Electronic Design, pp.53~81, October 10, 1991.
- [2] Craig Addison, "Digital Signal Processors Acceptance, at last", Electronic Business Asia, p.71, April 1994.
- [3] Hassan M. Ahmed, Richard B. Kline, "Recent Advances in DSP systems", IEEE Communications Magazine, pp.32~45, May 1991.
- [4] Ray Weiss, "32bit Floating-point DSP Processors", EDN, pp.127~146, November 7, 1991.
- [5] Teri Sprackland, "DSP technology roars into consumer markets", Electronic Business, pp.64~65, July 9, 1990.
- [6] Edward A. Lee, "Programmable DSPs : A brief Overview", IEEE Micro, pp.14~16, October 1990.
- [7] Dave Bursky, "Evolving DSP chips do more", Electronic Design, pp.51~63, December 13, 1990.
- [8] "A DSP optimized for GSM standard", Electronic Engineering, p.55, June 1994.
- [9] Mark Clayton, "Design Considerations for multi-processing DSP Architectures", ICSPAT 94, pp.511b~511g, October 1994.
- [10] James P. Leonard, "EDN's 1994 DSP-chip Directory", EDN, pp.75~135, June 9, 1994.
- [11] Robert J. Gove, "The Multimedia Video Processor(MVP) : An Architecture for Advanced DSP Applications", ICSPAT 94, pp.854~859, October, 1994.
- [12] M. Toyokura 외 19명, "A video DSP with a Macroblock-level-pipeline and a SIMD type Vector-pipeline Architecture for MPEG2 CODEC", ISSCC 94, pp.74~75, February 1994.
- [13] Toshiaki Inoue 외 16명, "A 300 MHz 16b ABiCMOS Video Signal Processor", ISSCC 93, pp.36~37, February 1993.
- [14] William D. Whitaker 외 9명, "Implementation and Performance of GaAs Digital Signal Processing ASICs", ASIC conf. 93, pp.386~394, September, 1993.

- [15] Warren B. Cope, "Selecting a DSP chip is no simple chore", Electronic Products, pp. 25~28, July 1990.

저자 소개



金 在 錫

1955年 10月 1日生
 1977年 2月 연세대학교 전자공학과 학사
 1979年 2月 한국과학원 전기및 전자공학과 석사
 1988年 8月 Rensselaer Polytechnic Institute 전자공학과 박사

1979年 2月~1984年 4月 전자기술연구소 선임연구원
 1988年 8月~1993年 5月 AT&T Bell Lab. MTS(Member of Technical Staff)
 1993年 5月~현재 한국전자통신연구소 집적회로개발실장

주관심분야 : High performance VLSI design, CAD, 통신용 알고리즘