

ASIC 설계기술

李 哲 東

電子部品綜合技術研究所
注文型半導體設計센터

I. ASIC개요

1. ASIC의 정의

일반적으로 범용 IC는 반도체 생산업체가 불특정다수인 시스템 수요자를 위하여 개발하여 공급한다. 그러나 IC 사용자인 시스템업체가 저가격화, 고신뢰화, 고성능화, 소형화, 개발기간 단축, 저전력소모 등을 목적으로 자기 시스템의 특정기능이나 블록부분을 하나의 IC로 집적화시켜 개발하는 경우가 있다. 이 경우의 IC는 특정한 수요자만을 위한 회로이기 때문에 특정용도 집적회로(ASIC : Application Specific Integrated Circuits) 또는 전용 IC라고 하고, 상대적인 것을 범용 IC라고 한다. <표 1>에 ASIC과 범용 IC를 비교하였다. 여기에서 ASIC의 주체, 설계 및 개발비부담은 모두 시스템업체임을 알 수 있다.

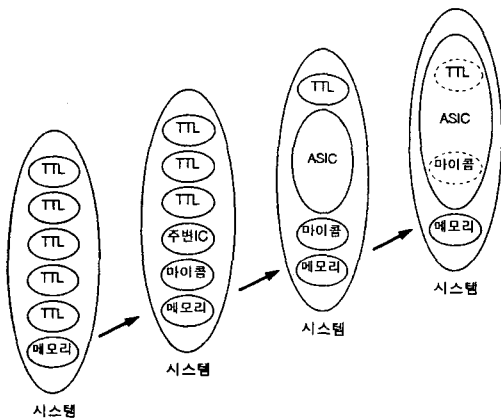
<표 1> ASIC과 범용 IC의 비교

구 분	ASIC	범 용 IC
개발주체	시스템업체	반도체 생산업체
개발비부담	시스템업체 혹은 디자인센터	반도체 생산업체
칩 설 계	시스템업체 혹은 디자인센터	반도체 생산업체
참 여 자	시스템업체와 디자인센터 공통	반도체 생산업체
용 도	전용	범용

2. 시스템 동향

시스템업체가 주체인 ASIC은 시스템에서 메모리나 마이크로프로세서와 함께 중요성이 점차 높아지고 있다. 시스템설계자의 입장에서 요구하는 사양을 가진 ASIC을, 빠르고 싼 가격으로 얻는다는 것은 오랜 희망이었다. 이 희망을 실현하기 위하여 지금까지 여러 가지 방법이 시도되었다. 그 중 하나는 바이폴라 마스타슬라이스방식이다. 이것은 마스크의 배선공정만을 변경하여 목적의 IC를 실현하는 것으로서, 현재의 게이트방식의 근간이

된다. 그러나 마스타슬라이스방식은 당시의 DA 기술로는 유저에게 충분한 지원을 하지 못했으며, 회로설계부터 마스크화까지의 공정에서 반도체 전문가를 필요로 했다. 또 설계작업도 수작업 위주였기 때문에 개발기간이 길었다. 다음은 싱글칩 마이크로컴퓨터(이하 마이콤이라 한다)로 칩 상의 ROM에 응용소프트웨어를 부가하여 희망하는 기능을 가진 IC로 실현하는 방법이다. 싱글칩 마이콤은 응용소프트웨어에 의하여 희망하는 기능을 구현한다. 그러나 회로보호를 위하여 사용자는 응용소프트웨어뿐만 아니라 하드웨어인 마이콤 회로도 변경하기를 원한다. 이를 해결할 수 있는 ASIC 설계 방법 중의 하나가 표준셀 방식, 즉 마이콤을 메가셀로 한 표준셀 방식이 바로 그것이다. <그림 1>은 시스템의 회로요소가 어떤 형태로 변화되는가를 보여준다. 초기의 시스템은 여러 개의 TTL과 메모리로 구성되었다. 차츰 TTL의 수는 줄어들고 마이콤과 마이콤 주변IC로 대체되기 시작했다. 그러다가 마이콤 주변IC와 TTL을 묶어서 하나의 ASIC으로 개발한다. 그후 TTL, 마이콤 및 ASIC을 하나의 ASIC으로 개발하여 시스템은 메모리와 ASIC으로만 구성됨을 보여주고 있다.



<그림 1> 시스템 동향

3. ASIC의 과거와 현재

완전주문형집적회로의 설계는 1960년대부터 시작되었지만 리스크가 크고, 설계에 많은 시간이 소

요되고, 대량의 응용이 없고, 비용이 컸으므로 1980년대 초기까지는 활발하지 않았다. 수천게이트의 단순회로에도 개발기간이 2년이상 걸리고, 수십만 달러의 비용을 요구하지만, 그럼에도 불구하고 완성하고 난뒤 동작하지 않을 확률이 컸다. 이는 1960년대와 1970년대의 설계가 사람의 손에 의존하였기 때문이다. 예를 들면, 1970년대에 완전주문형집적회로 설계에 10년간을 종사한 기술자는 “10년 중 8년을 도면의 색을 칠하는데 보냈다”라고 말할 수 있다. 즉, 기술자는 배선검사, 디자인 규칙검사 등의 검증을 위하여 몇 개월씩 허비하지 않으면 안된다는 것을 의미한다. 1981년경까지 IC설계는 대부분 수작업으로 이루어졌다. 컴퓨터 지원기능도 고가의 컴퓨터화한 제도용구에 불과하였다.

ASIC을 발전시킨 요인은 다음의 두 가지이다. 첫째, 1980년대가 되면서 IC의 고집적화로 인하여 집적회로 규모가 VLSI(십만~천만소자의 집적규모)단계로 바뀌었다. 이는 대규모의 논리회로뿐만 아니라 메모리, A-D변환기, 각종연산기등도 하나의 칩상에 집적화가 가능하게 되었다. 둘째는 설계 기술, DA/CAD(Design Automation/Computer Aided Design)를, 설계용 워크스테이션 등의 관련 기술이 ASIC의 발달과 함께 급속하게 발전된 것이다. 특히 IC CAD에 기여한 것은 새로운 컴퓨터, 즉 엔지니어링 워크스테이션이다. 이것은 IC 설계라는 복잡한 일을 수행하기에 필요한 메모리 용량과 처리능력을 충분히 갖춘 강력한 컴퓨터로써 가격효율이 좋다. 최초의 워크스테이션이 1982년에 출현된 이래 급속하게 발전했다.

초기의 ASIC기술은 TTL로 만들어진 SSI/MSI (Transistor Transistor Logic Small Scale Integration/Medium Scale Integration)급의 표준 IC를 한개 혹은 수개의 ASIC칩에 집적하여 회로기판상의 부품수를 줄이는데 이용되었다. 일반적으로 무렵의 CAE(Computer Aided Engineering)는 회로도 입력툴에 불과하였다. 설계자가 사용하는 기술과 툴이 발전함에 따라 초기의 2000게이트 이하로부터 수만게이트에 도달하게 되었다. 툴로서는 논리입력과 시뮬레이션에 이어 실리콘 컴파일러가

개발되었다. 이 틀에 의하면 ASIC 레이아웃은 완전하게 자동화되어, 시스템엔지니어는 희망에 따라 사양을 결정하는 최대한의 유연성을 이용할 수 있다. 즉 제품의 실현방법으로서 동일한 논리정보(네트리스트)로부터 개발기간이 짧은 게이트어레이의 레이아웃을 생성하는 것도, 컴파일러에 의하여 최적화된 셀베이스 IC의 레이아웃을 생성하는 것도 가능하게 되었다.

그리고 1987년에는 논리합성틀이 시장에 출하되어 복잡한 회로의 설계시간을 대폭 단축하고, 동시에 제품의 품질을 높이는 계기가 되었다. 논리합성틀을 사용하면 유저는 제품의 상세한 게이트레벨 대신 회로의 기능으로 ASIC을 기술한다. 논리합성틀은 필요한 기능의 논리회로(네트리스트)를 자동으로 생성하고, 이를 면적과 속도에 맞도록 최적화한다.

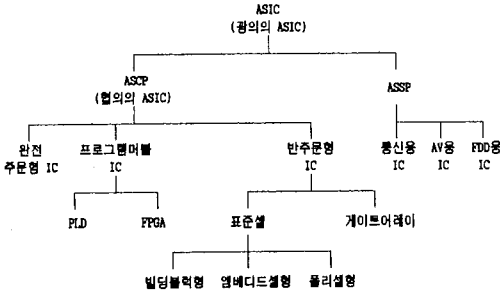
4. ASIC의 장래

VLSI는 1990년대의 100만 트랜지스터로부터 향후 수천만 트랜지스터까지 집적도가 증가될 것이다. 이와같이 고집적화가 진행될 때, 설계방법이나 DA에 발생하는 문제 및 장래에 대하여 살펴본다. 첫째, 설계 데이터베이스의 재활용이다. 대규모의 회로를 매번 설계하기에는 많은 시간이 소요된다. 따라서 이미 확보하고 있는 설계 데이터를 잘 활용하는 기술이 중요하게 된다. 관련기술로서는 설계데이터의 보관, 검색, 관리, 변경 등이다. 둘째, 설계를 보다 고위로 행하는 방법이다. 설계과정의 많은 부분을 컴퓨터에 맡기고, 사람이 직접 수행하는 부분을 최소한으로 줄이는 것이 필요하다. 즉 사람이 수행하는 규칙적인 일을 컴퓨터가 수행하도록 하는 방법(합성)을 많이 개발하자는 것이다. 설계단계에서 논리합성을 수행하는 방법의 확립이 중요한 과제이다. 논리합성을 통한 논리회로는 종래방법에서 설계한 것과 비교하여 소요면적, 지연시간의 양면에서 동등이상일 것이다. 이상과 같이 금후의 설계방법, DA에서는 하드웨어기술레벨부터 고위의 동작레벨로 이행이 일어남과 동시에 레이아웃, 지연시간 등의 물리적, 전기적인 특성에 대하여 결합이 깊어진다. 셋째, 테스트를

위한 설계이다. 논리회로가 대규모가 되면, 기능설계나 논리설계의 과정에서 테스터빌리티를 중시한 설계를 하는 것이 중요하게 된다. 현재는 게이트어레이나 표준논리IC의 일부에 스캔패스법에 의한 내부 논리게이트 진단이 가능한 설계가 이용된다. 금후 LSI전체의 진단을 효율 좋게 행하기 위하여 빌트인셀프테스트(Built-In Self Test : BIST) 등의 도입을 검토하지 않으면 안된다. 또 장래는 소요면적과 지연시간만을 고려하여 행해지는 논리합성에서도 테스터빌리티가 보증된 논리회로를 생성하게 된다. 테스터빌리티를 고려하여 설계된 모듈이 설계데이터로 남는 경우는 테스트패턴도 라이브러리화하는 것이 필수로 된다. 넷째, DA/CAD 시스템의 발전이다. 설계를 지원하는 틀은 게이트나 패턴수의 증대에 대하여 종래 알고리즘을 개선하거나 컴퓨터의 속도를 증가시켜야 한다. 이러한 논리회로의 대규모화에 대하여 논리시뮬레이터 등에서 행해지기 시작하는 전용시뮬레이션 등의 도입과, 이것에 적합한 새로운 알고리즘의 개발이 필요하게 된다. 또 설계레벨의 고위화에 따라 기능·논리혼합시뮬레이터(믹스드시뮬레이터)같이 새로이 설정된 레벨에의 설계를 지원하는 틀도 정비되어야 한다.

II. ASIC 분류

ASIC은 1980년대 초기에 미국의 데이터퀘스트사가 사용한 명칭으로서, 고객의 요구에 맞게 설계하여 제작한 주문형 LSI의 총칭으로 널리 사용되고 있다. ASIC의 분류는 시대와 함께 변할 수 있으나 일반적으로 <그림 2>와 같이 분류한다. 넓은 의미의 ASIC은 단일 고객을 위한 ASCP(Application Specific Custom Products : 좁은 의미의 ASIC)와 복수 고객을 위한 ASSP(Application Specific Standard Products)로 분류되며, ASCP는 완전주문형 IC, 반주문형 IC 및 프로그래머블 IC로 분류된다. 반주문형 IC는 표준셀 및 게이트어레이가 대표적으로 열거된다. ASSP는 유저가



<그림 2> ASIC의 분류

다르더라도 동종의 시스템에 사용 가능한 특정용도를 위한 표준품으로써, 범용 ASIC의 한 종류이다.

1. ASCP(Application Specific Custom Products) : 사용자 한 명의 주문에 따라 제조되는 IC로 협의의 ASIC이다.
2. ASSP(Application Specific Standard Products) : 다수의 사용자를 대상으로 제공되는 IC로써, 사용자의 사용용도에 관계없이 시스템의 용도에 따라 제작되는 표준 IC로 광의의 ASIC이다. ASSP의 예로서는 통신용 IC, AV(Audio Visual)용 IC, FDD(Floppy Disk Driver)용 IC 등이 있다.
3. 완전주문형 IC : 반도체메이카가 특정고객을 위한 전용의 설계를 행한 LSI이다. 회로 설계자는 고객으로부터 요구받은 기능회로를 설계할 때 CAD툴을 사용하여 마스크패턴인 레이아웃을 하나하나 제작한다. 가장 적은 면적으로 IC의 구현이 가능하나, 회로 설계 기간이 길며, 개발비용이 비싸고, 레이아웃설계 전문가가 필요하다.
4. 프로그램머블 IC : 프로그램머블 IC는 PLD(Programmable Logic Device)와 FPGA(Field Programmable Gate Array)로 구분된다. PLD는 수요자가 내부의 배선을 프로그램에 의해 접속시켜서 필요한 논리회로를 작성한다. AND와 OR 게이트의 어레이로 구성되어 있기 때문에 논리회로는 합과 곱의 형태로 표시되며, 대표적인 제품으로서는 PAL이 있다. FPGA는 PLD와 게이트어레이

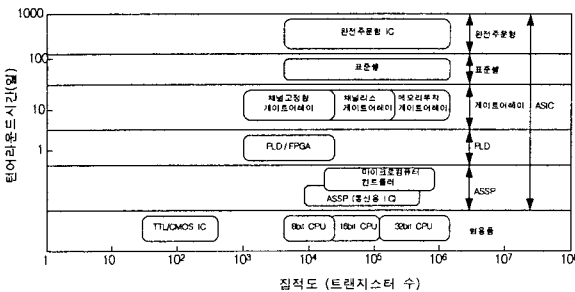
이의 장점을 이용한 것으로, PLD의 특징인 사용자 프로그램성을 유지하면서, 게이트어레이 구조를 하고 있어 고속, 고집적화가 가능하다. 이는 사용자가 프로그램을 함으로서 편의성이 우수하고, 낮은 시제품 제작비용, 짧은 개발기간, 소량제품의 개발 등의 장점을 가지고 있다.

5. 표준셀 : 동작과 성능이 입증된 논리기능과 아날로그 회로기능을 표준셀 라이브러리에 보관, 회로설계시 적합한 회로를 이용하여, 레이아웃 설계자동화(배치와 배선)로 반도체 전 공정을 수행하여 제작한다. 셀의 크기에 따라 빌딩블럭형과 임베디드셀형, 풀리셀형으로 분류한다. 셀은 수동 배치/배선으로 고집적이 가능하며, 칩 크기는 완전주문형에 비해 10~15% 크지만, 게이트어레이보다 20% 이상 작다. 표준셀의 특징은 대용량 메모리를 사용한 경우에 칩의 크기가 작으며, 메가셀이라는 이미 설계된 모듈을 이용하여 설계의 생산성을 높인다. 표준셀은 마스크를 제품마다 다르게 하는 것으로서 게이트어레이에 비해서 레이아웃의 자유도가 높고, 여러 가지의 기능을 칩상에 실현하는 것이 원칙적으로 가능하다.
6. 게이트어레이 : NAND, NOR와 같은 기본 논리게이트나 표준 논리소자를 규칙적으로 배열한 배선 이전까지를 미리 제조한 상태에서, 시스템업체가 요구하는 기능은 기본 블록들 사이의 금속배선용 주문형 마스크공정을 통하여 완성된다. IC 제작기간이 짧으며(4~6주), 마스터슬라이스 구조개선으로 회로의 기능 및 특성에 따라 선택범위가 확대된다. 배선만을 개별로 설계함으로써 회로가 구성되기 때문에 사전에 마스터어레이를 제조(확산 공정까지)하여 두는 것이 가능하다. 설계종료후 미리 만들어진 웨이퍼를 가지고 배선공정만으로서 웨이퍼공정을 마친다. 이것은 설계종료후 짧은 시간에 견품을 받을 수 있는 장점을 가진다.
7. 임베디드 게이트어레이 : <그림 2>의 ASIC

분류에는 표시되지 않았지만 게이트어레이의 장점과 표준셀의 장점을 조합한 상품으로서 엠베디드 게이트어레이가 최근에 발표되고 있다. 이는 게이트어레이에 메가셀을 만들어 둔 구조로써, 메모리 등의 메가셀 사양과 글루로직의 규모가 결정된 시점에서 (개별의) 마스타어레이를 개발한다. 글루로직을 포함한 설계가 종료되기 전에 마스타어레이는 배선 공정전까지의 제도가 종료되는 것이다. 설계 종료후는 배선공정만으로 샘플을 얻는다. 엠베디드 어레이는 메가셀을 가진 경우에는 표준셀과 같은 정도의 높은 집적밀도가 얻어짐과 동시에 게이트어레이와 같은 정도의 짧은 납기를 실현할 수 있는 특징이 있다.

8. 턴어라운드시간과 집적도의 관계

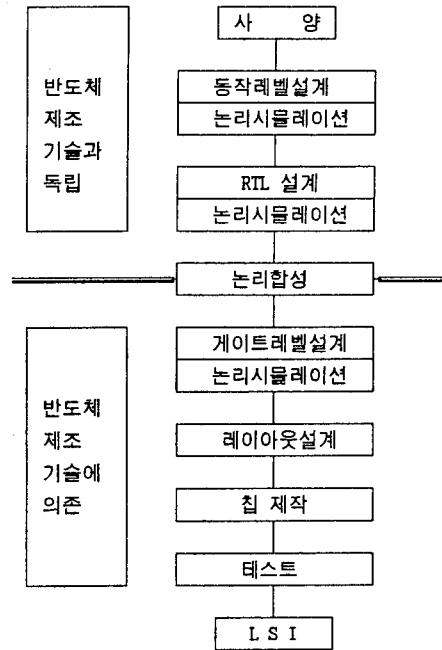
(그림 3)에 보인 바와 같이 완전주문형에 가까운 ASIC일수록 집적도가 크고 사용자가 희망하는 복잡한 기능을 하나의 칩에 실현하기 쉽지만, 반면 설계에 필요한 턴어라운드시간이 길게 된다. 게이트어레이, 프로그램머블 로직디바이스 등의 장점은 턴어라운드타임이 짧은 것이다. 사용자가 희망하는 기능 및 성능을 가진 LSI를 짧은 턴어라운드시간에 실현하는 것이 ASIC의 중요과제이다.



(그림 3) ASIC의 턴어라운드시간과 집적도의 관계

III. ASIC 설계흐름

80년대까지의 설계방법은 반도체제조기술에 의



(그림 4) ASIC 설계흐름

존적인 설계로서, 게이트설계(논리설계)와 레이아웃설계가 주류이다. 그러나 90년대 초반부터 반도체제조기술과 무관한 설계방법이 제안되고 있다. 반도체기술과 무관한 설계는 HDL(Hardware Description Language)이라는 하드웨어를 표현하기에 적합한 컴퓨터언어를 이용함으로써 가능하게 되었다. HDL은 LSI나 보드 등의 회로를 표현하는 전용언어이다. (그림 4)에 ASIC 설계흐름을 나타내었다.

1. 동작레벨설계/검증

동작레벨설계는 시스템기메이커가 ASIC으로 실현하고자 하는 ASIC의 기능, 성능, 외부핀의 기능이나 동작타이밍을 정의하는 단계이다. 이 사양 설계 과정에서 요구하는 기능의 실현방법 등의 방식검토를 행한다. 가장 추상도가 높은 동작(behavioral) 레벨의 설계데이터는 회로의 외부 입출력단자(신호)의 정의와, 그 회로 전체로서 실행하는 처리의 기술로 이루어진다. 처리의 기술은 HDL(Hardware Description Language)이라는

하드웨어를 표현하기에 적합하게 설계된 컴퓨터언어를 이용한다. 전체의 처리를 블록으로 분해하면 RTL의 설계데이터로 된다.

2. 기능설계/검증

회로의 기능을 하드웨어기술언어(HDL, VHDL 등)를 사용하여 작성하고, 기능시뮬레이션을 통하여 검증한다. 이 단계에서는 사용할 파운다리, 테크놀로지와 독립으로 설계가능하다. 여기에서는 기능구성요소의 결정, 기능블록도작성, 동작을 나타내는 상태천이도작성, 제어방식결정, 기능동작확인 등을 설계한다. 마이크로프로그램부, 랜덤논리부의 제어방식, 논리연산, 산술연산 등의 연산방식 등을 설계하고, 목표로 하는 LSI의 기능을 실현한다. 현재의 HDL은 주로 RTL 설계데이터를 기술하는데 사용되며, 게이트레벨 설계데이터도 표현 가능하다. RTL은 게이트레벨보다 추상도가 높다. 즉 동일한 논리기능을 표현하는데 필요한 데이터량이 적다. 이 때문에 설계나 시뮬레이션에 필요한 시간이 게이트레벨보다 적게 소요된다.

3. 논리설계/검증

기능설계결과를 게이트레벨까지 전개하는 것이 논리설계이다. 여기에서는 기능설계에서 결정되어진 논리사양을 만족하는 논리구성 및 게이트간의 접속관계를 규정한다. 검증된 기능기술을 이용하여 파운다리, 테크놀로지를 포함한 게이트레벨의 회로로 변환한다. 변환에는 목표로하는 테크놀로지와 셀라이브러리가 사용된다. 논리설계단계에서는 설계결과가 필요한 논리기능을 만족하고 있는가, 지연 및 타이밍제약이나 게이트 수 제약의 범위에 맞는가, 테스트 용이화의 배려가 되어 있는가 등이 체크된다. 한편 합성을 이용하지 않을 경우 ASIC 벤더로부터 제공되는 셀라이브러리를 사용하여 유저가 직접 논리회로를 설계한다.

셀을 사용하여 설계된 게이트어레이회로의 검증을 한다. 여기에서는 평선과 타이밍의 위반이 없는가가 확인된다. 타이밍검증에서는 셀고유의 지연과 배선에 의한 지연을 고려한 지연시뮬레이션이 행해진다. 배선지연은 레이아웃 전에는 배선이 확정

되지 않기 때문에 통계적으로 구한 가상배선장을 사용한다. 논리검증과는 달리 논리설계결과를 근거로 진단데이터의 생성, 즉 테스트패턴을 생성하고 그 패턴의 고장검출율을 고장시뮬레이터에 의하여 검증하는 것도 이 단계에서 행해진다.

4. 레이아웃설계(자동배치배선)/검증

예상배선장에 기인한 지연시뮬레이션결과가 기대치와 일치하면 레이아웃설계를 한다. 레이아웃설계는 논리시뮬레이션에서 검증된 네트리스트를 근간으로 셀을 배치하는 배치설계와 셀간을 배선하는 배선설계로 나누어진다. 레이아웃설계의 포인트는 칩면적을 작게하는 것과 배선장을 짧게하는 것이다. 칩면적은 가격을 좌우하고, 배선장은 특성(타이밍)을 좌우한다. 게이트어레이는 선택한 마스터어레이에 셀의 배치 및 배선이 가능해야 하며, 만약 불가능하면 마스터어레이를 변경하여야 한다. 고속동작을 위하여는 클럭신호의 스쿠가 작게 되도록 배선하는 것이 중요하다.

레이아웃에 의한 배선이 확정된 후 실배선의 지연시간을 사용한 최종 논리회로의 동작 검증을 행한다. 프로세스기술의 미세화에 따라서, 배선지연이 셀의 지연보다도 상대적으로 크게 되었다. 또, 이전의 프로세스기술에서는 무시가능했던 배선의 저항에 의한 지연시간이 스쿠의 검사에서 무시할 수 없다.

5. 향후 발전방향

설계툴 중에서 테스트용이설계, 자동논리합성, 믹스드시뮬레이터 분야가 발전할 것으로 보인다. 시스템이 대규모화함에 따라 원활한 고장검출을 갖는 테스트패턴을 만들기가 곤란하다. 고장검출율이 낮은 테스트패턴으로 테스트를 한 집적회로는, 미검출의 제조고장가능성이 높기 때문에 실제로 제작이 완료된 후에 문제를 일으키는 경우가 있다. 이를 해결하기 위한 테스트용이화설계의 한 방법인 스캔디자인 방법은 회로중에 사용하는 플립플롭에 제약을 가하여 테스트때는 조합회로로 하여 테스트가 가능하도록 하는 것이다.

회로가 대규모가 됨에 따라서 전체를 게이트 레

벨로 설계하는 것은 곤란하다. 대규모회로 설계의 생산성을 향상시키는 하나의 접근방법이 자동논리합성이다. 설계자는 하드웨어기술언어를 사용하여 시스템의 기능을 기술한다. 하드웨어기술언어는 지금까지 제안된 것으로 레지스타 트랜스퍼 레벨(RTL)이 가장 일반적이다. 하드웨어 기술언어로 시스템을 기술한 후 기능시뮬레이션으로 검증한다. 자동논리합성은 하드웨어기술언어를 입력하여 게이트 레벨의 회로를 얻는다. 하드웨어기술언어를 사용하면 게이트레벨에 비하여 기술량은 수분의 일이고 설계의 생산성은 비약적으로 높아지게 된다. 현재 자동논리합성물은 개발이 많이 진행되어 이용에 큰 불편이 없다.

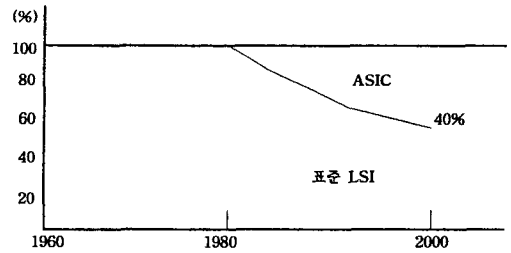
대규모 시스템의 설계에는 CPU 코어 등의 SMC(Super Macro Cell)을 이용하는 것에 의하여 개발시간을 줄일 수 있다. SMC를 포함한 검증물의 하나가 믹스드시뮬레이터이다. 기능이 기술된 SMC와 게이트레벨 기술의 랜덤논리로 조합된 시스템은 믹스드시뮬레이터를 사용하는 것이 효과적이다. Physical Model은 같은 방법으로 SMC를 포함하는 회로의 검증에 유효하다. SMC의 시뮬레이션은 실제의 디바이스를 사용하는 것을 특징으로 한다.

IV. ASIC산업의 현황

1. ASIC 시장 규모

최근의 전자기기 시장에서는 종래의 표준품중심에서 고객의 요구에 맞는 응용제품, 즉 ASIC의 비율이 급속히 증가되고 있다. <그림 5>의 ASIC 변화추이에서 2000년에는 ASIC 생산량이 LSI 총생산량의 40% 이상이 될 것으로 전망되고 있다.

ASIC시장은 과거 10년간 15% 성장하여 2000년에는 300억달러를 초과하는 시장규모가 될 것으로 보인다(표 2). 표준셀방식은 아날로그 및 핵심 마이크로프로세서의 셀 라이브러리가 추가되어 다양한 IC를 설계할 수 있어 '98년에는 게이트어레이 시장을 상회할 것이다. 한편 '80년대에 많은 인



(그림 5) ASIC 변화추이

기를 누려왔던 게이트어레이는 '90년대에 들어 성장세가 둔화되지만 여전히 큰 비중을 차지할 것이다. PLD 시장은 FPGA와 MOS PLD의 CAGR(연평균누적성장률)이 각각 25%로 높은 성장에 예상되고 있다. 그리고 완전주문형 IC는 개발기간의 장기화로 상당부분 표준셀로 대체될 것이다.

'91년도 22%의 시장점유를 보인 표준셀은 2000년에 40%로 ASIC시장에서 가장 큰 비중을 차지할 것으로 예상되며, 완전주문형 디바이스는 '91년 27%에서 '98년에는 13%로 감소할 것으로 전망된다. 1995~2000년의 연평균신장률을 보면 FPGA가 25%로 가장 크고, 표준셀, 게이트어레이, 완전주문형의 순이다.

반도체 제조기술의 발달은 칩의 집적도를 높일 수 있어서, 회로의 크기가 대규모인 ASIC의 개발이 가능하다. 게이트어레이의 경우 마스터어레이의 크기가 상대적으로 커지고 있다. 그러나 이러한 현상은 회로의 규모가 작은 ASIC을 개발할 경우에는 단가가 높아지는 경향을 초래한다. 예를 들어보면, 1,2um 공정을 이용하는 게이트어레이에 비하여, 0.8um 공정을 이용하는 게이트어레이의 NRE 경비(개발경비)는 3~5배 높아진다. 따라서 회로의 규모가 크지 않은 경우는 ASIC으로 제작하면 경비가 많아지게 된다. 여기에서 FPGA의 필요성은 부각되고 있으며, 연평균신장률이 높은 이유를 찾을 수 있다.

2. 국내 ASIC 제작시설

국내 ASIC 제작시설은 LG반도체, (주)대우, 삼성전자, 현대전자산업, 한국전자의 5개 회사가 보유하고 있으며, 그 중에서 ASIC 서비스는 한국

〈표 2〉 ASIC 시장동향

연 도 항 목	1994 (\$ M)	1995 (\$ M)	1996 (\$ M)	1997 (\$ M)	1998 (\$ M)	1999 (\$ M)	2000 (\$ M)	95~2000 CAGR(%)
MOS 게이트어레이	4,440	5,450	6,100	7,000	8,050	9,400	11,100	15%
바이폴라 게이트어레이	640	510	410	325	250	190	135	-23%
게이트어레이 합계	5,050	5,960	6,510	7,325	8,300	9,590	11,235	14%
선형 어레이	220	235	240	245	255	265	275	3%
반주문형 합계	5,270	6,195	6,750	7,570	8,555	9,855	11,510	13%
MOS 표준셀	3,660	4,700	5,550	6,650	8,180	10,050	12,550	22%
바이폴라 표준셀	90	105	115	120	125	120	115	2%
표준셀 합계	3,750	4,805	5,665	6,770	8,305	10,170	12,665	21%
완전주문형	2,725	2,750	2,800	2,850	2,900	2,950	3,000	2%
주문형 합계	6,475	7,555	8,465	9,620	11,205	13,120	15,665	16%
바이폴라 PLD	155	120	90	70	60	50	40	-20%
심플 MOS PLD	360	370	360	350	335	320	300	-4%
혼합형 MOS PLD	300	495	610	765	975	1,230	1,525	25%
FPGA	460	735	880	1,075	1,365	1,750	2,275	25%
MOS PLD 합계	1,120	1,600	1,850	2,190	2,675	3,300	4,100	21%
PLD 합계	1,275	1,720	1,940	2,260	2,735	3,350	4,140	19%
ASIC 합계	13,020	15,470	17,155	19,450	22,495	26,325	31,315	15%

자료원 : ASIC OUTLOOK 1996, ICE, 1995

전자를 제외한 4개사에서 실시하고 있다. 한편 한국전자통신연구소와 서울대학교 반도체공동연구소도 연구용 시설을 보유하고 있다. 최근에 아남반도체기술은 ASIC용 반도체 제작시설 설립에 대하여 긍정적으로 검토하고 있다. 〈표 3〉에 국내 4사의 게이트어레이 및 표준셀의 제작능력을 보인다. 메모리의 개발 인하여 국내 4개사가 보유한 ASIC 제작시설은 아주 우수한 시설이다. 표에는 나타나 있지 않지만, 삼성전자는 0.8um 및 0.6um의 엠베디드 게이트어레이도 준비되어 있다.

3. 국내 ASIC 설계능력

국내 ASIC 산업은 1980년대 후반에 시작되었다. 따라서 설계인력이 충분히 확보되어 있지 않은 상태이다. 또한 ASIC 설계능력은 아직 초기단계로

서, 미국을 100으로 보면 우리는 약 30정도의 수준에 불과하다. 설계능력을 확보하기 위하여는 설계인력을 확보하여야 하고, 설계인력을 확보하기 위하여는 대학교육이 활발하게 실시되어야 할 것이다. 이를 위하여 정부나 반도체업체에서는 적극적으로 지원책을 강구하여야 할 것이다. 다행히 최근 반도체 3사를 중심으로 “반도체설계경진대회” 등의 다채로운 행사로 반도체설계인력에 대한 지원책이 강구되고 있으며, 정부에서는 통상산업부 산하에 “반도체설계교육센터”를 설립하여 이를 지원하고 있다. 또한 전자부품종합기술연구소의 주문형반도체설계센터를 통하여 국내 중소기업을 위한 설계환경 제공, 설계기술 자문, ASIC설계 교육 등의 지원책을 활발하게 추진하고 있다.

(표 3) 국내 4사의 ASIC 현황

(게이트어레이)

		대 우		삼성전자		LG반도체				현대전자		
공정(CMOS)	um	1.2	0.8	0.8	0.6	1.2	0.8	0.6	0.5	1.2	0.8	0.6
배선층	층	2		2	2/3	2	2/3	2/3	2/3	2		2/3
전원	V	5.0	5.0/3.0	5.0/3.3	5.0/3.3	5.0	5.0	3.3/5.0	3.3	NA		NA
게이트 지연	ps	500	205	275	200	370	205	130	120	450	290	230
토글주파수	MHz	180	330	300	350	250	360	690	700	130	340	440
사용 게이트수	K개	100	250	200	400	34	232	500	908	85	135	453
패드 수	개	380	526	NA	NA	212	434	524	524	NA	NA	NA

(표준셀)

		대 우		삼성전자		LG반도체			현대전자
공정(CMOS)	um	1.2	0.8	0.8	0.6	0.8	0.6	0.5	0.8
배선층	층	2	2	2/3	2	2/3	2/3	2	
전원	V	5.0/3.0	5.0/3.0	5.0/3.3	5.0/3.3	3.3/5.0			NA
게이트 지연	ps	450	190	275	200	190	160	149	250
토글 주파수	MHz	180	340	300	350	340	620	700	340
사용 게이트수	K개	100	250	300	500	350	1100	1020	300
패드 수	개	308	526	NA	NA	444	540		NA

V. 결 론

ASIC의 개요, 분류, 설계흐름 및 현황에 대하여 기술하였다. 반도체기술의 진보는 금후에도 계속되어, 2000년에는 약 1억개의 트랜지스터가 집적화될 것이다. 이러한 집적도가 되면 범용으로는 대규모인 메모리만 존재하고, 많은 전자기구나 시스템이 시스템레벨의 인테그레이션을 실현한 ASIC에 의하여 구성될 시대가 된다. 집적회로는 보다 고성능의 제품을 보다 저렴하게 제공하기 위하여 개발기술, 제조기술을 진보시켜 고집적화를 실현시켜야 한다. 따라서 다양화하는 유저, 시장요구에 대하여 ASIC제품에 보다 간단하게 고성능, 고집적화하기 위한 노력이 필요하다. 이로 인하여 제조기술 뿐만아니라 시스템을 집적회로에 어떻게 집속하는가 하는 시스템기술이 중요하게 되었으며, 시

스템기술과 디바이스기술의 융합이 필요불가결하게 되었다. 또 반도체메이카와 유저의 관계, 설계와 제조의 관계도 변하였다. 그래서 집적회로는 간단한 하나의 부품으로서 취급할 것이 아니라 시스템전체로부터의 요구를 구체화하는 시스템의 구성요소로서 취급해야 한다. 그래서 금후 설계 및 제조기술, CAD기술의 발전에 따라 다시 대규모 고성능집적회로의 개발 및 제조가 가능하도록 되고 시스템온칩(System On Chip)에의 길이 열리게 될 것이다.

참 고 문 헌

- [1] 유영욱, "ASIC기술 및 산업의 발전현황", 전자공학회지 제19권 제6호, pp.1~11, 1992년

6월

[2] 이철동, “주문형반도체산업의 활성화 방안”, 자체보고서, 1995년 8월

[3] 전자부품종합기술연구소, 전자기술예측, 전자부품종합기술연구소, pp.345~412, 1994년 9월

[4] ICE, ASIC OUTLOOK 1996, ICE, Scottsdale, p.4~5, 1995.

[5] 長瀬 晃, “ASIC의 市場展望”, 日立評論, 제71권 제12호, pp.1~6, 1989년 12월

[6] 島田舜二, “ASIC技術動向”, 日立評論, 제71권 제12호, pp.7~12, 1989년 12월

[7] 增原利明외, “ASIC設計手法の現状と將來”, 日立評論, 제71권 제12호, pp.13~20, 1989년 12월

[8] LG반도체, ASIC Product Guide, LG반도체, Apr. 1995

[9] 현대전자, ASIC Product Guide, 현대전자, Aug. 1995

[10] 삼성전자, ASIC Product Guide, 삼성전자, Jul. 1995

[11] 대우, ASIC Product Guide, 대우, Jun. 1994

저 자 소 개



李 哲 東

1952年 2月 12日生
 1977年 2月 경북대학교 전자공학과 학사
 1989年 2月 한양대학교 전자공학과 석사
 1994年 2月 충북대학교 퓨터공학과 박사수료

1977年~1985年 한국전자기술연구소 설계개발실 연구원, 설계자동화연구실장
 1985年~1989年 한국전자통신연구소 자동설계기기연구실장
 1989年~1991年 한국전자통신연구소 자동설계연구부장
 1991年~1992年 한국전자통신연구소 응용기술개발부장
 1992年~1993年 한국전자통신연구소 정보기술개발단 기술역
 1993年~1994年 한국전자통신연구소 반도체연구단 기술역
 1994年~현재 전자부품종합기술연구소 주문형반도체설계센터장

주관심분야 : VLSI CAD, VLSI설계, ASIC 개발