

# 혼성 모드 회로 설계 기법 Design Techniques for Mixed- Mode Circuits

李 承 勳

西江大學校 電子工學科

## I. 서 론

본 논문에서는 통신, 의료, 가전, 산업, 및 반도체 등 여러 전자 분야에 응용이 가능한 CMOS 공정을 사용하는 주문자형 반도체 회로(Application Specific Integrated Circuits : ASIC)의 전형적인 설계 방식에 관하여 논하고자 한다. 마이크로 프로세서, Digital Signal Processor(DSP) 등을 비롯한 여러 가지 주문자형 반도체 회로들 중에서는 최근에는 아날로그 회로와 디지털 회로가 하나의 칩 속에 병존하는 혼성 모드 회로에 대한 관심이 집중하고 있다. 아날로그 신호를 입력으로 받아들여 디지털 신호를 출력으로 처리하는 Analog-to-Digital Converter(A/D 변환기)는 칩 내부에 아날로그 회로 및 디지털 회로 블럭을 동시에 보유하는 좋은 혼성 모드 회로의 예이다. 본 논문에서는 이 A/D 변환기의 설계 사례<sup>[1]</sup>를 통하여 구체적으로 CMOS 공정을 사용하는 혼성 모드 회로의 설계 기법을 고찰한다.

제II장에서는 혼성 모드 회로의 전형적인 설계 방식 및 회로 설계시 고려하여야 하는 중요한 문제점 등을 논의하고, 제III장에서는 설계된 회로를 실제 칩으로 구현하기 위해 수행하여야 하는 레이아웃에 관하여 주의할 점 등을 제시한다. 설계되어 레이아웃 완료된 회로가 성공적으로 동작할 확률을 높여 주는 설계 간접 지원 환경 구축에 관한 사항에 관하여 제IV장에서 강조한 후, 제V장에서는 10-bit 20-MHz 파이프라인 A/D 변환기의 실제 설계 사례를 살펴본다.

## II. 혼성 모드 회로 설계 방식

집적 회로의 설계는 어떤 새로운 개념의 동작 모델 시뮬레이션을 통한 전체 시스템의 동작 확인에서부터 시작된다. 이러한 동작 모델에서 각 동작 블럭들의 일차적인 사양이 결정되고, 트랜지스터 수준에서의 회로 설계를 통하여 각 블럭에서 요구

되는 사양의 실현 가능성 및 성취 여부를 확인하며, 필요시 설계 사양의 변경 등이 논의된다. 또한, 여러 개의 동작 블럭들 사이의 입출력간의 충돌 문제 및 다음 단과 연결될 경우, 부하(load)에 대한 영향도 고려하여야 하며, 이 시점에서 사용할 수 있는 혹은 사용해야 하는 공정뿐만 아니라, 어느 정도 구체화된 설계 목표가 결정된다.

실제 제안된 시스템을 트랜지스터 수준에서 시뮬레이션 할 때, 그 다음 단과 관련된 부하는 가감이나 가중없이 존재하는 그대로 연결되어야 한다. 단, 다음 단의 전체 회로를 전부 부하로 사용하여 시뮬레이션할 경우, 전형적인 회로 시뮬레이터인 SPICE 입력 화일이 너무 커져서 시뮬레이션 시간이 과도하게 사용될 수가 있기 때문에, 그 전단에서 영향을 미치는 부분까지만 분할하여 연결될 수는 있다. 아날로그 회로와 관련된 디지털 회로의 시뮬레이션은 초기값 설정이 전체 회로의 시뮬레이션 시간 및 정확도에 큰 영향을 주므로 역시 고려하여야 될 문제 중의 하나이다.

집적 회로 설계에 사용되는 능동 소자로서 트랜지스터 및 수동 소자로서 저항, 캐패시터 등의 적절한 모델링은 생략할 수 없는 대단히 기본적인 과정이다. 디지털 회로에서 사용되는 대신호용 소자들의 변수와 연산 증폭기와 같은 아날로그 회로에서 사용되는 트랜지스터들의 변수는 근본적으로 다르다. 그 주된 이유는 MOS 트랜지스터들의 경우, 소스(source), 게이트(gate), 드레인(drain)의 동작 조건들이 다르기 때문에 관련된 DC 및 AC 변수들이 달라지기 때문이다. 좋은 공정 및 소자 팀을 운영, 보유하고 있는 외국 전자 회사들은 트랜지스터들이 동작해야 하는 많은 경우의 가짓수를 고려하여 다양한 모델 변수들을 추출하여 사용하고 있다. 예를 들면, 트랜지스터의 출력 저항이 다른 유사한 공정을 사용하였을 경우와 비교하였을 때에 비해 너무 작다거나 클 경우, 공정 및 소자 평가 팀에 의뢰에 의한 재측정 및 재평가를 통하여 가능한 한 정확한 소자들의 모델 변수를 보유한다. 이는 칩 제작 후의 성능 및 수율과 직접적으로 관련된다.

고려하여야 하는 또 하나의 문제는 공정의 변화

에 따르는 소자들의 성능의 변화에 관한 것이다. 공정의 변화에 따라 소자들의 성능은 경우에 따라 대단히 변하며  $\pm 20\%$ 에서  $30\%$  정도의 변화는 많이 관측된다. 디지털 회로는 상대적으로 공정의 변화에 그렇게 민감하지는 않으나, 아날로그 회로는 소자의 트랜스컨덕턴스(transconductance) 및 위상 여유(phase margin)에 직접적으로 영향을 미치기 때문에 전체 시스템의 안정도에 결정적인 영향을 준다. 이에 대비하여, 예를 들면, 연산 증폭기의 보상 캐패시터스에 여유분의 사용하지 않는 소자를 미리 집적시켜 향후 재설계가 필요할 경우, 요구되는 마스크 제작비용을 절감시킨다든지 하는 것도 좋은 방법 중의 하나가 될 것이다. 무엇보다도 이러한 공정의 변화에 덜 민감한 방향으로 시스템을 설계하는 것이 더 효율적이 될 것이다. 그러나, 변할 수 있는 소자들의 공정 변수를 전부 모델링하기는 어렵기 때문에, 보통 nominal model, slow model, fast model 등 세 가지로 나누어 시뮬레이션을 위해 사용한다.

소자들의 공정 변화에 의한 영향 뿐 아니라, 온도 및 전원 전압에 의한 영향에 대한 정량적인 자료도 조사되어야 한다. 온도는 소자들의 동작에 바람직하지 못한 영향을 줄 수 있기 때문에 군사용 혹은 산업용 칩들은 그 동작 허용 온도가 설정되어 있다. 전원 전압의 변화에 대한 분석도 생략할 수 없는 과정 중의 하나이다. 칩의 설계시 보통 5V용 칩은 4.5V에서 5.5V까지, 3.3V용 칩은 3V에서 3.6V까지 동작할 수 있도록 설계된다.

회로 설계시, 예를 들면, 캐패시터나 저항 등 어떤 수동 소자를 더 사용하는 것이 특정 시스템에 더 바람직한가를 결정하는 것도 중요하다. 정확도의 관점에서 볼 때, CMOS 공정이라면 캐패시터의 사용이 더 바람직하고, 바이폴라 공정이라면 저항의 공정이 더 효율적일 수 있다. 또, MOS 공정에서 캐패시터의 경우, 크기와 정확도는 어느 정도 반비례하는 관계를 가지기 때문에 제안된 시스템에서 요구되는 캐패시터들이 크기는 일정하면서, 정확도가 어느 정도 이상으로 요구되어 소자의 크기를 증가시켜야 할 경우, oxide 두께 등 공정 자체의 변화도 어느 정도 고려하여야 할 지도 모른

다. 또, diffusion 캐패시터 혹은 poly-to-poly 캐패시터 등 어떤 타입의 캐패시터를 사용하는 것이 제안된 시스템에 가장 적합한 지, 또, 정해진 종류의 캐패시터만을 사용하여야 할 경우 해결책에 대해서도 고려할 필요가 있다.

입력 및 출력 단의 적절한 설계는 시스템의 성능에 직결된다. 관련하여 사용하여야 하는 클럭에 적합한 아날로그 또는 디지털 출력 버퍼의 설계는 대단히 중요한 문제 중의 하나이다. 너무 많은 safety margin은 불안정한 디지털 전원 전압을 통한 아날로그 회로의 성능 저하를 가져온다. 입출력 단의 정전기 보호 회로는 아날로그 입력에 심각한 잡음 문제를 야기시킬 수 있다. 입출력 단의 문제는 설계만의 문제가 아니라 공정과도 많은 관련이 있기 때문에 설계, 공정, 및 소자 팀들 간의 공동 작업이 필요하다.

각 동작 블록의 설계 완료 후, 각 동작 블록은 전체 시스템으로 완성된다. 각 동작 블록의 설계시 대부분의 문제들이 제기되어 이미 해결되었겠지만, 전체 시스템 수준에서 볼 때, 생각하지 못한 문제점들이 생길 수 있다. 특히, 혼성 모드 회로 설계는 이러한 가능성을 더 많이 갖고 있다. 이런 문제는 대부분 전체 시스템 시뮬레이션, 즉, top-level 시뮬레이션을 통하여 확인되며 성공적인 회로 설계를 위해 거쳐야 할 최종 단계 중의 하나이다. 이 top-level 시뮬레이션은 시간이 많이 걸리는 과정 중의 하나이므로 한번에서 두 번 정도로 끝낼 수 있도록 다른 준비가 거의 완료된 후, 최종적으로 수행하여야 한다.

고려하여야 할 마지막 중요한 설계 상의 문제로, 제안되어 설계 중인 시스템의 보드 상에서의 측정 혹은 테스트에 관한 것을 들 수 있다. 회로의 설계 그 자체와 설계되어 제작된 회로의 측정은 따로 분리하여 생각될 수 없다. 특히, 정확해야 하는 아날로그 회로가 공급 전원 전압에 많은 나쁜 영향을 주는 디지털 회로와 병존하는 혼성 회로의 경우, 회로 설계와 측정 문제는 서로 보완시키면서 해결되어야 한다. 측정 보드 설계시에도 칩 설계와 같은 개념을 적용시켜야 하며, 아날로그 전원 전압이나 디지털 전원 전압의 분리 설계 등을 통하여 아

날로그 및 디지털 회로간의 간섭을 보드 수준에서도 최소화시켜야 한다.

### III. 혼성 모드 회로 레이아웃

설계 완료된 회로를 실제 집적 회로로 구현하기 위해서는 관련된 공정에 의하여 레이아웃 되어야 하며, 본 장에서는 CMOS 공정으로 혼성 모드 회로의 레이아웃 수행시 고려하여야 하는 기본 원칙을 다음과 같이 요약한다.<sup>[2,3]</sup>

1. 아날로그 동작 블록과 디지털 동작 블록의 공간적인 분리.
2. 아날로그 전원 전압 및 디지털 전원 전압의 칩 상에서의 분리.
3. Substrate noise를 줄이기 위한 substrate 전원 전압의 칩 상에서의 분리(전원 전압은 칩 외부에서 만남).
4. 아날로그 신호를 교차하는 디지털 및 클럭 신호 숫자의 최소화.
5. 중요한 아날로그 신호들, 즉, 기준 전압, 입력 신호 및 바이어스 신호 등의 substrate로부터의 간섭 최소화를 위한 별도의 바이어스에 연결된 well의 적절한 사용.
6. Substrate 전원 전압의 아날로그 및 디지털 회로 부분의 직접적인 간섭을 줄이기 위해 하나의 패드에서 두 개의 블록으로 분리.
7. 각 동작 블록들 간의 간섭 최소화를 위해 well 및 substrate의 연결을 동작 블록들 사이에 적절히 사용.
8. 동일한 구조를 가진 아날로그 회로 블록들 간에서도 바이어스 회로의 분리로 블록들 간의 간섭 최소화.
9. 가장 큰 잡음 원인 클럭 생성기 블록에 substrate의 연결을 ring 형태로 레이아웃하여 다른 블록에의 영향을 최소화.
10. 다양한 저항의 종류를 적절히 사용함으로써 칩 면적의 최소화. 특히, 동일한 종류의 저항이라도 폭을 필요한 정확도에 따라 최적화.

11. 전원 전압의 연결시, 가능하면 metal 1보다 두꺼운 metal 2를 사용하여 substrate로부터의 간섭 최소화 및 전류 밀도 향상.
12. 입력 단의 기생 인덕턴스 영향을 줄이기 위해 전원 전압 및 입력 단에는 복수의 패드 사용.
13. 디지털 블럭의 레이 아웃을 위해 각 게이트의 표준화.
14. 각 디지털 셀들의 연결시 최소한 두 개 이상의 via나 contact을 사용함으로써 수율 향상 및 신뢰도 향상.
15. 전체 시스템의 동작 블럭을 효율적으로 분리 레이 아웃 함으로써 각 블럭의 동작 성능 확인 용이성 고려.

집적 회로를 실제 칩으로 구현하는 과정에서 공정의 변화가 심할 경우, 제안된 시스템의 동작 여부는 여유분 소자의 집적을 통해 어느 정도는 확인이 가능하다. 높은 정확도를 가진 아날로그 신호를 적절히 샘플링 하기 위해서는 클럭 타이밍이 중요한데, 이러한 시스템 타이밍이 문제가 될 경우, 아날로그 회로와 마찬가지로 방법으로 사용하지 않는 여유분의 게이트를 미리 레이 아웃하여 추후 약간의 변경이 요구될 때, 한 두개의 마스크만 수정하여 짧은 시간 내에 용이하게 동작 여부를 확인할 수 있다. 아날로그 회로의 경우에는 보통 회로의 안정성(stability)이 문제가 되는데, 관련된 보상 캐패시턴스의 사용 외에 여유분의 소자를 더 레이 아웃해 줌으로써, 불안정한 공정 변화로 인한 시스템의 영향을 최소화할 수 있다. 저항 및 캐패시턴스의 경우에도 소수의 마스크만 수정하여 성능 향상을 도모할 수 있고, 인접한 곳에 레이 아웃하여 probe pin을 사용하여 소자의 크기를 크게 혹은 작게 조정하여 설계하여야 하는 시스템 개발에 소요되는 시간을 단축시킬 수 있다.

회로의 레이 아웃은 언제나 회로도(schematic)와 부합되어야 하며, 레이 아웃의 한계로 인하여 설계시 고려하지 못한 점이 있으면 즉시 회로의 변경 및 재시뮬레이션을 통하여 레이 아웃의 한계점을 해결하여야 한다. 입력 단의 큰 트랜지스터를 짝수 개의 common centroid 구조로 처리한다든

지, 매칭 등을 고려하여 dummy cell을 회로도에 추가하는 것 등이 이러한 경우에 해당된다.

설계시 사용하였거나 예측한 소자들의 값, 특히 기생 저항이나 캐패시턴스 등이 적합하였는지는 손으로 직접 계산하거나 관련 툴을 사용하여 간접적인 방법을 통하든지 간에 반드시 확인 및 검증하여야 한다. 필요시에는 재설계 및 시뮬레이션을 통하여 회로의 일부를 변경시켜야 한다. 아날로그 회로의 경우, 연산 증폭기의 입력 단이 이에 해당될 것이고, 디지털 회로라면 전체 칩의 타이밍을 결정해 주는 클럭 버퍼의 설계가 이에 해당될 것이다. 클럭 버퍼 설계시, 부하로서 사용되는 소자들 뿐만 아니라 전체 칩의 각 블럭들을 연결해 주는 금속선들에 의한 기생 성분이 수십에서 수백 pF에 상응할 수 있다는 것을 염두에 두어야 한다.

온 칩 측정을 위한 mini 패드의 사용도 권장할 만하다. 관심이 있거나 측정되어야 하는 중간 노드들을, 예를 들면,  $20\mu\text{m} * 20\mu\text{m}$  정도의 크기로 미리 레이 아웃하여 패드로 만들어 두면 칩 제작 후 문제 발생시 보호막이 덮여 있지 않은(unpassivated) 웨이퍼 상에서 검침이 가능하며, 패키지가 되어야 하는 상황에서는 상단 뚜껑을 가진 재료를 사용하여 용이하게 신호를 검색할 수 있다. 이러한 방법으로 얻어진 정보는 재설계 혹은 레이 아웃 수정시 유용하게 사용될 수 있다.

어떠한 종류의 패키지를 사용해야 하며, 몇 개의 핀이 사용 가능한 지, 제안된 시스템에서 사용되는 정도의 클럭에서 인접 신호들 사이에 간섭이나 영향에 민감하지 않은 지, 입출력 단의 보호 회로나 버퍼의 크기가 얼마나 되는 지도 레이 아웃 단계에서 고려하여야 하는 중요한 문제들 중의 하나이다.

#### IV. 설계 간접 지원 환경 구축

직접적인 회로 설계 및 레이 아웃 이외에, 중요한 설계 및 레이 아웃의 간접 지원 환경으로 인적 자원간의 원활한 협력 관계를 들 수 있다. 주어진 과제가 소규모라면 큰 문제는 없으나, 대규모 과제

일 경우 관련된 많은 engineer들의 숫자로 인하여 효율적인 과제 수행에 문제가 생길 수 있다.

성공적인 결과를 성취할 확률을 높이기 위해서는 한사람의 책임자가 전체 시스템을 절대적으로 총괄하여야 한다. 각 블럭별로 개인별로 설계가 완료된 후, 전체 시스템을 집적시키기 위해서는 하나의 공용 디렉터리 속에서 잔여 작업이 수행된다. 이 때가 가장 문제가 많이 발생하는 시간 중의 하나이다. 어떤 설계 팀에 A부터 G까지의 설계자가 있다고 하자. 팀의 책임자 A는 B, C, D, E, F, 및 G로부터 화일을 받기 전에 관련된 화일에 중복된 화일 이름이 없는지 철저히 확인하여야 한다. 한 사람이 사용하는 화일이 다른 사람의 화일 내에서는 전혀 다른 의미를 지닐 수 있기 때문이다. 만약 B가 자신이 만든 블럭을 수정할 필요가 있을 경우, 반드시 팀장인 A로부터 가장 최근의 화일을 제공받아 그 화일을 수정한 후, 즉시 다시 A에게 되돌려 줌으로써, 항상 가장 최근의 화일을 A가 보관할 수 있도록 하여야 한다.

또, 각 설계자들 사이에 흔히 발생하는 인터페이스 부분은 관련된 사람들 공동 책임 하에 둘 필요가 있다. 예를 들면, 설계자 B는 B가 책임지는 블럭뿐만 아니라 B와 관련된 A 및 C 블럭들도 B쪽에서부터 50%의 책임이 있으며 관련된 부분은 설계, 시뮬레이션, 혹은 레이 아웃 수행시에 항상 협의하여야 한다. 어떤 한 블럭을 임의로 수정해 버릴 경우 관련된 블럭들의 입력, 출력, 및 부하의 조건이 바뀌게 되어 성공적인 결과를 기대하기가 어렵다. 특히, 아날로그 회로와 같은 경우, 부하 조건이 바뀔 때 전체 시스템의 안정성과 직접적인 관련이 있게 된다.

이와 같은 팀별 설계 및 책임의 개념은 design engineer, process engineer, device engineer, field engineer, marketing engineer 등 과제와 관련된 모든 engineer들 사이에서도 지켜져야 한다. 물론, 일의 성질에 따라 책임자 선정 및 인터페이스 부분은 서로 협의하여 진행될 문제이다.

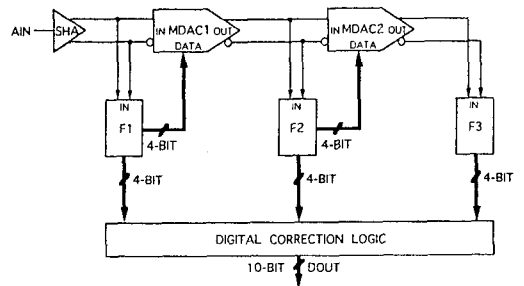
## V. 혼성 모드 회로 설계 사례

혼성 모드 집적 회로 설계를 위한 하나의 예로서, 최근 산학 과제로 개발한 영상 신호 처리용 10-bit 20-MHz 파이프라인 CMOS A/D 변환기를 들 수 있다.<sup>[1]</sup> A/D 변환기는 아날로그 신호를 입력으로 받아들여 디지털 신호를 출력하는 전형적인 혼성 모드 집적 회로의 예이다. 제안된 변환기의 설계를 앞 장에서 논의한 순서에 의해 얻어진 결과를 정리하여 본다.

### 1. 제안된 시스템

제안된 10-bit fully differential A/D 변환기의 구조는 (그림 1)과 같다. 제안된 A/D 변환기는 세 개의 단으로 구성되며, 각 단으로부터 4비트씩 결정되는 4-4-4의 구조를 갖고 있다. 각 단은 4-비트 플래쉬 A/D 변환기와 4-비트 Multiplying Digital-to-Analog Converter(MDAC)로 구성되어 있다. 입력 단에는 Sample-and-Hold Amplifier(SHA)가 존재하며, 변화하는 아날로그 입력 신호를 샘플하여 완전 차동 신호로 변환하는 기능을 갖고 있다. 이 샘플된 아날로그 신호는 첫번째 MDAC1의 캐패시터 열로 전달되고, 동시에 첫번째 플래쉬 A/D 변환기인 FLASH1으로 전달되어 상위 4-비트의 디지털 코드를 결정한다.

MDAC1의 캐패시터에 샘플된 아날로그 신호와 FLASH1에서 결정된 디지털 코드에 상응하는 아날로그 신호와의 차이, 즉, 잔류 전압은 증폭되어 MDAC2 및 FLASH2로 전달되며, 같은 과정이



(그림 1) 제안된 10-비트 A/D 변환기의 구조

최종 디지털 출력을 얻을 때까지 반복된다. 세 개의 플래쉬 A/D 변환기인, FLASH1, FLASH2, 및 FLASH3으로부터 얻어진 디지털 출력은 디지털 교정 회로(digital correction logic)로 전달되어, SHA 및 MDAC들의 몹셋이나 피드 스루 등에 의해 발생하는 오차를 디지털 영역에서 교정하고 최종 10비트의 출력을 얻게 된다.

## 2. 시스템의 동작 모델 시뮬레이션

제안된 〈그림 1〉의 A/D 변환기 시스템의 동작 여부 및 제조 후의 수율 등을 예측하기 위해 동작 모델을 시뮬레이션하였다. 시스템 시뮬레이션을 위해 4-비트 플래쉬 A/D 변환기에 사용되는 저항 스트링은 10%의 균일 분포를 가진 개개의 저항들로 구성되어 있다고 가정하였다.<sup>[4]</sup> 이렇게 동작 모

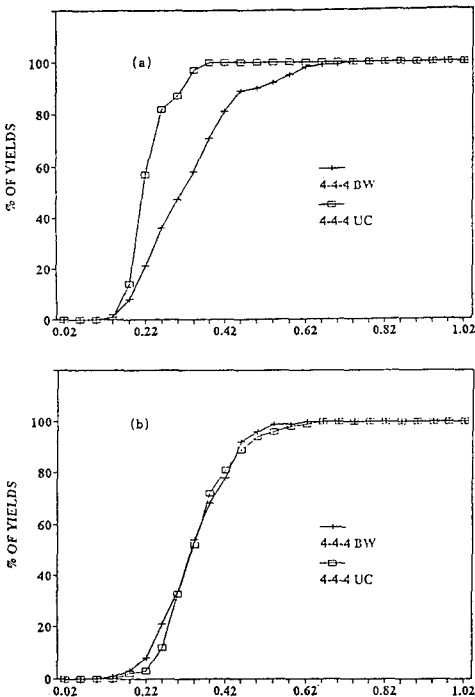
델을 시뮬레이션 하는 근본적인 이유는 제안된 시스템의 타당성 확인 및 트랜지스터 등의 능동 소자나 캐패시터와 같은 수동 소자들에 의해 발생하는 정적, 동적 오차의 범위를 예측함으로써 MDAC을 비롯한 각 동작 블럭의 구조를 최적화 하여야 할 것과 디지털 회로 설계에 유연성을 두기 위해서이다.

제안된 10-비트 A/D 변환기의 성능은 differential nonlinearity(DNL) 혹은 integral nonlinearity(INL)와 같은 선형성으로부터 판단할 수 있으며, 그 결과로부터 각 동작 블럭의 최적의 구조를 결정한다.<sup>[5]</sup> 예를 들어, 제안된 10-비트 A/D 변환기에 있어서 MDAC에 있는 캐패시터들이 0.2%의 임의의 부정확도를 가질 때, binary-weighted(BW) capacitor 및 unit-capacitor(UC) array가 사용될 경우, 시뮬레이션된 A/D 변환기 샘플들의 10-비트 수준에서의 DNL 및 INL이 〈그림 2〉에 비교되어 있다. 〈그림 2〉에서 x축은 10-비트 수준에서의 선형성을 나타내고, y축은 사양 내에서 동작하는 샘플들의 수를 %로 나타낸다. 이러한 여러 가지 종류의 동작 모델 시뮬레이션을 거쳐 제안된 변환기에 UC array를 사용할 때 최적의 선형성 결과를 얻을 수 있었다.

## 3. 각 블럭의 설계 및 시뮬레이션

전체 시스템이 동작 모델 시뮬레이션으로부터 결정된 후, 각 동작 블럭이 주어진 사양 내에서 잘 동작할 수 있도록 트랜지스터 수준에서 실제 회로가 시뮬레이션되어야 한다. 회로 시뮬레이션을 위해 사용하여야 하는 공정은 이때 결정된다. 회로 시뮬레이션의 결과에 따라 결정된 공정의 일부 혹은 완전히 다른 공정으로의 변경이 발생하기도 하며, 때로는 사용하여야 할 공정의 변경이 불가능하면서 동시에 회로의 성능이 원하는 사양에 미치지 못하는 경우도 있다. 이 때는 다시 동작 모델 시뮬레이션으로 되돌아가 주어진 공정에 적합하도록 시스템 구조를 재조정하여야 하며 최적의 결과를 얻을 때까지 이러한 과정이 반복된다.

제안된 A/D 변환기의 각 회로 블럭들은 삼성 0.8 $\mu$ m double-poly double-metal CMOS 공정을 사용하여 시뮬레이션되었으며, 각 블럭에 연결되어



〈그림 2〉 MDAC capacitor들이 0.2%의 임의의 부정확도를 가질 때 제안된 A/D 변환기에 binary-weighted capacitor 및 unit-capacitor array가 사용될 때, 시뮬레이션된 샘플들의 10-bit 수준에서의 linearity 분포의 비교: (a)DNL 및 (b)INL.

야 하는 부하는 어떠한 생략이나 가정없이 트랜지스터 수준에서 연결되었다. 디지털 회로의 경우에는 제안된 시스템에 적합한 algorithm을 결정한 후 모든 경우의 가짓수를 고려하여 구현되었고, 특히 대단히 높은 정확도를 요구하는 아날로그 회로와 연결되어야 하는 디지털 회로의 경우, 초기치 문제가 전체 시스템의 정확도 및 시뮬레이션 시간과 직결되기 때문에 신중히 고려되었다.

각 회로의 시뮬레이션은 DC 동작점이 결정된 후, 주파수 영역에서 수행하는 AC 시뮬레이션 및 시간 영역에서 이루어지는 transient 시뮬레이션 등, 크게 두 가지로 나눌 수 있다. 이 단계에서 제안된 A/D 변환기의 시뮬레이션은 주로 AC 시뮬레이션 영역으로 집중되었다. 그 이유는, 주파수 영역에서의 시뮬레이션의 결과에는 이미 시간 영역에서의 결과를 정확하게 예측할 수 있는 정보가 충분히 포함되어있기 때문에 수 초 밖에 걸리지 않는 AC 시뮬레이션이 많은 시간을 필요로 하는 실시간 영역에서의 시뮬레이션보다 훨씬 경제적이기 때문이다.

시뮬레이션 수행시 공정에 의한 소자들의 변화를 고려하여 nominal, slow, fast 모델 등 세 가지 다른 모델을 사용하였으며,  $\pm 10\%$  정도의 전원 전압의 변화에 의한 영향도 최소화시켰다. 칩의 실장을 위한 패키지 및 패드 수의 결정 등도 이 단계에서 결정되었으며, 패키지의 인덕턴스 등을 고려한 입출력 부분의 설계도 최종 단계에서 확인되었다.

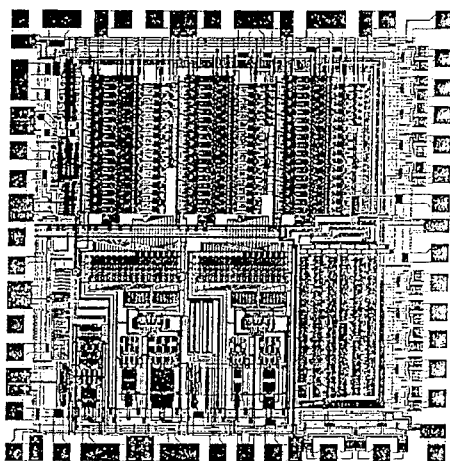
레이 아웃 수행 직전, 설계 완료 A/D 변환기 시스템의 실시간에서의 동작 이상 여부를 확인하기 위하여, 10,000개 이상의 소자들로 이루어진 전체 시스템을 트랜지스터 수준에서 HSPICE로 시뮬레이션하였다. 수 개의 클럭 사이클을 시뮬레이션하기 위하여 스파크(SPARC) 10급을 사용하여 수 시간이 소요되었다. 이러한 top-level 시뮬레이션은 디지털 회로 및 아날로그 회로의 초기치 설정이 정확도 및 시뮬레이션 시간에 많은 영향을 준다는 사실을 확인하였다.

#### 4. 회로의 레이 아웃

레이 아웃은 III장에서 논의한 기본 원칙에 의해

수행되었으며, 칩 내에서 완전히 분리된 아날로그 및 디지털 전원 전압은 외부에서 같이 연결되도록 설계하였다. MDAC의 레이 아웃시 캐패시터는 동심원 형태로 레이 아웃되었고, 주변 환경에 대한 영향을 최소화하기 위해 dummy 캐패시터를 추가하였다. 또한, 입력 단의 parasitic inductance의 영향을 줄이기 위해 중요한 전원 전압 및 신호 입력 단의 패드에는 여러 개의 패드를 병렬로 연결하였다.

제작 중에 공정 변화가 대단히 심할 경우를 대비하여 dummy 캐패시터를 공정 변화에 민감한 아날로그 블럭에 추가하여, 기능 확인 후 필요시 마스크 제작 및 개발 비용을 최소화할 수 있도록 하였다. 또한, 회로 제작 후의 측정에 대비하여 외부와 연결되는 본딩 패드 외에도 필요시 낮은 속도에서라도 칩 내부 회로의 동작을 확인할 수 있도록 약  $15\mu\text{m} * 15\mu\text{m}$  정도의 mini 패드를 필요한 부분에 구현하였다. 이 경우, 완전 차동 구조를 가진 아날로그 부분의 테스트 패드는 두 개씩 대칭이 되도록 하여 차동 구조의 기본 원칙을 유지하였다. 전체 A/D 시스템의 칩 레이 아웃은 <그림 3>과 같다.

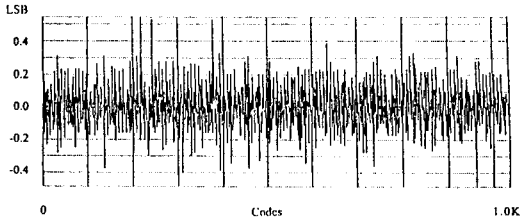


<그림 3> A/D 변환기 top-level 레이 아웃

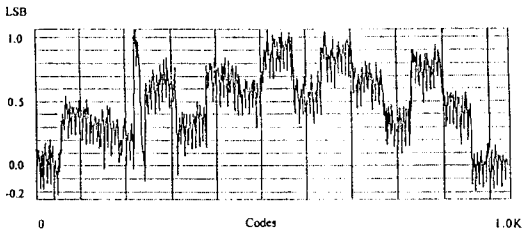
#### 5. 시스템의 제작 및 측정

설계 및 레이 아웃된 10-비트 A/D 변환기 시스템은 삼성  $0.8\mu\text{m}$  p-well double-poly double-

metal CMOS 공정으로 제작되었으며, 전체 칩의 크기는 패드를 포함하여  $7\text{mm}^2$ 이며, <그림 4> 및 <그림 5>는 각각 시제품 A/D 변환기의 측정된 DNL 및 INL 결과를 보여 준다. <표 1>에는 제안된 10-비트 A/D 변환기의 측정 결과를 요약하였다.



<그림 4> A/D 변환기 샘플의 전형적인 DNL



<그림 5> A/D 변환기 샘플의 전형적인 INL

<표 1> 제안된 10-비트 A/D 변환기의 측정 결과

Resolution	10bits
Conversion rate	20MHz
Supply voltage	5V
Power dissipation	160mW(at 20MHz)
DNL	$\pm 0.6\text{LSB}$
INL	$\pm 1\text{LSB}$
Input voltage	$2V_{p-p}$
Chip size	$7\text{mm}^2(2.7\text{mm} \times 2.6\text{mm})$
Technology	$0.8\mu\text{m}$ p-well CMOS

## VI. 결 론

본 논문에서는 혼성 모드 ASIC 회로의 전형적

인 설계 기법 및 절차에 관하여 고찰하여 보았다. 하나의 칩 내부에 아날로그 회로 및 디지털 회로 블럭이 동시에 병존하는 10-bit 20-MHz CMOS A/D 변환기의 설계 사례를 통하여 구체적으로 혼성 모드 회로의 전형적인 설계 방식, 회로 설계 및 레이아웃 수행시 고려하여야 하는 중요한 문제들, 설계 및 레이아웃 완료된 회로가 성공적으로 동작할 확률을 높여 주는 설계 간접 지원 환경 구축에 관한 사항 등을 논의하였다.

## 참 고 문 헌

- [1] S. I. Lim, H. C. Choi, S. H. Lee, S. Y. Hwang, G. S. Kang, S. H. Lee, and M. J. Choe, "A 10-bit 20-MHz three-stage A/D converter," to be published in ICVC, 1995.
- [2] 삼성 전자 (주), "Consumer electronics를 위한 high-performance CMOS A/D converter 개발," 연구보고서, Aug. 1994.
- [3] 전자부품 종합기술 연구소, "Video-speed high-resolution A/D converter 설계에 관한 연구," 연구보고서, Jun. 1995.
- [4] J. Doernberg, P. R. Gray, and D. A. Hodges, "A 10-bit 5-Msamples/s CMOS two-step flash ADC," IEEE J. Solid-State Circuits, vol. 24, no. 2, pp.241~249, Apr. 1989.
- [5] J. Doernberg, H. S. Lee, and D. A. Hodges, "Full-speed testing of A/D converters," IEEE J. Solid-State Circuits, vol. SC-19, no. 6, pp.820~827, Dec. 1984.



저자 소개



李承勳

1956年 9月 30日生  
 1984年 2月 서울대학교 전자공학과 학사  
 1986年 2月 서울대학교 전자공학과 석사  
 1991年 5月 University of Illinois, Urbana-Champaign ECE 박사

1986年 3月~1986年 7月 KIST 위촉 연구원  
 1987年 6月~1990年 3月 Coordinated Science Lab, Urbana 연구원  
 1990年 3月~1993年 2月 미국 Analog Devices, Senior Design Engineer  
 1993年 3月~현재 서강대학교 전자공학과 조교수

주관심분야: 집적 회로 설계, 데이터 변환기(A/D, D/A) 설계