

CDMA 모뎀 ASIC 설계 기술

金 在 錫, 延 光 —

韓國電子通信研究所
VLSI構造研究室

I. 서 론

세계가 단일 정보화 시대로 나아가는 요즈음, 언제 어디서나 누구와도 즉시로 통화가 가능한 이동통신에 대한 욕구가 급증하고 있으며, 우리나라의 경우에도 이동전화의 수요가 연평균 80% 이상의 성장세를 보이고 있는 실정이다. 이러한 이동통신의 수요는 국내는 물론 세계적으로도 이미 5천만 명을 넘어서는 정도로 폭발적으로 급증하고 있는 추세이다. 그러나 기존에 서비스되어 왔던 아날로그 방식의 이동통신 시스템은 이동통신 가입자가 급증함에 따라 시스템 수용 용량 측면에서 한계점에 도달하였고, 통화의 신뢰도도 매우 낮은 문제점을 갖고 있다. 따라서 미래의 가입자 수요를 충족시키고, 한정된 주파수 자원을 효율적으로 재활용할 수 있으며, 양질의 음성 및 데이터 서비스를 제공할 수 있는 디지털 방식의 이동통신 시스템을 요구하여 왔다. 현재까지 세계적으로 표준화가 이루어진 디지털 이동통신 시스템으로는 북미의 TDMA(Time Division Multiple Access) 방식, CDMA(Code Division Multiple Access) 방식, 유럽의 GSM(Global System for Mobile) 방식, 그리고 일본의 PDC(Personal Digital Cellular) 방식 등이 있다.

이중에서 미국 Qualcomm 사가 제안한 IS-95 CDMA 방식^[1]은 대역확산(Spread Spectrum) 통신 방식을 이용한 것으로 기존 아날로그 방식에 비해 10배 이상의 가입자 수용능력을 갖고 있어서 급증하는 이동통신 수요를 충족시킬 수 있는 시스템으로 부각되고 있으며,^[2] 국내에서도 CDMA 방식을 디지털 셀룰라 이동통신 방식의 표준으로 채택한 바 있다. 대역확산 통신 방식은 확산 부호를 이용하여 자신의 데이터 속도보다 훨씬 큰 대역폭을 전송 대역으로 사용하는 것으로, 통신 비화성 및 다중과의 영향을 감소시킬 수 있는 장점을 갖고 있어서 이전에는 군사통신 및 위성통신용으로 많이 사용되어 왔다.^[3] 그런데, 최근 들어서는 반도체 기술과 통신 기술의 발달로 인해 다수의 사용자 수용과 사용자 정보의 안전한 전달을 위한 목적으

로 상용으로 이용하는 경우가 많아지게 되었다. IS-95 CDMA 방식은 다수의 가입자가 기지국(Base Station)과 이동국(Mobile Station)간의 무선 링크 상에서 동일한 반송파를 공유하며 rake 형태의 수신기 구조를 채택함으로 다경로 페이딩(Multipath Fading)에 강하고, 전력제어를 통해 개선된 호처리 능력 및 저전력 시스템으로의 구현이 가능하고, 소프트/소프트 핸드오프(Soft/Softer Handoff) 기능을 갖는 등 지금까지 제안된 디지털 이동통신 방식 중에 기술적으로 가장 우수한 것으로 평가되고 있다.^[4] 또한 CDMA 방식의 디지털 이동통신 시스템의 특징은 가변 데이터 율을 갖는 CELP 계열(QCELP)의 고성능 음성 압축 알고리즘을 사용하며,^[5] 주파수 자원을 효율적으로 이용할 수 있는 디지털 변복조 알고리즘과 무선 채널에서 발생하는 오류를 효율적으로 정정하기 위한 오류 정정 기술을 사용하는 것이다.

CDMA 이동통신 시스템은 기지국과 단말기로 구성되는데, 양방향 송수신 경로는 순방향 링크(기지국에서 단말기 방향)와 역방향 링크(단말기에서 기지국 방향)의 두 가지로 구분한다. 순방향 채널은 파일럿 채널, 싱크 채널, 페이징 채널, 그리고 트래픽 채널의 4개 채널로 구성되어 있는데, 각 채널은 64개의 월쉬 코드에 의해 직교 확산되며, 이는 다시 1.2288Mcps(Million chips/sec)의 속도를 가진 PN 시퀀스 쌍에 의해 확산된다. 역방향 채널은 액세스 채널과 역방향 트래픽 채널로 구성되어 있는데, 서로 구별되는 사용자 긴 코드 시퀀스에 의해 구별된다. 각 채널의 구조는 IS-95 표준안^[1]에 기술되어 있기 때문에 여기서는 언급하지 않는다.

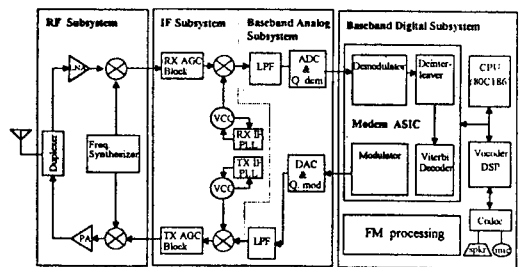
본 논문에서는 CDMA 방식의 휴대전화기 및 차량 전화기의 단말기 시스템에서 핵심기능인 변복조(역방향 링크의 변조와 순방향 링크의 복조) 기능 및 오류정정 기능을 한 칩으로 구현한 단말기 모뎀 ASIC의 설계 기술에 대해 설명한다. 2장에서는 우선 CDMA 단말기 시스템의 구조 및 핵심 ASIC 구성 내역을 살펴본 후, 3장에서는 단말기 모뎀 ASIC의 구조와 기능을 설명하고, 4장에서는 모뎀의 설계 방법 및 시뮬레이션 환경 구축에 대

해, 그리고 5장에서는 모뎀을 VLSI로 구현한 결과에 대해 기술하고자 한다.

II. CDMA 단말기 개요

CDMA 단말기 시스템은 (그림 1)과 같이 RF 시스템, IF 시스템, 기저대역(baseband) 아날로그 시스템, 그리고 기저대역 디지털 시스템으로 구성되어 있다.

이중 기저대역 디지털 시스템을 구성하는 핵심 부품으로는 대역 확산 신호의 변조, 복조 및 오류정정 기능을 수행하는 모뎀 ASIC, 음성신호를 압축 및 복원하는 QCELP 보코더용 DSP, 단말기 시스템을 전체적으로 제어하는 16비트 마이크로 컨트롤러 등이 있다. 그리고 기저대역 아날로그 시스템은 현재 BBA(BaseBand Analog) ASIC을 중심으로 구성되어 있는데, 기저대역으로의 변환을 위한 D/A, A/D 변환 및 기저대역에서의 신호처리(필터링, splitting or combining 등)를 수행한다. IF 시스템은 RF 신호에서 중간 주파수(IF) 신호로 변환된 후에 AGC(Automatic Gain Control)를 수행하는 회로 부분과 두번째 중간주파수 또는 기저대역으로 변화하는 기능을 수행한다. RF 시스템은 송신부쪽에서는 RF 신호로의 변환 및 전력 증폭기(PA), 그리고 duplexer를 통해 안테나로 나아가는 기능을 수행하고, 수신부에서는 밴드 패스 필터, LNA(Low Noise Amp), 그리고 중간 주파수로의 변환 기능 등을 수행한다.

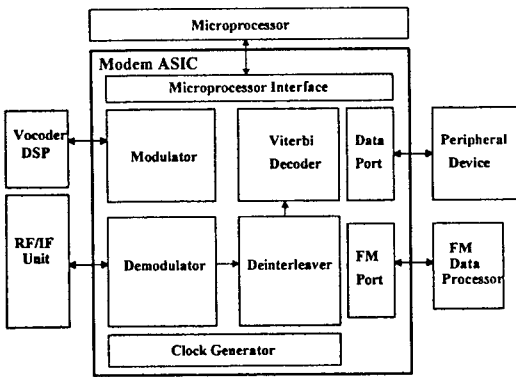


〈그림 1〉 CDMA 단말기 시스템의 구조도

한국전자통신연구소에서는 기저 대역 디지털 시스템의 핵심 부품인 모뎀 ASIC과 보코더 DSP, 그리고 기저 대역 아날로그 ASIC을 개발하여 실제 단말기에 실장한 후 성공적으로 시험을 수행하였다. 또한 RF 부분의 Rx MMIC(LNA+down conversion mixer), Tx MMIC(Up conversion mixer+pre-amp), 그리고 전력증폭기 등도 3.3V용으로 설계 및 제작하여 현재 시험 중에 있다. 본 논문은 이 중에서 단말기용 모뎀 ASIC의 설계 기술 내역을 중점적으로 기술하고자 한다.

III. CDMA 단말기 모뎀의 구조 및 기능

단말기 모뎀 ASIC의 구조는 (그림 2)와 같이 역방향 링크 변조기(modulator)와 비터비 복호기를 포함하는 순방향 링크 복조기(demodulator), 그리고 마이크로 콘트롤러 인터페이스 및 데이터 포트 등으로 구성된다.



〈그림 2〉 CDMA 모뎀 ASIC의 기능 블럭도

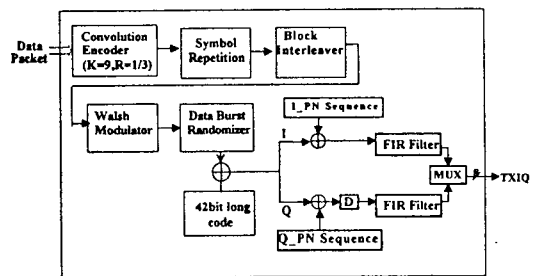
1. 변조기 구조

단말기 모뎀 ASIC의 변조기는 액세스 채널과 역방향 트래픽 채널로 구성되는 역방향 링크의 변조 기능을 수행한다. 즉, 역방향 변조기는 보코더로부터 가변 데이터(9600, 4800, 2400, 1200bps)를 수신받아 이를 기저국으로 전송하기 위한 변조 기능을 수행하는데, 그 구조는 (그림

3)에 나타난 것과 같이 길쌈 부호기, 인터리버, 월쉬 변조기, 데이터 버스트 랜덤화기, 직접 계열 확산 및 직교 확산기, 그리고 FIR 필터로 구성된다.

보코더에서 전송되어 오는 음성 부호 데이터는 20m sec 프레임 단위로 전달되는데, 이를 우선 인코더 RAM(32×8bit)에 저장한다. 그리고 9600 및 4800bps 전송 속도에 대해서는 CRC(Cyclic Redundancy Code)를 첨가하고, 그 뒤에 다시 8비트의 tail bits가 덧붙여진다. 변조기는 이 데이터들을 부호율 1/3, 구속장 9인 길쌈 부호기로 채널 부호화한다. 이 길쌈 부호기는 들어오는 데이터의 각 비트에 대해 3비트의 코드 심볼을 생성하게 된다. 이 코드 심볼은 인터리버로 전달되기 전에 데이터 전송 속도를 28.8Ksps로 일치시키기 위해 데이터 율에 따라 심볼 반복(Symbol repetition) 과정을 거치게 된다.

인터리버에서는 연접 오류를 이산 오류화하기 위해서 인터리빙을 수행한다. 인터리버는 576×1비트의 RAM으로 구성되며, 20ms 프레임 단위로 부호화된 심볼을 행(column) 단위로 받아서 열(row) 단위로 출력시킨다. 출력되는 순서는 채널 형태와 데이터율의 함수로 결정되며, 인터리버의 설계는 20ms 프레임 단위 내에서 쓰고 읽기가 가능한 구조로 설계되었다. 월쉬 변조기에서는 인터리버에서 출력되는 코드 심볼 6개를 하나의 단위로 형성한 뒤(4.8Ksps), 직교 변조 함수인 64비트 월쉬 함수로 매핑시킨다. 월쉬 함수의 각각의 비트를 월쉬 칩이라 하는데, 월쉬 변조기의 구현은 64진 카운터로 간단히 구현할 수 있는 Rademacher 함수를 사용하여 이루어졌다. 즉, 인터리버의 출력



〈그림 3〉 변조기 기능 블럭도

인 6개의 코드 심볼을 직/병렬 변환기를 통하여 6 비트 월쉬 심볼로 생성한 뒤, Rademacher 함수를 구현한 64진 카운터의 출력 6비트와 AND하여 만든다. 데이터 버스트 랜덤화기는 코드 반복에 의해 발생된 중복 데이터를 랜덤하게 마스크 함으로써 전송 전력의 낭비를 감소시키는 역할을 한다.

여기서 출력된 월쉬 칩은 사용자 식별을 위한 42비트의 긴 코드에 의해 BPSK 방식으로 확산된다. 이 긴 코드의 특성 다항식은 표준으로 정해져 있다. BPSK로 확산된 심볼은 이제 1.2288Mcps의 전송 속도를 갖게 되고, 이 심볼들은 I(In-phase) 채널과 Q(Quadrature) 채널로 분리되어 직교 대역 확산을 목적으로 각각 15비트 PN 시퀀스에 의해 OQPSK(Offset QPSK)로 변조된다. 변조된 I 채널과 Q채널의 신호는 각각의 sidelobe를 제거하기 위해 48탭의 계수를 갖는 1:4인터플레이션 FIR 필터로 입력된다. FIR 필터 설계는 48탭 필터 계수를 ROM에 저장하여 읽어내는 look-up 테이블 방식으로 설계하여 게이트 수를 줄일 수 있었다. 설계에는 256×11비트 ROM 1개를 사용하였다. 필터 연산은 11비트로 수행되며 오버플로우를 처리할 수 있도록 설계하였다. 필터출력은 11비트 연산 결과 중 상위 8비트만 출력된다.

2. 복조기 구조

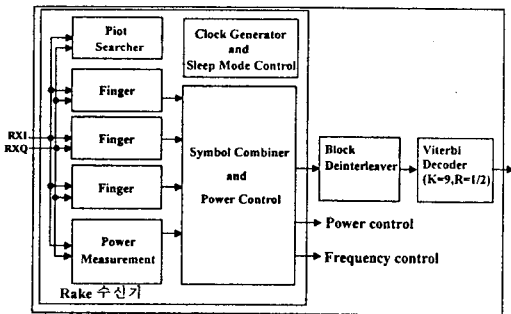
순방향 링크는 파일럿 채널, 싱크 채널, 페이징 채널, 그리고 트래픽 채널로 구성되어 있는데, 각 채널은 월쉬 코드에 의해 직교 확산되어 구별된다. 순방향 링크의 복조는 기지국에서 송신된 파일럿

신호를 이용하는 코히런트 복조 방식으로 이루어진다. 순방향 복조기는 (그림 4)와 같이 크게 rake 수신기, 디인터리버, 비터비 복조기로 구성된다.

1) Rake 수신기

Rake 수신기는 (그림 4)에서 보듯이, 파일럿 탐색기(searcher), 3개의 경로 수신기(finger), 전력 측정기, 그리고 심볼 합성기(symbol combiner)로 구성되어 있다. 파일럿 탐색기는 수신된 파일럿 신호를 이용하여 단말기의 PN 시퀀스와 수신된 기지국의 PN 시퀀스를 1/2PN 칩 주기 이내로 일치시키는 초기 동기 과정과 두 PN 시퀀스를 정확히 일치시키기 위한 추적 과정을 수행한다. 초기 동기는 보통 직렬 동기 탐색(Serial synchronization search) 방식으로 수행되는데, 초기 동기 시간을 줄이기 위해 이중 드웰 시간 탐색(Double dwell time search) 방법을 사용하였다.^[6] 우선 각 hypothesis에 대해 일정 시간(L1)동안 신호 에너지를 합산한 후에 미리 정해진 문턱값(T1)과 비교한다. 만약 신호 에너지 값이 T1보다 작으면, 다음 hypothesis로 넘어가고, 값이 더 크면 좀 더 긴 시간(L2)동안 에너지를 합산하여 두번째 문턱값(T2)과 비교한다. 이 에너지 값들은 DMA 채널을 통해 마이크로 컨트롤러에 전달되고, 마이크로 컨트롤러는 이 정보들을 이용하여 파일럿 신호를 선택하게 된다.

경로 수신기는 탐색기에서 얻어진 초기 동기를 이용하여 다경로 페이딩이 가미된 심볼의 복조 기능을 수행한다. 각각의 경로 수신기는 독립적으로 복조기 역할을 수행하도록 되어 있다. 경로 수신기의 기능은 I, Q파일럿 PN 코드 심볼 복조 기능 외에 시간 추적(Time-tracking)과 주파수 추적(Frequency-tracking), 월쉬 디커버링 기능 등을 수행한다. 복조된 심볼은 경로 수신기내의 FIFO 레지스터에 저장된다. Rake 수신기는 이와같이 3개의 경로 수신기로 구성되어 있어서, 3개의 다경로를 통해 입력되는 신호를 복조할 수 있다. 심볼 합성기는 3개 경로 수신기들의 FIFO에서 출력되는 신호를 받아 심볼을 합성하며, 합성된 신호에 대해 긴 코드 디스프레딩 기능을 수행하여 디인터리버로 신호를 출력한다. 심볼 합성기는 또한 심볼



(그림 4) 복조기 기능 블럭도

에서 전력 제어 비트를 추출하여 전력을 제어하기 위한 신호를 생성하기도 한다.

2) 디인터리버

디인터리버는 rake 수신기에서 복조된 4비트의 연관정(soft decision) 심볼을 받아 기지국에서의 인터리빙 과정의 역과정인 디인터리빙 기능을 수행한 후 비터비 복호기로 심볼을 출력한다. 디인터리버는 384×4비트 RAM으로 구성되어 있는데, 디인터리버의 설계는 20m sec 프레임 단위 내에서 쓰고 읽기가 가능한 구조로 설계되었다.

3) 비터비 복호기

단말기 모뎀 ASIC 내에 집적된 비터비 복호기는 디인터리버로부터 데이터를 받아 부호율이 1/2이며 구속장 9의 길쌈 부호화된 순방향 링크의 동기 채널, 페이징 채널, 트래픽 채널에 대해 채널 오류 정정 기능을 수행한다.^[7] 비터비 복호기의 구조는 (그림 5)와 같이 입력 버퍼 블럭과 복호 처리 블럭, 출력 버퍼 블럭으로 구성된다.

입력 버퍼는 384×4비트 RAM을 사용하여 디인터리버로부터 코드 심볼과 동기 신호를 받아서 복호 처리 수행을 위한 입력 심볼 처리 기능을 수행한다. 복호 처리 블럭의 구성은 가지 메트릭, 정규화, ACS(Add-Compare-Select), 체인백(chainback)의 4개 모듈과, 이에 필요한 상태 메트릭 메모리(state metric RAM) 및 경로 메모리(path memory)로 구성되어 있다. 상태 메모리의 크기는 256×6비트 RAM 두 개를 사용하였으며, 경로 메모리 크기는 256×64비트이고 역추적 깊이(traceback depth)는 64를 사용하였다.

가지 메트릭 모듈의 기능은 격자도(Trellis diagram)에서 각 상태에 연결된 가지의 코드 워드

(code word) 값과 수신 워드(received word) 값과의 차이인 가지 메트릭 값을 구하는 것이다. 정규화 모듈은 상태 메트릭의 값중에서 가장 작은 값을 이용하여, 모든 상태 메트릭 값을 빼서 적은 용량의 메모리로 상태 메트릭 정보를 보관하도록 한다. ACS 모듈은 격자도의 현재 위치에서 각 상태에 연결된 두 경로의 가지 메트릭 값과 그 가지에 연결된 이전 상태의 메트릭 값을 더하여 그 값을 서로 비교한 다음 작은 값을 선택하여 현재 상태의 새로운 상태 메트릭 값을 결정하는 기능을 수행한다. 또한 ACS 과정에서 비교하여 선택된 정보를 경로 메모리에 저장한다. 체인백 모듈은 격자도의 현재 위치에서 가장 작은 상태 메트릭을 갖는 상태를 찾고 그것을 초기 값으로 사용하여 해당 체인백 알고리즘을 적용하여 오류가 적은 원래의 정보를 찾아낸다. 복호기는 복호할 수신 워드를 받은 후 역추적 깊이 만큼의 시간이 지난 후에 복호 데이터를 출력한다.

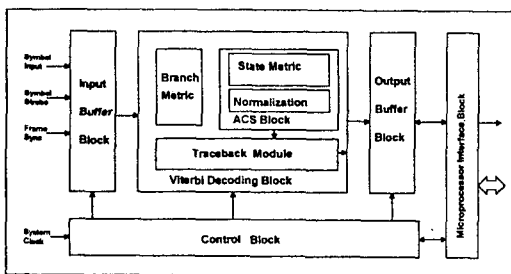
출력 버퍼 블럭은 복호된 데이터를 저장하는 기능과 저장된 복호 데이터와 함께 복호과정의 품질 정보를 출력하는 역할을 수행한다.

3. 마이크로 콘트롤러 인터페이스

단말기 모뎀 ASIC은 마이크로 콘트롤러의 명령에 따라 동작한다. 마이크로 콘트롤러 인터페이스 회로에는 마이크로 콘트롤러로부터 명령을 받고 또한 데이터를 주고 받을 수 있는 8비트 데이터/어드레스 버스가 있으며 인터럽트 및 DMA request 발생 회로 등이 내장되어 있다.

IV. 설계 및 시뮬레이션 방법

단말기 모뎀 ASIC 설계는 알고리즘 시뮬레이션에서 시작하여 논리 설계 단계를 거쳐 이루어졌으며, 이의 설계 검증을 위해 무선 채널 영향을 고려한 환경에서 모뎀 ASIC의 논리 시뮬레이션을 수행하였다. 우선 알고리즘 시뮬레이션 단계에서는 변조기와 복조기, 비터비 복호기 블럭을 C 언어로



(그림 5) 비터비 복호기의 기능 블럭도

모델링하여 변복조 알고리즘을 이해하고 검증하였다. 논리 설계는 Compass사의 0.8um CMOS CBIC 라이브러리를 이용하여 수행하였는데, 설계에서 고려한 사항은 다음과 같다.

- 내부 동작 클럭은 skew를 없애기 위해 2phase non-overlapping 클럭을 사용함.
- 전력 소모를 줄이기 위해 하드웨어를 최적화된 구조로 설계함.
- 변조기, 복조기, 비터비 복조기의 기능블럭을 각각 테스트할 수 있도록 함.

가장 문제가 된 것은 설계 검증 단계였다. 왜냐하면 모뎀 ASIC의 많은 기능이 마이크로 컨트롤러의 명령 및 제어 신호와 긴밀하게 연관되어 있기 때문에 단말기 모뎀 ASIC의 단독적인 기능 검증용 테스트 벡터만을 사용해서는 칩 전체의 설계를 검증하기에는 충분하지 않았고 실제로는 거의 불가능했다. 그래서 우리는 설계하고 있는 ASIC 자체의 검증보다 ASIC을 포함하는 단말기 시스템 전체의 동작을 마이크로 컨트롤러와 연결시켜 실제 응용 프로그램을 사용해서 검증하고자 하였다.^[8] 이를 위해 구축한 시뮬레이션 환경은 (그림 6)과 같다.

단말기 모뎀 ASIC을 단말기 시스템 전체 동작과 연동시켜 시뮬레이션 하기 위해서는 모뎀 ASIC을 제어하는 마이크로 컨트롤러의 시뮬레이션 모델과 기지국에서 송신되는 신호에 무선 채널 영향을 고려한 수신 신호의 모델이 필요하다. 따라서 시뮬레이션 환경은 마이크로 컨트롤러의 VHDL 모델과 수신 신호 발생기 모델, 설계된 단말기 모뎀 ASIC, 그리고 실제 호처리(call processing)를 수행하는 응용 프로그램, 이렇게 4부분으로 구성되어 있다. 각 모델의 설명은 아래와 같다.

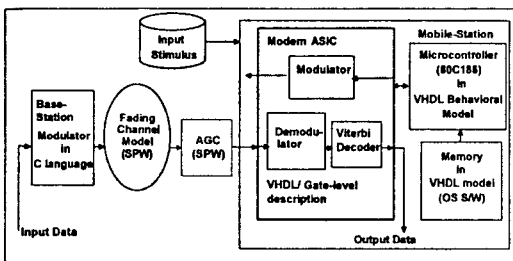
1. 마이크로 컨트롤러 모델

단말기 시스템에서 모뎀 ASIC은 마이크로 컨트롤러의 제어하에서 CDMA 모뎀 알고리즘을 수행하게 되는데, 마이크로 컨트롤러의 역할은 기지국과의 호처리(call processing) 과정을 수행하기 위한 단말기 시스템의 모든 동작을 제어한다. 마이크로 컨트롤러의 모델링은 상위 수준의 VHDL 언어로 작성하였는데, 약 16,000라인의 VHDL 코드로 구성되어 있다. 모델링된 마이크로 컨트롤러는 Intel의 80C186과 호환성이 있는 것으로 내부에는 마이크로 컨트롤러 코어, 인터럽트 제어기, 타이머, DMA 제어기, Watchdog 타이머 등이 포함되어 있다.^[9]

2. 수신 신호 모델

단말기 모뎀 ASIC의 복조 기능을 시뮬레이션하기 위해서는 기지국에서 송신되어 무선 채널을 통해 단말기에서 수신되는 신호를 실제 상황처럼 발생하기 위한 모델링이 필요하다. 수신 신호를 생성하기 위한 모델링의 구성은 기지국 변조기 모델과 무선 채널 모델, 그리고 자동이득 제어(AGC) 모델로 구성하였고,^[10] 이것은 SPW 툴 환경에서 수행되었다. 기지국 변조기 모델은 기지국 변조기를 C 언어로 모델링 하여 순방향 링크의 채널인 파일럿 채널, 동기 채널, 액세스 채널, 순방향 트래픽 채널 신호를 발생시킨 후, 각 채널 신호들을 합쳐서 무선 채널 모델로 출력시킨다. 기지국 변조기 출력 신호가 통과하게 되는 무선 채널은 다정로 페이딩을 고려해서 3개의 경로로 모델링 하였는데, 각 경로의 지연시간은 $t_1 = 0\mu s$, $t_2 = 1.5\mu s$, $t_3 = 14.5\mu s$ 을 사용하였다. 3개의 경로는 Rayleigh 페이더를 거친 후 합쳐지게 된다.

단말기에서 수신되는 신호는 무선 채널 특성으로 인해 입력 신호의 세기가 변화하게 된다. 이러한 신호는 주기적으로 세기가 변화하기 때문에 적절한 이득 조절이 되지못하여 신호의 세기가 감소



(그림 6) 단말기 시스템의 시뮬레이션 모델 환경

하면 동기를 유지하지 못하는 반면, 신호의 세기가 너무 크게 되면 원치 않는 위치에서 큰 에너지가 검출되어 동기를 찾는 시간이 많이 걸린다. 따라서 입력 신호의 세기를 가변적으로 조절하여 일정한 세기의 신호를 만드는 AGC 모델도 SPW 툴을 이용하여 작성하였다.

3. 시뮬레이션 내용

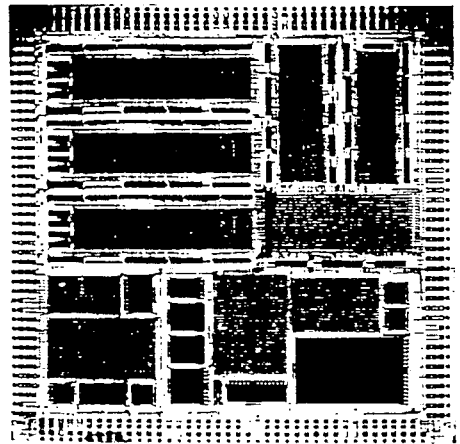
단말기 모델 ASIC의 시뮬레이션은 (그림 6)의 환경 하에서 기지국과 단말기의 호처리 과정을 직접 수행하는 응용 프로그램을 작성하여 수행하였다. 시뮬레이션에 사용된 호처리 과정은 5단계로 구성된다. 첫번째 단계는 기지국에서 송신된 신호 중 파일럿 채널을 이용하여 15비트 PN 시퀀스의 동기를 잡는 과정이며, 두번째는 동기 채널로부터 동기 메시지를 추출하여 단말기의 42비트 긴 코드의 동기를 맞추는 과정이다. 세번째는 단말기에서 기지국으로 역방향 액세스 채널을 보내는 과정이며, 네번째는 기지국에서 보내진 순방향 트래픽 채널 수신 과정이고, 다섯번째는 단말기에서 역방향 트래픽 채널을 보내는 과정이다.

시뮬레이션 툴은 마이크로 컨트롤러의 VHDL과 모델 ASIC의 논리 회로와의 혼합 시뮬레이션이 가능한 IKOS의 Voyager 툴을 사용하였으며, 시뮬레이션 속도를 빠르게 하기 위하여 IKOS의 하드웨어 가속기인 NSIM64를 사용하였다.^[11] 우리가 실제 응용 프로그램의 실시간 40msec을 software simulator를 사용하여 시뮬레이션 하였을 때, SPARC20 workstation 에서 30시간 정도가 소요되었다. 그러나 호처리 과정을 검증하기 위해서는 최소한 500m sec 이상의 실시간에 해당하는 시뮬레이션이 필요하다. 이것은 software simulator로는 불가능했기 때문에 IKOS의 하드웨어 가속기를 사용하였는데, 이 경우에는 560m sec의 실시간 시뮬레이션에 약 27시간 정도가 소요되었다. 이 과정을 통해 ASIC 자체의 기능 검증용 테스트 벡터로 검증할 수 없었던 설계 오류(특히 마이크로 컨트롤러와의 인터페이스)를 발견할 수 있었고, 회로 설계를 수정한 후에는 이것이 정상 동작함을 검증할 수 있었다.

V. VLSI 구현

단말기 모델 ASIC은 0.8um 이중 금속 배선의 CMOS 표준셀 방식으로 설계되었으며, 89,000개의 게이트와 29,000비트의 SRAM을 포함해서 총 56만개의 트랜지스터로 구성되었다. (그림 7)은 제작된 모델 ASIC의 칩 사진을 보여주고 있는데, 칩 크기는 10.0mm×10.1mm이며 패키지는 144핀 TQFP로 제작되었다.

최대 소모 전력은 공급전압 5V, 동작 주파수 10MHz 에서 340mW 정도였다. 제작된 모델 ASIC은 CDMA 차량용 단말기와 휴대전화기에 실장하여 통화 시험 및 성능 시험을 수행하였는데, 기지국과의 통화 시험에 성공하였으며 모델 ASIC을 장착한 단말기 성능 시험에서도 IS-98^[12]에 명시된 규격을 만족하였다.



〈그림 7〉 단말기 모델 ASIC 칩 사진

VI. 결 론

CDMA 디지털 이동통신 방식의 표준안인 IS-95를 근간으로 하여 CDMA 이동통신 단말기 시스템에 사용하기 위한 단말기 모델 ASIC을 설계하고 이를 ASIC 칩으로 구현하였다. 이 모델 ASIC

은 역방향 링크의 변조기, 순방향 링크의 복조를 위한 rake 수신기, 디인터리버, 비터비 복호기와 마이크로 프로세서 인터페이스 회로를 한 칩으로 집적화 시킨 것이다. 설계 초기 단계에는 C언어를 이용한 상위수준의 알고리즘 시뮬레이션을 통하여 모뎀 기능을 검증하였고, 그 다음에는 논리설계를 수행하였다. 모뎀 ASIC의 최종 논리 설계 검증은 VHDL로 모델링된 16비트 마이크로 콘트롤러와 연결하여 기지국과의 호처리 과정을 직접 시뮬레이션하여 수행하였다. 단말기 모뎀 ASIC 설계 및 구현은 0.8um CMOS 표준셀 방식으로 수행되었는데, 제작된 모뎀 ASIC은 CDMA 휴대 전화기에 실장하여 통화시험을 수행한 결과 정상 동작을 하였으며, 성능 시험에서도 IS-98에 명시된 단말기 성능 규격을 만족하였다. 특히 우리가 사용한 시스템 수준의 설계 검증 방법은 칩의 첫번째 제작에서 성공적인 동작을 보여준 칩의 개발에 큰 도움이 되었다. 본 논문에서 기술된 CDMA 모뎀 설계 기술은 앞으로 대역 확산 방식을 이용한 차세대 이동통신 시스템인 PCS(Personal Communication System)용 모뎀 설계, 위성 수신기 복조기 설계, 무선 LAN용 모뎀 설계 등에도 널리 응용될 것으로 기대된다.

참 고 문 헌

- [1] TIA/EIA IS-95 : Mobile Station-Base Station Compatibility Standard for Dual-Mode Wideband Spread Spectrum Cellular System, TIA, USA, July, 1993.
- [2] K. S. Gilhousen, et al., "On the Capacity of a Cellular CDMA System", IEEE Trans. on Vehicular Tech., VT-40, No. 2, pp.303~322, May 1991.
- [3] 이재홍, "CDMA 기술 개요", 전자공학회지, 21권 1호, pp.1 ~9, 1994년 1월
- [4] P. Jung, P. W. Baier, and Andreas Steil, "Advantages of CDMA and Spread Spectrum Techniques over FDMA and TDMA in Cellular Mobile Radio Applications", IEEE Trans. on Vehicular Tech., VT-42, No. 3, pp.357~364, August 1993.
- [5] TIA/EIA IS-96 : Speech Service Option Standard for Wideband Spread Spectrum Digital Cellular System, TIA, USA, April 1994.
- [6] J. K. Holmes, Coherent Spread Spectrum Systems, pp.419~422, John Wiley & Sons, New York, 1982.
- [7] 전인산, 어익수, 임인기, 영광일, 김재석, 이훈복, "CDMA 디지털 셀룰라 시스템에서의 비터비 복호기 성능 분석", 1994년 한국통신학회 추계 종합 학술대회 논문지, 13권 2호, pp.431~434, 1994. 11월
- [8] G. Park, K. Chang, J. Kim, and K. Kim, "System-level Verification of CDMA Modem ASIC", ASP-DAC95, pp.177~182, August, 1995.
- [9] B. B. Brey, The Intel Microprocessors, MacMillan Publishing Company, 1991.
- [10] K Chang, I. Jeon, I. Eo, J. Kim, "Frequency Selective Rayleigh Fading Channel and AGC Loop Modeling for CDMA System", APCC 95, pp.240~244, June, 1995.
- [11] IKOS systems, Voyager Series User's Guide, 1994.
- [12] TIA/EIA/IS-98 : Recommended Minimum Performance Standards for Dual-mode Wideband Spread Spectrum Cellular Mobile, TIA, USA, April 1994.

저 자 소 개



金 在 錫

1955年 10月 1日生

1977年 2月 연세대학교 전자공학과 학사

1979年 2月 한국과학기술원 전기 및 전자공학과 석사

1988年 8月 Rensselaer Polytechnic Institute 전자공학과 박사

1979年 2月~1984年 4月 전자기술연구소 선임연구원

1988年 8月~1993年 5月 AT&T Bell Lab. MTS(Member of Technical Staff)

1993年 5月~현재 한국전자통신연구소 VLSI구조연구실장

주관심분야 : High Performance VLSI design, CAD, DSP 및 디지털 통신



延 光 一

1958年 9月 4日生

1981年 2月 한양대학교 전자공학과 학사

1984年 8月 한양대학교 전자공학과 석사

1993年 3月 한양대학교 전자공학과 박사과정중

1982年 3月~현재 한국전자통신연구소 선임연구원

주관심분야 : VLSI design, 무선 및 이동 통신용 모델 설계