

Book-Shelf 구조에서 ATM 스위치 실장 한계에 대한 고찰

李命鎬, 田溶一,
全炳胤, 朴權喆

韓國電子通信研究所

I. 서론

멀티미디어 시대가 다가옴에 따라 초고속 디지털 통신을 가능하게 하는 ATM 교환기의 개발이 진행되고 있다. 이러한 시스템의 전체 throughput은 2.4Gb/s급에서 10Gb/s급 규모이며 현재 개발되고 있는 대부분의 교환기는 과거부터 교환기 시스템에 많이 사용되던 book-shelf 실장방식을 사용하고 PGA(Pin Grid Array)와 QFP(Quad Flat Package)등의 소자를 사용하여 구현하고 있다.

본고에서는 현재의 book-shelf 실장기술이 스위치 규모가 커질 때 어떠한 한계점을 가지고 있는가를 검토했으며, 스위치회로패 제작시 필요한 대책 기술을 서술하였고 현재 외국에서 개발되고 있는 수십Gb/s급 이상의 ATM 스위치회로패 실장기술 동향도 언급하였다. 수십Gb/s급 이상의 스위치회로패 실장기술은 3차원 실장방법과 소규모평면실장(SPP: Small Planar Packaging) 기술이 있으나 3차원 실장방법은 I/O 핀(pin) 한계 문제와 냉각 문제를 완전히 해결할 수 없어 더 이상의 진전이 없음을 제시하였고 미래 스위치회로패 실장기술은 소규모평면실장(SPP)기술이 될 것 같으며 이 기술의 특징을 서술하였다.

II. Book-shelf의 실장 한계

과거 TDX 교환기 시스템에 사용했던 실장 구조는 랙(rack)내에 book-shelf 구조로 PBA(Printed Board Assembly로 Card-On-Board(COB) 형태로 실장)가 실장되었다. 이 구조는 TDX-ATM 교환기가 개발되면서 부분적으로 개량은 되었으나 스위치 규모가 커지면서 기술적인 몇 가지의 한계점에 도달하게 되었다. 그 한계란 첫째, PBA 한번만 커넥터를 실장하여 backplane과 접속하기 때문에 커넥터 핀(pin) 부족이 발생할 수 있다. 둘째, 스위치 규모가 커지는 것에 따라 PBA내의 실장밀도가 높아지게 되어 PBA내에 소모 전력이

증가하게 된다. 따라서, 현재 TDX-ATM 시스템은 book-shelf 구조로 16×16 스위치회로팩을 풍속 1.5m/s로 강제공냉하고 있으나 스위치 규모가 커지면 PBA 냉각에 문제가 발생된다. 셋째, 전송속도가 155Mb/s 정도이며 PBA의 한번만 커넥터를 실장하여 backplane과 신호를 접속하기 때문에 커넥터 핀 부족으로 board throughput 향상에는 한계가 있다. 여기에서는 이러한 한계에 대하여 검토해 본다.

실장 한계를 명확하게 하기 위해 다음과 같은 가정을 한다.

- Backplane과 PBA의 신호 접속은 PBA 한번만 사용한다.
- PBA 크기는 288×415mm이라고 한다.
- 현재의 FR-4 PBA내에 서로 연결할 수 있는 최대 신호전송속도는 약 320Mb/s이다.
- 커넥터 핀 수는 768pins/PBA이며 이중 70%까지 스위치회로팩의 Port용 I/O 핀으로 사용한다고 가정한다. 단, 실제 제작시 가정보다 제어선이 더 많을 수 있어 앞의 70%는 더 줄 수 있다.
- 8비트 병렬 전송(1개의 Port당 8개 I/O 핀 사용)이라고 한다.
- PBA 소비 전력은 스위치부의외에 드라이버와 리시버를 포함한다.
- 보드 간격은 약 30mm이다.
- 한 랙에 3개의 셸프(shelf)가 직렬로 실장된다고 한다.
- 냉각방식은 2단 push-pull 강제공냉방식이다.

아래의 <그림 1>은 위의 가정하에 book-shelf 실장에서 board throughput과 커넥터부의 신호전송속도와의 관계를 나타낸 것이다.

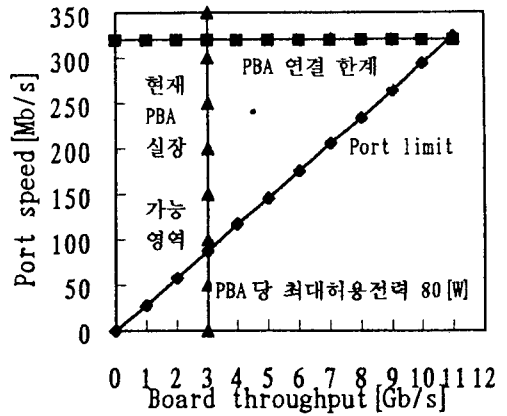
이 그림의 내용을 요약하면 다음과 같다.

- 8bit 버스구조에서 회선당 신호의 전송 한계는 약 320Mb/s이다.

$$\text{Board throughput} = \text{스위치 규모} \times \text{Port Speed} [\text{Mb/s}]$$

$$0.7 \times 768 [\text{pins}] = \text{스위치 규모} \times (8 \times 2) [\text{개}]$$

$$\text{Board throughput} / \text{Port Speed} = (0.7 \times 768 \text{pins}) / (8 \times 2 \text{개})$$



<그림 1> 현재의 book-shelf PBA 실장 한계

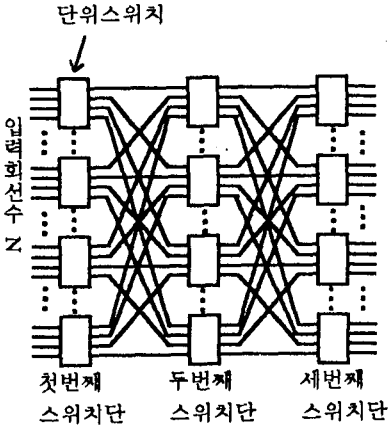
- 냉각 한계는 PBA당 80W 정도이다.
- Board throughput 한계는 11Gb/s 부근이다. 위의 <그림 1>에서 알 수 있는 것은 2.4Gb/s급에서 10Gb/s급 ATM 스위치회로팩 실장시 스위치 규모가 커지면 현재의 book-shelf 구조에서 다음과 같은 문제점이 발생할 수 있다.

- PBA의 I/O 핀 수 부족 문제가 발생할 수 있다.
- 기존의 냉각방식을 재검토해 볼 필요가 있다.

III. Book-Shelf 실장 구조에서 문제점과 대책 방법

스위치 규모가 커지면 앞의 한계 때문에 최근 냉각특성, 고속신호의 cable연결 부분 제거 등 적절한 방법 검토가 수행되었으며 그 실현 방법으로 3차원실장방식과 평면실장방법의 연구가 수행되어 시제품이 만들어지고 있다. 그러나, 현재의 book-shelf 구조 실장 방법은 기술의 안정성, 높은 실장 밀도와 유지보수의 용이성 등 이점이 많아 본 문서에서는 현재의 book-shelf 구조 실장 방법을 사용한 ATM 스위치회로팩 실장기술에 대해 검토한다. 고속 시스템을 구현하는 경우 실장상의 문제로서 크게 아래 4가지를 들 수 있다.

- PBA 실장 기술
- 고속전송 기술



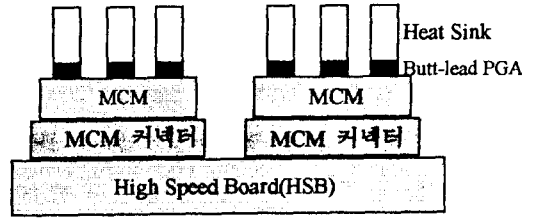
(그림 2) 대규모 스위치 구성 예

- 인터페이스 기술
- 냉각 기술

(그림 2)에 나타낸 복수단 접속 구성에 의해 대규모화에 대응한 광대역 스위치(3단) 구성 예이며, 위의 4항목 기술에 대해 다음에 자세히 내용을 설명한다.

1. PBA 실장 기술

PBA는 요구되는 전기적 특성과 기구물적인 요구사항을 만족하는 한 고다층화된 것을 사용하며 고속 디지털 전송 선로로 마이크로스트립선(microstrip-line), 스트립선(strip line), 이중 오프셋 스트립선(dual offset strip-line)을 사용한다. 고속 디지털 전송의 경우 스트립선의 내층 연결은 via를 사용하여 연결하며, 이중 오프셋 스트립선을 사용하는 경우 상하 신호선은 서로 직교하여야 한다. 전원과 그라운드(ground)는 반드시 면(plane)으로 사용하여야 하며 PBA의 층구조는 기구물적으로 상하가 대칭성을 유지하는 것이 좋다. 부품들은 가능한 한 ASIC 기술을 사용하여 고밀도 실장한다. 또, 스위칭하는 신호의 고속화에 따라 PBA의 구동회로부 면적이 증가하여 스위칭 회로 실장 영역을 감소시키고 있다. 구동회로부의 면적 증가는 패키징당 소비전력을 증가시키고 PBA 매수도 증가시킨다. 이 문제를 제거하기 위해 방열 기술과 균형을 취한 고밀도실장을 한다. FR-4 PCB



(그림 3) MCM (Multi-chip Module) 사용 예

(Printed Circuit Board) 수준에서 GaAs 구동 소자를 사용하여 30cm(12inch) 거리를 서로 연결 가능한 신호속도는 최대 약 320Mb/s이며 그 보다 높은 신호전송은 MCM(Multi-chip Module)을 사용하여 상호 연결한다. 원래 MCM 기술은 컴퓨터의 고속화, 고밀도화, 고능를 냉각 요구조건을 만족하기 위해 제작된 액체냉각의 MCP(Multi-chip Package)를 개선한 것이며 히트 싱크(heat sink)를 부착한 공기냉각방식이 많이 사용되고 있다.

2. 고속전송 기술

1) 특성임피던스

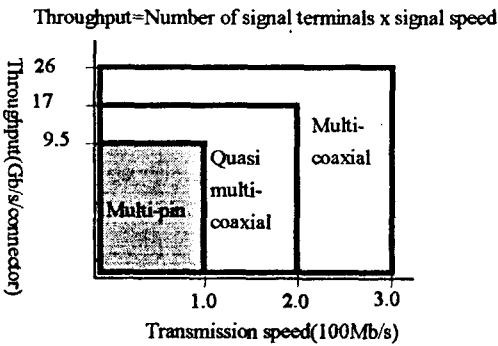
신호속도 증가에 따라 PBA와 backplane의 배선 특성임피던스 제어와 임피던스 정합용 커넥터를 사용하여 신호의 반사와 감쇠를 억제한다. PBA와 backplane의 배선에 대해서는 기판을 고다층화하며 배선의 특성임피던스를 기판 제조단계에서 제어하는 방법을 채택한다. 고속신호의 경우 Z_0 는 50Ω이 되도록 한다. 전송로의 일부를 구성하는 커넥터는 누화의 저감화와 특성임피던스의 제어가 가능한 스트립라인 구조의 차폐성이 좋은 커넥터(단자 밀도는 약 2.5/mm로 세심통축커넥터 밀도 보다 높다)를 사용한다.

2) 다 핀(pin)화와 신호전송

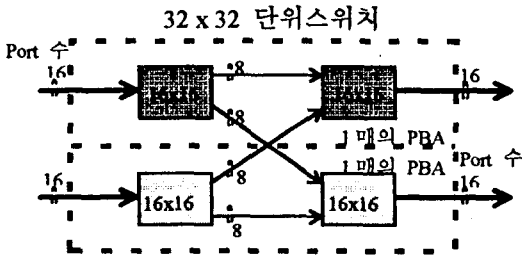
단위스위치의 스위치 규모 증대 및 높은 throughput을 얻기 위해 각각의 신호속도를 적정화하기 위해 신호 병렬화 등을 하며 이것이 PBA 입출력 신호 핀 밀도를 증가시키며 PBA의 커넥터 핀 부족을 초래할 수 있다. 이 목적으로 (그림 4)의 실장밀도가 좋은 멀티 핀(multi-pin) 커넥터가 신호용 커넥터로 많이 쓰이나 신호전송 속도가 높

아직 낮은 신호 : 그라운드(S : G)비를 취해야 되며 커넥터 임피던스는 S : G비에 의해 정해지므로 일반적으로 정확히 정의되지 않는다. 최근 이러한 결점을 보완한 편사이 소형 그라운드(ground) 핀이 삽입된 고밀도 실장이 가능한 멀티 핀 커넥터(NTT)도 개발되어 앞으로 많이 사용될 것 같다. 이 소형 그라운드가 추가된 멀티 핀 커넥터는 실장 밀도도 좋고 고속전송 특성도 상당히 개선된 것으로 생각된다. 전기적 구조는 quasi multi-coaxial 커넥터와 비슷한 형태를 가지며 실장밀도(S : G 고려)는 quasi multi-coaxial 커넥터 보다 좋으나 고속전송 특성은 뒤질 것으로 생각된다. Quasi multi-coaxial 커넥터는 실장밀도도 좋고 커넥터 임피던스도 잘 정의되나 일률적인 S : G비를 취해야 되기 때문에 실제의 사용상 실장밀도는 멀티 핀 커넥터 보다 높지 않다. S : G비를 요구하지 않고 커넥터의 특성임피던스가 정확히 정의되는 2.5mm 피치(pitch)의 고밀도 multi-coaxial 커넥터는 시험적인 생산 단계이다.

스위치 규모가 커지면 현재의 실장 방법으로는



〈그림 4〉 커넥터의 성능 비교



〈그림 5〉 2개의 PBA로 32×32 단위스위치 구현 방법

PBA당 I/O 핀 수는 거의 한계값이어서 이 수를 줄이지 않으면 실장이 어렵게 될 수 있다. 단위스위치를 2개의 PBA로 구현하여 Port용 I/O 핀수를 최소화하면 단위스위치를 한개의 PBA에 구현했을 때 보다 PBA당 I/O 핀수를 줄이는 것이 가능하다.

또, 고속 디지털 신호인 경우 차폐성 확보와 특성임피던스 제어를 하여 backplane을 매개로 접속하는 신호를 single 전송 하면 I/O 핀수를 줄이는 것이 가능하다.

3) 누화 잡음

전송 신호의 상승 및 하강시 천이기간 감소 및 신호 병렬화에 따라 배선부와 커넥터부에 누화 잡음 증가가 예상된다.

4) 감쇠와 지연

고속전송을 하는 것에 의해 과거 수 Mb/s 정도 신호전송에서 문제가 되지 않았던 고주파 손실(저항 손실, 표피 효과, 유전 손실)을 수백 Mb/s가 넘는 경우는 항상 고려해야 한다. 또, 데이터 버스 배선길이에 불균일이 생기면 배선에서 지연 시간 차가 생겨 데이터 skew의 원인이 되므로 배선길이의 제어가 필요하다.

3. 인터페이스 기술

1) PBA간 접속

복수단 접속 구성에 의한 대규모 스위치 구현은 각 단위스위치의 효율적인 배치에 의한 backplane에서 배선길이 최적화 및 셀프간 PBA간 접속 케이블을 최대한 제거해야 한다. 따라서, 현재 book-shelf 실장에서 단위스위치 기관의 최적 배치 조건을 검토할 필요가 있다. 이것은 PBA간 배선길이 최적화와 케이블 연결을 제거하는 것을 가능하게 한다.

2) 랙간 접속

고속신호를 랙간 접속하는데 있어서 과거부터 사용되어져 왔던 전기케이블(AC 버스 케이블)로 직접적인 접속은 감쇠 등에 의해 신호 판별 영역 감소에 따른 전송 품질 열화와 전송 가능 거리 등 제한이 많아 그대로 사용하기 어려우며 수백Mb/s의 고속신호를 전기케이블을 사용하여 전송하는

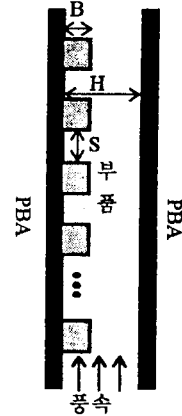
것은 EMC 관점에서도 큰 문제가 된다. 따라서, 앞에서 기술한 것 같이 다 핀(pin)화 대책으로 backplane의 신호전송을 single 전송하는 것에 대해 언급했지만 동일 랙내에서 케이블 전송은 평형 케이블을 사용한다. 케이블 전송의 경우 backplane상의 전송에 비해 감쇠와 외래 잡음에 의해 영향을 받을 가능성이 높아 그러한 것들에 대한 내량을 향상 시키기 위해서 평형전송을 하는 것이 좋다. 따라서 single 전송에서 평형전송으로 전송형식을 변환하는 평형정합장치를 사용하여야 하며 평형정합장치는 전송형식 변환 이외도 PBA상 배선이 가지는 특성임피던스와 케이블이 가지는 특성임피던스와 임피던스 정합을 수행 하는 역할을 해야 한다. 예로써 310Mb/s에서 최대 3m까지 평형케이블을 사용할 수 있다. 랙간 전송에 대해서는 전송 거리, 전송 품질 및 EMC 관점에서 성능이 좋은 광케이블을 사용한다.

4. 냉각 기술

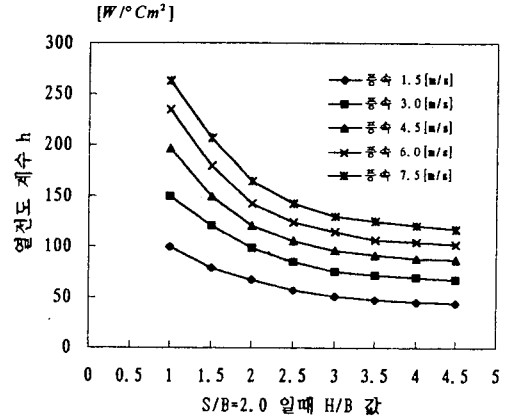
소자에 대한 요구가 고집적화, 고속화되고 있어 그 결과 LSI의 소비전력 증가 및 고밀도 실장화에 따른 PBA 전체 발열량이 증가되고 있다. 그래서, 어떻게 효율적으로 방열 하는가? 또, 어떻게 발열량을 줄이는가가 중요한 문제로 되고 있다. 강제공냉방식에 있어서 냉각성능에 직접적인 영향을 주는 인자는 풍속, heat sink 사용, fan unit의 설치 위치 및 air duct의 구조 등 이다. 이 중에서 기존의 시스템을 크게 변화를 시키지 않고 냉각특성을 개량할 수 있는 것은 풍속의 증가와 heat sink 사용이다. 다음에 이것에 대하여 자세하게 기술하도록 한다.

TDX-ATM(16×16) 스위치 회로팩의 PBA당 최대허용소모전력을 계산하기 위해 다음 <그림 6>과 같이 PBA의 강제 공기냉각 구조를 정의하자.

<그림 6>과 같은 구조에서 S/B=2.0으로 하였을 때 PBA 간격 H/B와 풍속에 따른 열전도계수(Heat-transfer coefficient) h는 다음 <그림 7>과 같이 실험적으로 구해졌다. 여기서, 부품의 높이 B를 10mm라 하고 S/B=2.0, H/B=3(board 간격 30mm)이라 하면 TDX-ATM(16×16) 스위



(그림 6) PBA의 최대허용소모전력을 구하기 위한 시험 구조

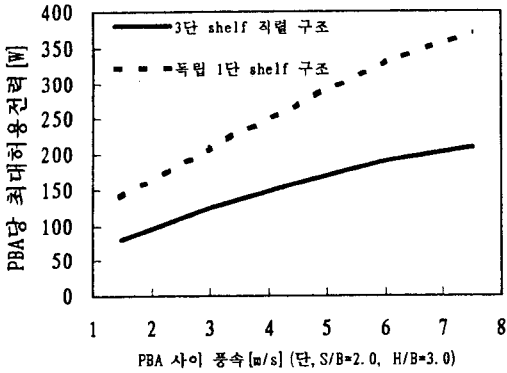


(그림 7) (그림 6)의 구조에서 풍속에 따른 열전도계수h값의 측정 결과

치회로팩의 PBA당 최대허용전력이 구해진다. 즉,

$$Q = h \bullet (\text{PBA의 부품 실장 면적}) \bullet (\text{부품의 최대 허용 junction 온도} - \text{주위 온도}) [W]$$

위 <그림 7>에서 풍속이 1.5[m/s](현재의 TDX-ATM 시스템의 풍속) 일때 $h = 50 [W/°C m^2]$ 이며, PBA 전체면적(0.288×0.415)에 부품이 70% 실장되었다고 가정하며, 부품의 최대허용 junction 온도를 65°, 셀프를 직렬 3단 구성시 가장 위쪽 셀프의 주위 온도를 45°C라 하면 PBA당 최대허용전력 Q는 약 80[W]로 주어진다. 아래



〈그림 8〉 풍속에 대한 PBA당 최대허용소비전력

〈그림 8〉은 3단 셸프 직렬 구조와 독립 1단 셸프 구조일 때 각각 PBA 사이 풍속에 대한 PBA당 최대허용전력 Q를 그린 그림이다. 단, 독립 1단 셸프 구조일 때 고발열 부품이 다수 실장될 수 있어 실장 밀도는 다소 줄어들 수 있으므로 PBA 전체면적에 부품이 60% 실장되었다고 가정했으며 주위 온도는 25℃로 했다.

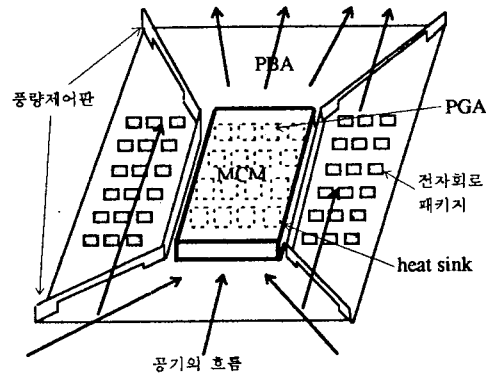
7.68Gb/s 규모의 32×32 ATM 단위스위치회로 팩이 한 매의 PBA로 구현된다면 PBA의 소모전력은 4×70[W]가 되어 〈그림 8〉에서 독립 1단 셸프 구조로 풍속 약 5.0[m/s]로 강제공냉시켜야 된다. 만약 32×32 단위스위치가 2매의 PBA로 구현된다면 PBA당 소모전력은 2×70[W]가 되어 현재의 3단 직렬 구조로 풍속 약 4.5[m/s]로 강제공냉시켜야 된다. 현재의 TDX-ATM시스템의 기구물적인 변경이 없이 팬(fan) 속도만 증가시켜 냉각 가능한 2매의 PBA로 구현되는 32×32 단위스위치 구성이 바람직한 것 같다. 현재 외국 자료를 보면 강제공냉을 사용하여 4단 셸프 직렬 구조에서 PBA당(TDX-ATM PBA로 환산) 110[W]까지 냉각하고 있다.

팬 급전용 전원계통 고장시 전체시스템의 냉각 기능이 마비되는 것을 막기 위해 시스템내 팬 유니트에 공급되는 전원은 2계통화하여 각각 급전한다.

LSI의 고집적화와 고속화에 따라 소비전력이 증가 하는 경향이며 heat spot화 되는 것이 예상된

다. 과거에는 고발열이 예상되는 LSI만 방열핀을 붙이는 것에 의해 heat spot화를 피하도록 했다. 그러나, 강제공냉을 하는 경우 반드시 방열핀이 있는 부분과 방열핀이 없는 다른 부분이 비슷한 풍속을 유지할 수 없어 방열핀을 붙이는 효과가 바로 반영되지 않았다. 이러한 문제를 해결하는 방법은 heat pipe로 PBA 단위로 구성된 방열핀을 사용하여 heat spot의 열을 PBA 위 전면에서 방열시켜 PBA 위에서 공기 흐름을 균일화하여 방열 효과를 향상시키는 방법과 PGA 소자들을 MCM 기술을 사용 연결하여 MCM 단위로 방열핀을 붙이는 방법이 있으나 냉각특성은 후자가 더 좋다. 〈그림 9〉과 같이 풍량제어판을 사용하고 셸프사이의 대류유도관을 150mm로 했을 때 MCM(한 개로 구성된 알미늄 pin-fine heat sink 부착)당 허용 소비전력이 30% 정도 향상되었다. 따라서, ASIC들을 한 개의 알미늄 히트 싱크(예를 들면; 정사각형 100mm×100mm로 높이 15mm 방열핀 사용, PBA에서 기구물적으로 결합)를 사용하여 〈그림 9〉의 MCM과 같이 배치하면 PBA내의 풍속을 일정하게 할 수 있어 heat spot화를 피할 수 있으며 〈그림 8〉의 냉각한계까지 어느 정도 냉각특성이 개선될 것으로 생각된다. 지금까지 냉각기능에 큰 역할을 하는 풍속과 heat sink에 대하여 기술하였으나 그외에 영향을 주는 것으로는 팬 유니트의 설치 위치 및 air duct 구조 등이 있다.

본장에서는 book-shelf 구조에서 2.4Gb/s급에서 10Gb/s급 ATM 스위치회로팩 실장시 필요한



〈그림 9〉 PBA에 실장되는 MCM의 방열 예

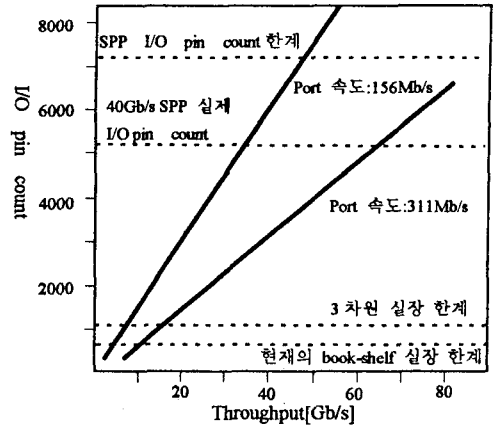
PBA실장 기술, 고속전송 기술, 인터페이스 기술, 냉각 기술 등을 기술하였으며 특히, 스위치 규모 (7.68Gb/s 규모로 Port 속도 240Mb/s)가 커지는 경우 I/O 핀 수 부족과 현재의 냉각 한계를 극복하는 기술을 서술하였다. 다음 장에서는 최근의 수십 Gb/s급 ATM 스위치회로팩 실장기술 동향에 대하여 외국 자료를 인용하여 검토하도록 한다.

IV. 최근의 ATM 스위치회로팩 실장기술 동향

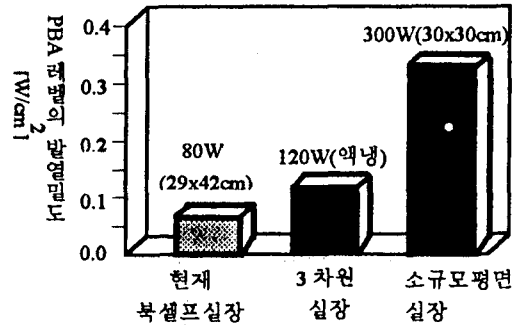
지금까지 기술한 내용은 2.4Gb/s급에서 10Gb/s급 ATM 스위치회로팩에서 스위치 규모가 증가할 때 book-shelf 구조에서 한계 극복 실장기술에 대하여 언급하였으나 ATM 스위치회로팩 규모가 수십Gb/s급으로 커지면 현재의 book-shelf 구조로 실장이 어렵다. 그래서, 최근에는 ATM 스위치회로팩 실장기술이 3차원실장과 소규모평면실장(SPP : Small Planar Packaging)으로 구현되고 있다.

이 두 가지 방식을 현재의 book-shelf 구조의 한계에서 비교해 보면 다음과 같다. <그림 10>은 board throughput에 대한 I/O 핀 수를 그린 것이며 <그림 11>은 냉각 능력을 비교해 본 그림이다. 여기서 3차원 실장방법은 정밀기계공학 기술을 사용하여 다핀화(PBA 2변을 사용하며 동축을 2단자로 보았을 때 1040핀이 됨)와 액체냉각방법을 사용하였으나 근본적인 문제점을 완전히 해결하지 못해 이 방법은 더 이상 진전이 없는 것 같다. 위의 두 그림에서 소규모평면실장(SPP)기술이 가장 우수한 것 같으며 이 기술의 특징은 다음과 같다.

- 이 기술의 핵심은 <그림 3>과 같은 MCM 제작기술이다.
- 평면실장 기판을 면으로 사용하여 단자를 접속하고 있기 때문에 단자 수 부족을 해결해 준다.
- 평면실장부와 book-shelf부와 최단 거리로 접속 가능하기 때문에 배선길이가 짧게되어 셀프내에 고속전송이 가능하다.



<그림 10> I/O 핀 수와 throughput 관계



<그림 11> 각 방식의 냉각 가능한 발열 밀도 비교

- 평면실장기판은 탈장착이 가능하여 유지보수 단위로 취급 가능하다.
- 평면실장 영역의 전면에 충분한 공간 확보가 가능하기 때문에 충분한 방열능력을 가진 heat sink를 사용할 수 있어 방열 문제도 해결 가능하다.
- 현재 사용하고 있는 book-shelf 실장 셀프 전면에 부착되어 랙내에 공존 가능하다.

V. 결 론

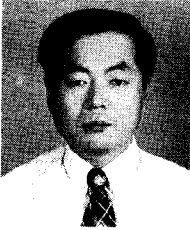
본 고에서는 연구소에서 구현할 7.68Gb/s 규모의 ATM 스위치회로팩 실장방법을 연구했으며 그 결과는 다음과 같다.

- I/O핀 부족을 해결하기 위해 실장밀도가 높고 특성임피던스가 정의되는 커넥터를 사용한다. 예를 들면 소형 ground핀이 삽입된 멀티 핀 커넥터를 사용하거나, 가능하다면 2.5mm 피치(pitch)의 고밀도 multi-coaxial 커넥터를 사용한다.
 - 32×32 단위스위치를 PBA 2매로 제작하여 Port용 I/O 핀수를 최소화한다.
 - PBA와 backplane은 요구하는 전기적 특성과 기구물적인 요구사항을 만족하는 한 고다층화 되어야 하며, 기존의 FR-4 PCB(Printed Circuit Board)에서 single로 서로 연결할 수 있는 최대 신호속도는 약 320Mb/s이며 30cm 상호 연결 가능하다.
 - PBA 2매로 구성되는 32×32 단위스위치는 PBA당 소모전력이 140[W]이며, 이것을 강제공냉시키기 위해서는 PBA와 PBA 사이 풍속이 최소한 약 4.5[m/s]가 되어야 한다.
 - 다수의 고발열 LSI 실장에 따른 heat spot화를 피하기 위해 PBA 단위로 heat sink를 사용하여야 한다.
- 앞으로 개발될 수십Gb/s급 ATM 스위치회로패킷 실장기술은 현재의 book-shelf 실장에서 I/O 핀 수 한계와 냉각기술의 한계 때문에 MCM(Multi-chip Module) 실장기술을 사용한 소규모평면실장(SPP: Small Planar Packaging)기술이 될 것 같다.

참 고 문 헌

- [1] 岸本 亭, 安田 圭一, 金子 保夫., “小規模平面室裝技術”, 信學技報, SSE94-186(1995-01), pp.38~39, 41~42, 1995
- [2] 岡本 康史, 川保 昇寛, 渡辺 降, 濟藤 賢一., “高速システム室裝”, 信學技報, SSE93-27(1993-07), pp.8~11, 1993
- [3] 原田 昭男, 岸本 亭, 金子 保夫., “高發熱通信裝置用 冷却技術”, NTTvR&D Vol. 43 No. 5, pp.102~104, 1994
- [4] 金子 保夫, 岸本 亭, 原田 昭男., “高發熱 Multi-chip Module の 強制空冷技術”, NTT R&D Vol. 43 No. 5, pp.94~99, 1994
- [5] 金子 保夫, 岸本 亭., “小規模平面室裝システムの冷却特性”, 信學技術, SSE94-187(1995-01), pp.48, 1995
- [6] 田崎 信, 武富 剛., “室裝技術”, 電子情報通信學會誌 Vol. 74 No. 11, pp.1224~1228, 1991
- [7] 高橋 涉, 田山 辛治, 武富 剛., “廣帯城交換システムの一考濟”, 信學技報, SSE90-121, pp.43~46, 1990
- [8] R. J. Moffat, D. E. Arvizu, and A. Ortega., “COOLING ELECTRONIC COMPONENTS : FORCED CONVECTION EXPERIMENTS WITH AN AIR-COOLED ARRAY”, Heat Transfer in Electronic Equipment, HTD, Vol. 48, pp.20~23, 1985.
- [9] Seoho Song, KEI-ICHI YASUDA., “KEPCON'95”, Korea Electronic Packaging Society, pp.15, 56, 1995.
- [10] Ronald Pound, “Maintain the Speed of GaAs in Digital System,” Electronic Packaging & Production, April 1985, pp. 58~62.
- [11] Pound Ronald, “Packaging Link Fast GaAs Dice to High-Speed Systems,” Electronic Packaging & Production, August 1985, pp.70~74.
- [12] Nelson, Larre, “Success of GaAs Semiconductors on Packaging,” Electronic Packaging & Production, June 1985, pp.48~51.
- [13] Mark Saubert and Dan Snyder, “Packaging Engineers Face Confliction Demands,” Electronic Packaging & Production, June 1985, pp.152~153.

저 자 소 개



李 命 鎬

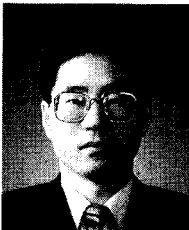
1954年 8月 12日生

1977年 2月 고려대학교 전자공학과(학사)

1983年 2月 고려대학교 대학원 전자공학과(석사)

1983年 6月~현재

한국전자통신연구소 ATM교환연구실 선임연구원



田 溶 一

1958年 9月 5日生

1981年 2月 고려대학교 전기공학과(학사)

1983年 2月 한국과학기술원 전기공학과(석사)

1983年 3月~1987年 3月 금성정밀(주) 선임연구원

1987年 4月~현재

한국전자통신연구소 ATM교환연구실 선임연구원



全 炳 亂

1962年 3月 5日

1984年 2月 아주대학교 전자공학과(학사)

1987年 8月 한국과학기술원 전기 및 전자공학과(석사)

1987年 9月~현재

한국전자통신연구소 ATM교환연구실 선임연구원



朴 權 喆

1953年 10月 8日生

1977年 2月 고려대학교 전자공학과(학사)

1979年 2月 고려대학교 대학원 전자공학과(석사)

1988年 2月 고려대학교 대학원 전자공학과(박사)

1982年 2月~현재

한국전자통신연구소 ATM교환연구실장