

CMOS회로에 있어 서의 합선 및 절선 결함 테스트

洪 性 濟

電子計算學科 및 電子電氣工學科
浦項工科大學校

I. 서 론

오늘날 불량 전자제품의 90% 이상은 접촉불량에 기인하고 있다. 접촉불량은 대체로 합선 또는 절선의 형태로 나타난다. 즉 연결되어야 할 도선이 끊어지거나 절연되어야 할 도선이 합선되는 경우이다. 이러한 현상은 IC칩에서도 마찬가지이다. IC칩의 집적도가 증가함에 따라 칩속의 도선의 두께나 간격이 작아지며 이로인해 공정시 또는 사용중 합선이나 절선형태의 불량품이 만들어질수 있다. 오늘날 그리고 앞으로 적어도 10년이상 초집적회로 칩은 상당부분 CMOS회로로 구현될 전망이다. 주 이유는 CMOS의 적은 전력소모량이며 한편 속도, 집적도, 설계용이등 측면에서 만족할만한 성질을 갖고 있기 때문이다. 본고에서는 CMOS회로에서의 결함을 합선 및 절선 결함 관점에서 설명하고자 한다.

테스팅이란 제조된 제품이 정상적인 동작을 하는가를 확인하는 작업으로 테스트 벡터를 입력시키고 출력이 설계된대로 나오는가를 확인하면 된다. 테스트 벡터는 모든 가능한 결함을 유효하게 검출할수 있어야 한다. 또한 테스트에 드는 비용을 줄이기 위하여는 유효한 테스트 벡터를 쉽게 구할수 있어야 한다. 따라서 유효한 테스트 벡터를 어떻게 쉽게 구하느냐가 테스트의 중요한 관건이 된다. 테스트 작업은 다음과같이 세분된다.

1. 결함 모델링 (fault modeling)
2. 테스트 벡터 생성 (test generation)
3. 결함 시뮬레이션 (fault simulation)
4. 테스트 적용 (test application)

결함 모델링은 칩공정에 있어서 생길수 있는 결함이 트랜지스터회로 또는 논리회로에 어떻게 반영되는가를 가정한다. 아직까지도 대부분의 테스트 기술은 모든 결함이 고착결함(stuck-at-0/stuck-at-1 fault)의 논리 결함으로 모델링된다는 가정에 기반을 두고있다.^[1] 그러나 집적도가 증가함에 따라 상기 가정은 그 타당성을 상실하고 있다. 회로공정에 있어서 생길수 있는 결함은 그 양상이 다양

하나 대체로 합선(short 또는 bridge)과 절선(open)으로 분류된다.^[2, 3] 종래의 고착결함과 트랜지스터결함(transistor stuck-on/stuck-open faults)은 상기 두 결함의 특별한 경우로 볼 수 있다. 다시 말해서 합선과 절선으로 인하여 발생하는 결함중 고착결함과 트랜지스터결함으로 모델링이 불가능한 결함이 상대적으로 증가되고 있다. 이러한 결함을 탐지하는 방법의 하나가 정지상태의 전류 테스트(IDDQ testing)이다. 합선결함의 경우는 최근 전류테스팅 방면으로 많은 연구가 이루어지고 있으며 효과적인 결함모델링방법이 제시되고 있다. 그중 파라메트릭 결함모델은 합선시 실제 저항값을 고려함으로써 대부분의 결함효과를 정확히 기술할 수 있도록 되어있다.^[4, 5] 논리 게이트 내에서의 절선은 아직까지는 대체로 트랜지스터의 열림고착결함(stuck-open fault)과 동일한 것으로 간주되어 왔으며 따라서 열림고착결함에 대하여는 많은 연구가 있었다.^[6, 7, 8, 9, 10, 13] 그러나 열림고착결함 모델은 트랜지스터 접점 사이의 절선에 대하여는 효과적이지 못하다. 이를 보완하기 위하여 connector-switch-attenuator 모델^[14]과 node break 모델^[15]이 제안 되었다.

테스트 벡터는 결함을 검출하기 위한 입력 벡터의 값이다. 주어진 결함에 대한 테스트 벡터가 입력되면 적어도 한개의 출력값이 결함이 있을 경우와 없을 경우 달라지게 된다. 모델링된 결함에 대하여 테스트 벡터를 구하는 작업이 테스트 벡터 생성이다. 테스트 벡터 생성은 크게 랜덤 테스트 생성(random test generation)과 정형 테스트 생성(deterministic test generation)으로 구분된다. 랜덤 테스트 생성에서는 결함 모델링이 필요 없이 그냥 단순히 무작위 벡터만 만들어 내면 된다. 그러나 고질의 테스트 즉 충분히 큰 결함검출지수(fault coverage)를 얻기 위하여는 상당히 많은 양의 테스트 벡터가 필요하게 된다. 정형 테스트 생성에서는 모델링된 결함에 대하여 각각 테스트 벡터를 구하므로 작은 양의 테스트 벡터로 큰 결함검출지수를 얻을 수 있으나 일반적으로 테스트 생성시간이 많이 걸린다. 결함 시뮬레이션은 생성된 테스트 벡터가 얼마나 유효한가를 알아보는 작업

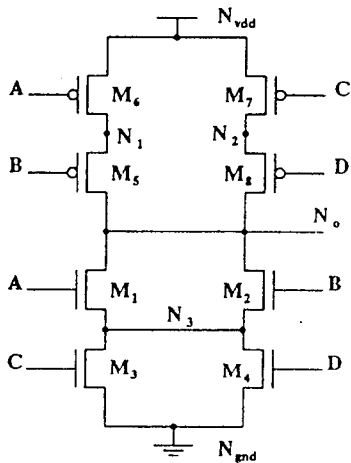
이다. 즉, 생성된 테스트 벡터에 대하여 모델링된 결함이 몇 퍼센트 검출되는가를 나타내는 결함검출지수를 계산하며 한편 불검출 되는 결함의 리스트를 만들어 낸다. 결함 시뮬레이션 결과 만족스러운 결함검출지수가 얻어지지 않으면 새로운 테스트 벡터를 추가하여 다시 결함 시뮬레이션을 행한다. 테스트 적용은 테스트 장비에 검사할 칩을 올려 놓고 테스트 벡터 입력하고 출력이 제대로 나오나 검사하여 불량 칩을 가려내는 작업이다.

II. 절선결함 테스트

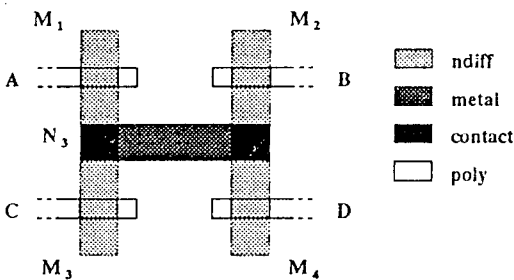
절선결함은 metal 등 동일 layer 상에서 연결이 되어 있는 도선이 단순히 끊어져 전기적으로 전류의 흐름이 차단되고 끊어진 양 끝점이 동일한 전압 레벨을 유지하지 못하는 결함이다. 이러한 절선결함은 종래의 고착결함모델로서는 테스트 생성이 불가능하다. 그림 1은 함수 $f(A, B, C, D) = \frac{(A+B)(C+D)}{(A+B)(C+D)}$ 를 CMOS로 구현한 회로이다. 이 회로에서 모든 트랜지스터 열림고착결함은 두 테스트 벡터로 검출이 가능하다. 예를 들면, $\langle 0000, 1010 \rangle$ 은 M_1 과 M_3 의 열림고착결함을 그리고 $\langle 0000, 0101 \rangle$ 은 M_1 과 M_3 의 열림고착결함을 검출하는 테스트 벡터이다. 그러나 이 두쌍의 테스트 벡터는 모든 절선 결함을 검출하지는 못한다. 접점 N_3 의 레이아웃은 그림 2와 같다. 여기서 N_3 는 metal 선인데 공정 불안정 또는 장기간 사용중 절선 결함이 생길 수 있다. N_3 의 절선 결함은 열림고착결함의 테스트 벡터인 $\langle 0000, 0110 \rangle$ 또는 $\langle 0000, 1001 \rangle$ 에 의해서 검출될 수 없다.

최근 Favalli^[15] 등이 절선 결함을 연결 그래프로 모델링하여 테스트 벡터를 생성하는 방법을 제안하였다. 트랜지스터결함 검출과 마찬가지로 절선 결함 검출을 위하여는 두개의 입력 벡터가 필요하다. 절선지역이 pull-down 지역이면 게이트의 출력이 논리 1이 되도록 하는 초기입력이 주입된후 게이트의 출력점과 절선점을 지나 GND에 도달하는

경로상의 각 트랜지스터를 ON시키는 입력이 주입되어야 한다. 절선지역이 pull-up지역이면 게이트의 출력이 논리 0이 되도록 하는 초기입력이 주입된 후 게이트의 출력점과 절선점을 지나 VDD에 도달하는 경로상의 각 트랜지스터를 ON시키는 입력이 주입되어야 한다. 절선 결합은 트랜지스터 열림고착결합을 포함한다. 따라서 절선 결합을 검출하는 테스트 벡터는 모든 트랜지스터 열림고착결합을 검출할 수 있다. 절선결합의 결합리스트는 합선결합의 경우와는 달리 레이아웃을 사용하지 않고 트랜지스터 회로에서 쉽게 구할 수 있다.



<그림 1> CMOS회로



<그림 2> 노드 N3의 레이아웃

III. 합선결합 테스트

결합이 없는 CMOS회로에서 정적상태(quiet

cent state)에서는 VDD와 GND사이에 커다란 저항(high impedance)이 생긴다. 따라서 정적전류(IDDQ current)는 매우 작다. 그러나 합선결합으로 인하여 VDD와 GND사이가 도통되면 상당량의 정적전류가 흐르게 된다. 이런 경우 종래의 출력단자의 전압에 의한 논리값의 비교로는 결합의 검출이 불가능하다. 그러나 이 정적전류를 비교함으로써 즉 전류테스팅에 의하여 이러한 합선결합을 검출할 수 있다. 합선결합의 결합리스트를 IC회로의 모든 N 점점에 대하여 작성하는 것은 그수가 O(N²)으로 너무 많다. 일례로 일백만개의 트랜지스터로 된 칩의 경우 N은 3×10⁶이다. 실제로 합선이 일어나는 경우는 레이아웃에서 거리상 인접해 있는 점점에 대하여만 고려하면 된다. 이렇게 함으로써 실제 가능한 합선결합(realistic bridge fault)의 수를 크게 줄일 수 있다. Nigh와 Maly¹²는 회로의 레이아웃으로 부터 결합을 추출하는 알고리즘을 제안하였다. 이 알고리즘은 IC 마스크간의 관계를 분석하는 scan-line 알고리즘을 사용하여 결합리스트 작성을 O(N log N) 시간에 O(N)개의 실제 가능한 합선결합 리스트를 생성한다.

전류 테스트는 종래의 함수 테스트 방법에 비해 여러 장점이 있다. 함수 테스트에서는 결합의 지점에 결합효과가 발생하도록 한 후 그 결합효과를 출력선까지 전파시켜야 그 결합을 검출할 수 있다. 그러나 전류 테스트에서는 결합효과의 전파는 자동적이다. 또한 게이트 수준이 아닌 트랜지스터 수준을 대상으로 하므로 좀더 현실적인 테스트이다. 전류 테스트는 정적 RAM같은 회로에 매우 능용적이다.^[11] 그러나 전류테스팅에 있어서의 커다란 제약은 고착결합 경우와는 달리 의미있는 결합검출 지수(fault coverage)를 산출하기 어려움에 있다.

1. Wired-AND/Wired-OR 모델

Wired-AND 모델은 합선이 점점의 양쪽 논리값의 AND 함수를 Wired-OR 모델은 OR 함수를 구현한다고 가정한다. 즉 논리값 1과 논리값 0이 합선되면 그 합선점의 논리값이 Wired-AND 모델은 0 그리고 Wired-AND 모델은 1을 갖는다고 가정한다. 또한 최근 우성선택 모델(dominant node

model)이 제안되었다. 여기서는 양쪽값중 우세한 논리값을 취한다. Wired-AND/Wired-OR 모델은 ECL, RTL, DTL 및 TTL에서는 타당성이 있다. 그러나 CMOS회로에서 논리값 1과 논리값 0이 합선되면 실제로 논리값이 1 또는 0으로 확연이 정의되지 못한다. 우성 선택 모델을 사용하기 위하여는 트랜지스터의 크기, 도선의 저항값등을 고려한 회로 시뮬레이션이 필요하다. 그러나 모든 가능한 합선에 대하여 일일이 회로 시뮬레이션을 수행하기는 계산시간상 불가능하다. 따라서 이러한 모델들은 CMOS의 경우 적절하지 못하다.

2. Weak-1/Weak-0 모델

NMOS 트랜지스터는 논리 0는 잘 통과시키나 논리 1의 통과에는 약간의 전압강하가 유발된다. 만약에 이 소자의 threshold가 0.7 volt라 하면 5 volt 수준이 4.3 volt로 낮아진다. 실제로 전압강하는 body effect로 더욱 커진다. PMOS 트랜지스터의 경우는 이와 반대로 논리 1은 잘 통과시키나 논리 0의 통과에는 약간의 전압상승이 생긴다. 이러한 경우 당장 논리값에 변동은 없지만 성능저하를 초래하며 이러한 바람직하지 못한 전압강하 또는 전압상승이 누적되면 결과적으로 오동작을 유발할 수 있다. 그러나 이러한 현상은 결함 시뮬레이션으로는 탐지하지 못한다. 합선 및 절선등의 결함에 의하여 논리 0 또는 논리 1의 전압이 정상적인 경우와 달라질 때 Weak-0 결함 또는 Weak-1 결함이라 부른다.

IV. 전류 테스트(IDDQ Testing)

1. 외부 전류 테스트(Off-chip Current Testing)

현존하는 테스트 장비를 사용하여 칩 밖에서 전류를 측정하는 것은 테스트 장비로 적은 전류의 측정의 제한성 때문에 용이하지 못하다. 초집적회로에서 대부분의 전류를 소모하는 부분은 입출력 드라이버이며 따라서 이 전류가 결함으로 인하여 달

라지는 전류보다 훨씬 크기 때문에 결함전류의 탐지가 어렵다. 예를 들면 유동 게이트(floating gate)같은 결함을 탐지 하는데는 작은 전류의 탐지가 필요하다. 또한 칩 밖에서 테스트 장비를 그대로 사용하여 전류를 측정하는 것은 대체로 느리다. 한편 테스트 장비를 변형하여 사용한다 하더라도 많은 수의 테스트 벡터에 대하여 일일이 전류를 측정하므로 무척 힘이 든다. 따라서 외부 전류 테스트는 그리 많이 사용되지 않는다.

2. 내장형 전류 테스트(Built-in Current Testing)

내장형 전류 테스트는 전류 양의 비정상성을 능률적으로 유효하게 탐지하기 위하여 칩안에 센서회로를 내장한다. 각 함수 블럭마다 센서를 부착함으로써 적은 전류에서의 변화를 쉽게 감지할 수 있다. 따라서 내장형 전류 테스트는 외부 전류 테스트에 비하여 매우 빠르게 결함에 의한 적은 전류의 변동을 탐지할 수 있다.

3. 내장형 전류감지기(Built-In Current Sensor)

정적 CMOS소자에 있어서의 정지상태전류(IDDQ)는 수 10^{-9} A 정도로 대단히 작다. 그러나 합선결함에 의하여 정지상태의 전류는 100-1000배 커질 수 있다. 내장형 전류감지기는 다음의 두 기능을 가져야 한다.

1. 테스트 소자(UUT)가 논리 전환시 전류 sink로 작동
2. 테스트 소자가 안정상태에 있을때는 누수전류의 감지

내장형 전류감지기의 구성요소는 다음과 같다.

1. A current sink
2. A current-to-voltage transducer
3. A voltage comparator
4. A voltage amplifier
5. A circuit for voltage quiescent-point stabilization
6. An interface to scan or built-in self test or

other circuit test hardware

내장형 전류감지기는 다음의 두 극단의 경우를 처리할 수 있어야 한다. 즉, 함수 테스트 동안에는 테스트 소자가 많은 양의 전이전류를 유발하므로 내장형 전류감지기는 내장형 전류감지기를 통하여 별다른 전압강하 없이 많은 양의 전류를 sink할 수 있어야 한다. 또한 정적상태시 내장형 전류감지기는 적은 양의 누수 전류를 감지할 수 있어야 한다. 이 두가지 조건을 만족하기 위해서는 내장형 전류감지기는 많은 양의 테스트 소자 전이전류가 있으면 작은 저항을 그리고 테스트 소자의 누수전류를 감지하는 큰 저항값을 갖도록 설계되어야 한다.

V. 테스트 벡터 생성(Test Generation)

임의의 입력 벡터가 주입되면 디지털 CMOS 회로에서 각 트랜지스터는 ON 또는 OFF가 된다. 임의의 접점과 VDD가 ON 트랜지스터로 연결되면 그 접점은 VDD와 도통된다고 한다. 마찬가지로 임의의 접점과 GND가 ON 트랜지스터로 연결되면 그 접점은 GND와 도통된다고 한다. CMOS 회로의 모든 접점은 VDD와 GND와의 도통 여부에 따라 다음과 같이 4가지 상태로 분류된다.

- 1 상태 : VDD와 도통되고 GND와 불통일때
- 0 상태 : GND와 도통되고 VDD와 불통일때
- Z 상태 : VDD와 GND와 모두 불통일때
- X 상태 : VDD와 GND와 모두 도통일때

결함은 검출불가능 결함(undetectable fault)과 검출가능 결함(detectable fault)으로 나뉘어진다. 검출불가능 결함은 모든 입력 벡터에 대하여 각 접점이 결함에도 불구하고 상태 전이가 일어나지 않는 경우이다. 이 경우는 칩의 동작에 아무런 영향을 주지 않으므로 있어도 전혀 문제가 되지 않는다. 검출가능 결함은 결함에 의해 상태전이가 일어나므로 칩의 오동작을 초래한다. 따라서 이러한 칩은 불량칩이므로 테스트를 통하여 가려내어야 한다. 결함이 없는 경우 칩의 회로상의 각 접점은

주어진 입력 벡터에 대하여 1 상태 또는 0 상태가 된다. 그러나 검출가능 결함이 있으면 어느 특정한 입력 벡터에 대하여 상태전이가 일어난다. 이러한 입력 벡터가 그 결함에 대한 테스트 벡터이다. 검출가능 결함에 의하여 일어나는 상태전이는 다음과 같다.

- 경우 1 : 1 상태 → 0 상태
- 경우 2 : 1 상태 → Z 상태
- 경우 3 : 1 상태 → X 상태
- 경우 4 : 0 상태 → 1 상태
- 경우 5 : 0 상태 → Z 상태
- 경우 6 : 0 상태 → X 상태

경우 1과 4는 종래의 고착결함의 경우와 같은 방법으로 테스트 생성을 하면 된다. 따라서 경우 1과 4의 결함검출을 위하여는 한개의 테스트 벡터면 충분하다. 경우 2와 5는 트랜지스터 열림고착결함의 경우에 해당된다고 볼 수 있다. 그러므로 경우 2와 5의 결함검출을 위하여는 두개의 테스트 벡터가 필요하다. 경우 2와 5의 결함은 해당 접점의 논리값을 각각 0 또는 1이 되도록 하는 테스트 벡터와 해당 결함을 유발하는 테스트 벡터가 필요하다. 경우 3과 6은 합선 결함으로 생긴다. 경우 3과 6의 결함검출을 위하여 입력 벡터를 주입하고 출력의 논리값을 비교하는 방법으로는 해당 결함을 검출하기 곤란하다. 일반적으로 논리 1은 전압을 VDD 그리고 논리 0는 전압이 GND로 구현하는데 합선 결함으로 생기는 경우 3과 6은 접점에서의 전압이 분명하지 않은 관계로 그 해당 논리값을 정할 수 없다. 그러나 X 상태에서는 정적전류가 과도히 흐르게 되므로 전압대신 전류값을 측정함으로써 그 결함 여부를 판정할 수 있다.

VI. 맺음말

합선 및 절선은 오늘날 CMOS 칩에서 흔히 발생하는 보다 현실적인 결함이다. 이러한 결함은 0/1 고착결함이나 트랜지스터 고착결함보다 일반적인

경우로 종래의 전압에의한 논리값 비교로는 검출되지 않는 경우가 많다. 전류 테스트는 특히 합선 결함을 효율적으로 검출해내는 방법으로 최근 많은 연구가 이루어지고 있다. 전류테스팅은 또한 테스트생성 및 테스트 크기면에서 종래의 고착결함 검출 방법보다 월등히 우수하다. 그러나 전류테스팅에 있어서의 제약은 고착결함 평점과같은 의미 있는 결함검출지수를 계산하기 어려움이다. 현재 상용 테스트 장비는 대체로 전류테스팅에 의한 정적전류 비교가 용이하지 못하다. 이를 보완하기 위하여 전류감지기를 칩안에 내장하여 정적전류 비교를 하는 쪽으로 연구가 이루어지고 있다. 그러나 칩안의 테스트 소자마다 각각 전류감지기를 다는 것은 성능의 저하를 초래할 뿐만 아니라 칩의 크기를 증가시킬 가능성이 많다. 효율적인 전류감지기 회로에 대한 연구도 최근 활발히 이루어지고 있다.

참 고 문 헌

- [1] J. Galiay, Y. Crouzet, and M. Vergnault, "Physical versus Logical Fault Model MOS LSI Circuits : Impact on Their Testability," *IEEE Trans. Computers*, Vol. C-29, pp. 527-531, June 1980.
- [2] J. Shen, W. Maly, and F. Ferguson, "Inductive Fault Analysis of MOS Integrated Circuits," *IEEE Design and Test*, pp. 33-36, Dec., 1985.
- [3] W. Maly, "Realistic Fault Modeling for VLSI Testing," *Proc. of Design Automation Conf.*, pp. 173-180, 1987.
- [4] F. Ferguson, M. Taylor, and T. Larrabee, "Testing for Parametric Faults in Static CMOS Circuits," *Proc. of IEEE Int. Test Conf.*, pp. 436-443, 1990.
- [5] T. Storey and W. Maly, "CMOS Bridging Fault Detection," *Proc. of IEEE Int. Test Conf.*, pp. 842-851, 1990.
- [6] R. L. Wadsack, "Fault Modeling and Logic Simulation of CMOS and NMOS Integrated Circuits," *Bell Syst. Tech. J.*, vol. 57, pp. 1449-1474, 1978.
- [7] Y. M. El-Zig, "Automatic Test Generation for Stuck-Open Faults in CMOS VLSI," *Proc. of Design Automation Conf.*, pp. 50-56, 1983.
- [8] K. Chiang and Z. Vranesic, "On Fault Detection in CMOS Logic Networks," *Proc. of Design Automation Conf.*, pp. 347-354, 1981.
- [9] S. Reddy, V. Agrawal, and M. Reddy, "Robust Tests for Stuck-Open Faults in CMOS Combinational Logic Circuits," *Proc. of Int. Fault Tolerance Comp. Symp.*, pp. 44-49, 1984.
- [10] W. Maly, P. Nag, and P. Nigh, "Testing Oriented Analysis of CMOS ICs with Opens," *Proc. of IEEE Int. Conf. on Computer Aided Design*, pp. 344-347, 1988.
- [11] R. Meershoek, B. Verhelst, R. McInerney, and L. Thijssen, "Functional IDDQ Testing on a static RAM," *Proc. IEEE Int. Test Conf.*, pp. 929-937, 1990.
- [12] P. Nigh and W. Maly, "Layout-Driven Test Generation," *Proc. of IEEE Int. Conf. on Computer Aided Design*, pp. 154-157, 1989.
- [13] N. Jha and S. Kundu, Testing and Reliable Design of CMOS Circuits, *Kluwer Academic Publisher*, 1990.
- [14] J. Hayes, "Fault Modeling of Digital MOS Integrated Circuits," *Proc. of IEEE Int. Conf. on Computer Aided Design*, pp. 200-207, 1984.
- [15] M. Favalli, M. Dalpasso, P. Olivo, and B. Ricco, "Modeling of Broken Connections Faults in CMOS ICs," *Proc. of European Design and Test Conf.*, pp. 159-164, 1994.

저자 소개



洪 性 濟

1951年 3月 30日生

1973年 2월 서울대학교 전자공학과 졸업(학사)

1979年 5월 Iowa State Univ. 전자계산학과 졸업(석사)

1983年 5월 Univ. of Illinois at Urbana-Champaign 전자계산학
졸업(박사)

1973年 5월~1975年 12월 중앙경리단 프로그래머

1983年 7월~1989年 7월 General Electric 중앙연구소 staff

1989年 7월~1995年 현재 포항공과대학교 부교수

주관심분야: VLSI 테스트, ASIC 설계, 결합포용시스템, 병렬처리