

論文95-32B-5-8

병렬전류감산기를 이용한 슬루율 가변 연산증폭기 설계

(Design of a CMOS Programmable Slew Rate Operational Amplifier with a Switched Parallel Current Subtraction Circuit)

申宗旼 * 尹廣燮 **

(Jong Min Shin, Kwang Sup Yoon)

요약

본 논문에서는 연산증폭기의 슬루율을 외부의 디지털신호에 의해 제어할 수 있는 방법을 제안하였고, 이를 연산증폭기의 설계에 응용하였다. 슬루율의 가변화를 이루기 위해 4비트의 이력신호에 의해 제어되는 병렬 전류감산기를 새로이 고안, 설계하였으며, 이를 연산증폭기 설계에 이용함으로써, 입력디지털신호의 크기에 따라 2⁴단계에 걸친 슬루율과 전력소모의 선형적인 변화가 가능하였다. 따라서, 설계된 연산증폭기를 시스템설계에 이용할 경우, 시스템의 속도와 전력소모의 최적화를 이룰 수 있고 또한, 타이밍 조절에 편리를 제공할 수 있다. 슬루율 가변 연산증폭기는 재래식 연산증폭기와 동일한 소신호특성을 보이며, 슬루율과 전력소모의 측정 결과 $5.83V/\mu\text{sec} \sim 41.1V/\mu\text{sec}$ 와 $1.13\text{mW} \sim 4.1\text{mW}$ 의 범위에서 2⁴단계의 선형적인 변화를 나타내었다.

Abstract

This paper presents the design of a CMOS programmable slew rate operational amplifier based upon a newly proposed concept, that is a switched parallel current subtraction circuit with adaptive biasing technique. By utilizing the newly designed circuit, it was proven that slew rate was linearly controlled and power dissipation was optimized. If the programmable slew rate amplifier is employed into mixed signal system, it can furnish the convenience of timing control and optimized power dissipation. Simulated data showed the slew rate ranging from $5.83V/\mu\text{s}$ to $41.4V/\mu\text{s}$, power dissipation ranging from 1.13mW to 4.1mW , and the other circuit performance parameters were proven to be comparable with those of a conventional operational amplifier.

I. 서론

* 正會員, LG 電子技術院 ASIC 센터
(LG Elec. Research Center ASIC Center)

** 正會員, 仁何大學校 電子工學科
(Inha Univ. Dept. of Elec.)

接受日字: 1995年12月20日, 수정완료일: 1995年4月27日

속도(speed)는 아날로그 회로 설계시 고려하여야 할 가장 중요한 요인중 하나이다^[1].

고성능 혼합신호시스템^{[2]-[4]}의 속도는 주로 시스템 내에 사용되는 연산증폭기의 정착시간(setting time)에 의해 결정된다^{[5], [6]}. 그러나, 시스템이 복잡

해 질수록 신호전송경로가 많아지고, 이에따라 전체적인 시스템의 속도는 가장 느린 경로의 전송시간에 의해 제한 받게 된다. 따라서, 시스템 각 경로의 적절한 속도 조절을 통해, 칩의 크기를 줄이고 불필요한 전력소모를 방지할 수 있는 이점을 가져올 수 있다.

정착응답(settling response)은 슬루율제한구간(slew rate limited period)과 소신호정착구간(small-signal settling period)의 두 부분으로 구성된다¹⁷⁾. 계단응답의 처음 구간인 슬루율제한구간의 동작은 슬루율(slew rate)에 의하여 결정되며, 그 이후 구간인 소신호정착구간(small-signal settling period)은 극점(pole)과 영점(zero)의 위치에 의해 결정된다¹⁷⁾. 연산증폭기의 속도를 향상시키기 위해서는 슬루율의 증가가 필요하며, 이를 위해서는 차동입력단에 인가되는 전류의 양을 증가시키는 회로구조가 요구된다¹⁸⁾. 그러나, 차동입력단의 전류원에 흐르는 전류의 양을 크게 고정하여 설계하는 것은 제한된 전력소모 때문에 부적합하다. 이러한 문제점의 해결을 위하여, 동적 바이어스(dynamic biasing)¹⁹⁾와 적응 바이어스(adaptive biasing)¹⁰⁾ 등의 회로기법이 개발되어져 왔다. 그러나, 위의 두 기법들을 이용한 기존의 연산증폭기들은 입력신호의 크기에 따라 제한된 슬루율을 가지므로, 이를 혼합신호시스템 설계에 이용할 경우 각 경로의 타이밍조절이 어렵고, 이에따라 불필요한 전력소모를 일으킬 수 있는 단점을 지니고 있다. 따라서, 본 연구에서는 적응 바이어스 기법(adaptive bias technique)을 이용한, 스위치 수반 병렬 전류감산기(switched parallel current subtractor)를 새로이 설계하여, 슬루율과 전력소모의 최적화를 이루었다. 위의 기법을 이용하여 새로이 설계된 슬루율 가변 연산증폭기는 외부에서 인가되는 디지털신호에 따라 슬루율과 전력소모의 선형적인 증감을 나타낸다. 따라서, 이 연산증폭기를 혼합신호시스템에 이용할 경우 시스템의 타이밍 조절이 용이하고 속도와 전력소모에 융통성을 부여할 수 있다.

본 논문의 구성은 다음과 같다. 2장에서 슬루율 가변회로의 이론적인 설명, 회로구성 및 동작원리를 제시하였고, 3장에서는 슬루율 가변 연산증폭기의 전체적인 회로구성도를 소개하였다. 또한, 4장에서는 회로 시뮬레이션 결과를, 5장에서는 결론을 제시하였다.

II. 슬루율 가변회로의 구조 및 동작원리

슬루율 가변 회로는 동전류원과 스위치를 수반한 병렬 전류감산기가 조합, 설계되며 그 구조는 다음의 두 조건을 만족하여야 한다.

조건 1. 슬루율 향상을 위해 인가되는 전류의 증가는 연산증폭기의 소신호특성을 저하시킬 가능성이 있으므로 차동입력단에 추가공급되는 전류의 양은 오직 대 차동신호(large differential signal) 인가시 일시적으로 증가되어야 한다.

조건 2. 슬루율과 전력소모의 최적화는 이들의 선형적인 변화 특성에 의해 이루어질 수 있으므로 이들 사양을 결정짓는 추가공급 전류의 양은 외부의 조정 에 따라 선형적인 증감을 나타내어야 한다.

위의 두 조건을 만족시키는 연산증폭기의 간략화된 구조를 그림 1에 나타내었다. 입력단에 인가되는 전류의 크기가 수백mV 이하일 때 동전류원(dynamic current source)은 평형상태가 되고, 연산증폭기 각단의 전류는 기준 전류회로(static bias circuit)에 의해 공급된다. 따라서 추가구성된 동전류원과 스위치수반 병렬 전류감산기는 연산증폭기의 소신호특성에 영향을 미치지 않는다. 동전류원은 차동입력단에 수백 mV 이상의 대신호가 인가될 때 비평형상태로 들어가고, 이 때 동전류원은 스위치수반 병렬 전류감산기를 구동하는 잔여전류를 발생시킨다. 잔여전류는 병렬 전류감산기를 통해 증폭되어 연산증폭기의 차동입력단으로 추가공급되며, 추가공급 전류의 양은 외부에서 조정되는 디지털신호에 따라 선형적인 증감이 가능하도록 설계되었다.

그림 2는 입력신호의 변화에 따른 동전류원에서의 잔여전류 변화를 나타낸다. 그림으로부터 입력단에 약 500mV 이상의 대신호가 인가되었을 경우에 한해서 병렬 전류감산기를 구동하는 기준전류가 발생함을 알 수 있다.

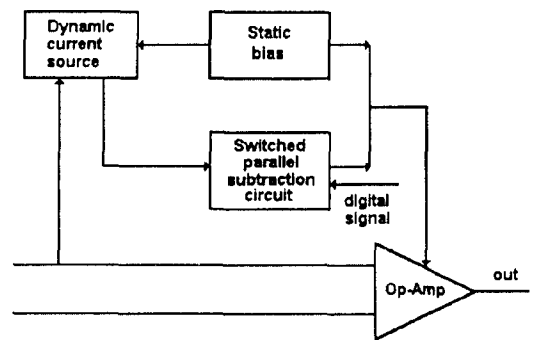


그림 1. 슬루율 가변 연산증폭기의 기본 블럭도
Fig. 1. Basic topology of programmable slew rate op amp.

슬루율 가변회로의 실제적인 구성도는 그림 3(a)에 나타나있다. 슬루율 가변회로는 정적 전류원(M14-

M17), 동적 전류원으로 사용되는 차동단(M18-M20), 그리고 스위치 수반 병렬전류감산기(M21-M26) 3부분으로 구성되며, 각 소자의 종횡비(aspect ratio)는 다음과같이 결정되어야한다.

$$\begin{aligned} \left(\frac{W}{L}\right)_{18} &= \alpha\left(\frac{W}{L}\right)_{17} \\ \left(\frac{W}{L}\right)_{21} &= \left(\frac{W}{L}\right)_{22} > \frac{\alpha}{2}\left(\frac{W}{L}\right)_{14} \\ \left(\frac{W}{L}\right)_{25} &= \left(\frac{W}{L}\right)_{26} = A\left(\frac{W}{L}\right)_{23,24} \end{aligned} \quad (1)$$

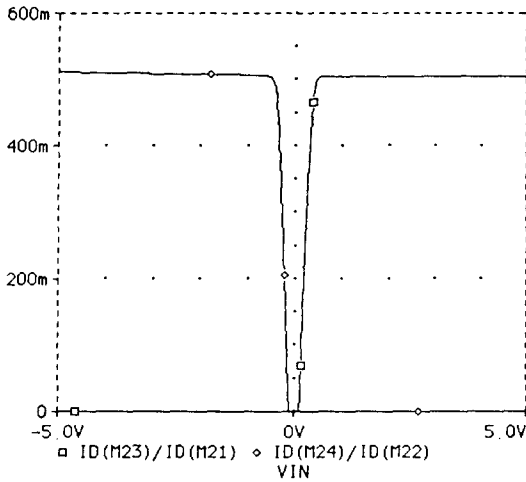


그림 2. 동전류원에 의한 잔여전류 변화특성
Fig. 2. Normalized transfer characteristic curve of dynamic current source.

위 식에서 α 는 동적 전류원의 전류 크기를 결정하는 상수이다.

소신호 동작 시에는 M18의 드레인 전류가 M21, M22에 동등하게 나누어지고 M18로부터의 낮은 전류 값에 의해 M21과 M22는 비포화영역에 들어가며, 이때 두 소자의 드레인-소스전압은 문턱전압 이하로 떨어지게 된다. 따라서 잔여전류를 발생하는 두 소자인 M23과 M24는 차단상태로 들어가고 이에 따라 차동 입력단에 추가공급되는 전류 I_{add} 는 거의 무시할 만한 수치를 나타낸다.

소신호 동작시 강반전 영역에서의 M18, M21과 M22의 전류는 다음과 같다.

$$I_{D18} = \alpha I_{D17} = \alpha \frac{k}{2} \left(\frac{W}{L}\right)_{14} (V_{GS} - V_{TN})^2 \quad (2)$$

$$\frac{I_{D18}}{2} = k \left(\frac{W}{L}\right)_{21,22} \left[(V_{GS} - V_{TN}) V_{DS21,22} - \frac{V_{DS21,22}^2}{2} \right] \quad (3)$$

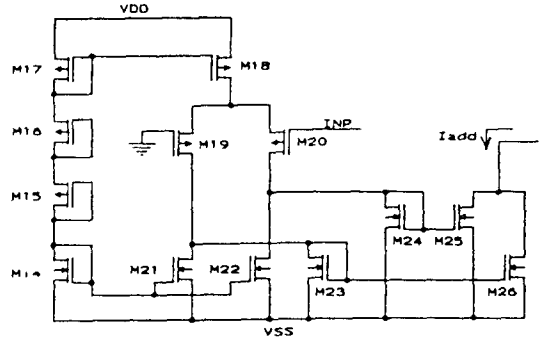
여기서, α 는 동전류원의 전류 크기를 결정하는 상수

이고, k , V_{TN} , V_{GS} 는 각각 MOSFET전류 파라미터, 문턱전압, M18, M21, M22의 게이트-소스전압을 나타낸다.

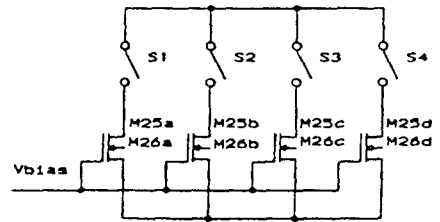
식 (2)와 (3)으로부터 M21과 M22의 드레인-소스 전압은 다음과 같이 계산될 수 있다.

$$V_{DS21,22} = (V_{GS} - V_T) \left[1 - \sqrt{1 - \frac{\alpha \left(\frac{W}{L}\right)_{14}}{2 \left(\frac{W}{L}\right)_{21,22}}} \right] \quad (4)$$

식(4)를 사용하여, 소신호동작시 M21, M22의 낮은 드레인-소스 전압이 병렬 전류감산기 나머지 부분(M23-M26)의 차단상태를 보장하도록 M21, M22의 종횡비를 결정할 수 있다.



(a)



(b)

그림 3. (a)슬루율 가변회로와 (b)MOSFETs M25, M26의 회로도

Fig. 3. Circuit schematic of (a) the programmable slew rate circuit and (b) MOSFETs, M25 and M26.

반면에 대신호가 인가되면 동전류원으로 사용되는 차동단 전류의 균형을 상실하게 되고, M21이나 M22중 어느 한 소자의 드레인으로 과잉전류를 보낸다. 만약 M11에 정신호가 인가되면 M18의 거의 모든 전류가 M19로 흘러 잔여전류($I_{M19} - I_{D21}$)가 M23에 흐르게 된다. 이 전류는 다시 M23과 M26의 종횡비

에 의해 증폭되어 추가전류 I_{add} 를 발생시킨다. 반면에, 부신호가 인가되면 M18의 거의 모든 전류가 M20으로 흐르게 되며, 이 때 M24에 의해 발생하는 잔여 전류($I_{I20} - I_{I24}$)가 증폭되어 연산증폭기의 차동입력단 에 전류를 추가공급한다.

특히 M25, M26 두 소자는 스위치를 수반한 4개의 N MOS소자로 병렬 구성되었으며, 이는 추가공급 전류 (I_{add})의 조절을 담당하는 슬루율 가변부로서 동작한다.(그림 3(b)) 스위치는 n 채널 MOSFET으로 설계되었고, 각각의 개폐동작은 외부에서 인가되는 디지털신호에 의해 결정된다.

그림 3(b)에서 도시된 4개의 MOSFET ($M_{25a} - M_{25d}$, $M_{26a} - M_{26d}$) 각각의 종횡비는 슬루율의 가변 정도에 따라 결정된다. 만약 위의 소자들이 각각 같은 종횡비를 갖는다면 5단계의 슬루율 조절이 가능하고, 이때 스위치의 개폐동작 변화에 따른 슬루율 크기의 변화는 다음의 식으로 표현된다.

$$SR = \frac{1}{C_c} [I_s + n \frac{I_{add(max)}}{4}] \quad (5)$$

여기서, C_c , I_s , n 은 각각 보상커패시터와 정적 바이어스 전류(static bias current), 폐스위치(closed switch)의 갯수를 의미하며, $I_{add(max)}$ 는 최대 추가공급 전류의 양을 나타낸다.

반면에, $1 : 2 : 4 : \dots : 2^{n-2} : 2^{n-1}$ 의 종횡을 비를 갖는 m 개의 병렬 연결 소자로 이를 대치하면 2^m 단계에 걸친 슬루율의 변환 효과를 얻을 수 있으며 이는 다음의 식과 같이 나타낼 수 있다.

$$SR = \frac{1}{C_c} [I_s + \sum_{n=1}^m (2^{n-1} \frac{S_n}{2^m - 1} I_{add(max)})] \quad (6)$$

여기서, n 과 S_n 은 각각 스위치($S_1 - S_m$)의 고유번호와 각 스위치의 상태 (0 또는 1)를 나타내고 m 은 병렬 연결 소자의 갯수를 의미한다.

추가공급 전류에 의한 출력 전압 변화폭(output voltage swing)의 감소를 방지하기 위해 차동입력단의 전류원인 M3와 M4는 다음 식과 같이 결정되어야 한다.

$$\left(\frac{W}{L}\right)_{3,4} = \frac{I_{max} + I_s}{kV_{GS12}^2} \quad (7)$$

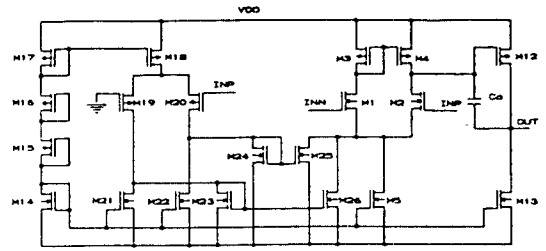
여기서 I_{max} 는 슬루율 가변회로에서 유입될 수 있는 추가공급 전류의 최대치를 나타낸다.

이상의 방법을 이용하여 추가 공급전류의 양은 외부에서 인가되는 4비트 디지털신호에 의해 선형적으로 조정될 수 있으며, 이에 따라 연산증폭기의 슬루율, 정

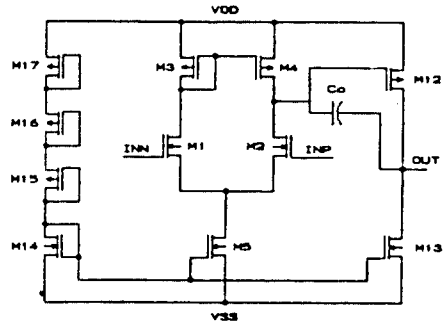
착시간, 전력소모에 융통성을 부여할 수 있다.

III. 회로구성 및 LAYOUT

슬루율 가변 연산증폭기의 전체적인 회로 구성도를 그림 4(a)에 나타내었다. 정적 바이어스 회로 ($M_{14} - M_{17}$)는 소신호 인가시 차동입력단과 동적 전류원 그리고 출력단의 동작점을 결정해준다. 그리고, 병렬 전류감산기($M_{21} - M_{26}$)는 동적 전류원과 차동입력단 사이에 설계된다.



(a)



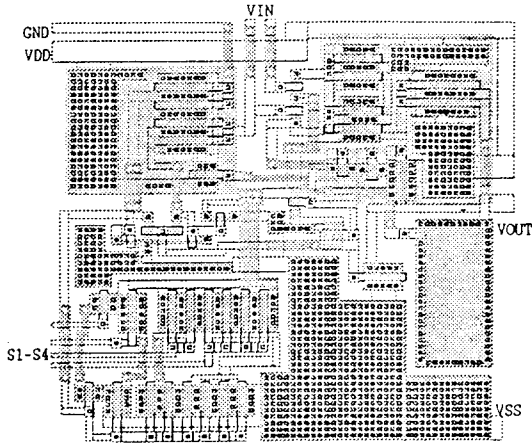
(b)

그림 4. (a) 슬루율가변 연산증폭기와 (b) 재래식 연산 증폭기의 회로도

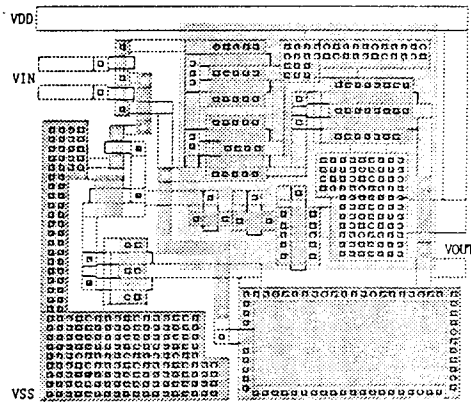
Fig. 4. Circuit diagram of (a) programmable slew rate op-amp and (b) conventional op-amp.

그림 4(a)에서 도시된 M_{25} , M_{26} 은 $1x:2x:4x:8x$ 의 비로 설계된 그림 3(b)의 구조를 지니므로 16단계의 슬루율 조정회로로서 동작한다. 적당한 전압이득을 얻기 위해 A급 출력단(M_{12} , M_{13})이 사용되었다. 소신호 특성의 비교를 위해 본 논문에서 개발된 연산증폭기와 같은 소자 크기의 정적 바이어스단, 차동입력단, 출력단으로 구성된 재래식 연산증폭기를 설계하였으며 이

를 그림 4(b)에 나타내었다. 또한, 슬루율가변 연산증폭기와 재래식 연산증폭기의 layout을 그림 5에 나타내었다.



(a)



(b)

그림 5. (a) 슬루율가변 연산증폭기와 (b) 재래식 연산 증폭기의 layout

Fig. 5. The layout of (a) programmable slew rate op-amp and (b) conventional op-amp.

IV. 결과 및 고찰

슬루율가변 연산증폭기의 성능을 검증하기 위해 입력 디지털신호의 변화에따른 슬루율과 전력소모의 변화를 시뮬레이션하였으며, 대표적인 결과로서 디지털 신호가 0000, 0001, 0100, 1111상태에서의 계단응답

파형변화를 그림 6에 나타내었다.그림 6은 입력 디지털신호의 크기가 증가됨에 따라 그 응답 속도 또한 증가하고 있음을 나타내며 따라서 슬루율의 변화가 확인 될 수 있다.

제작된 칩으로부터 얻어진 결과와 시뮬레이션 결과를 0000~1111의 전체적인 슬루율의 변화에 대해 비교하여 그림 7에 나타내었다. 그림 7에서 알 수 있듯이 전력소모의 측정결과, 1.13mW~4.1mW의 범위에서 외부 입력 디지털신호의 변화에 따라 선형적인 변화 특성을 나타내었으며, 시뮬레이션 결과인 1mW~4.48mW와 유사한 결과를 얻을 수 있었다. 그러나, 슬루율의 경우 측정결과와 시뮬레이션 결과와는 다소의 차이를 나타내고 있다. 시뮬레이션 결과 4.6 V/ μ sec ~ 54 V/ μ sec의 슬루율 변화를 보이고 있으나, 측정결과 5.83 V/ μ sec ~ 41.1 V/ μ sec의 슬루율을 나타내었다. 이러한 오차는 측정시 나타나는 디지털 오실로스코프의 부하에의한 영향이거나 혹은 디지털 오실로스코프의 비이상적인 입력파형에의한 영향으로 생각되며, 이러한 측정상의 장애 요인을 감안한 보다 세밀한 시뮬레이션과 layout을 통해 보다 좋은 성능을 보일 수 있을 것으로 생각된다.

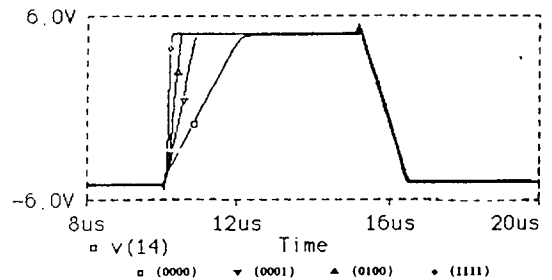


그림 6. 디지털신호의 변화에 따른 계단응답 파형의 변화

Fig. 6. Step responses of the programmable slew rate op amp for various digital signals.

슬루율가변 연산증폭기에서 나타나는 슬루율과 전력소모의 선형적인 변화특성이 데이터 변환기와같은 시스템 설계에 미치는 영향을 살펴 보기 위해 슬루율가변 연산증폭기를 이용한 R-2R DAC를 설계하였으며, 이를 재래식 연산증폭기를 이용한 경우와 비교하였다. 외부 디지털신호의 변화(0000, 0100, 1000, and 1111)에 따른 DAC의 변환율 (conversion rate)과 전력소모의 변화는 표 1에 나타내었다. 표 1에서 재래식 연산증폭기를 사용한 R-2R DAC의 경우 3.68MHz의 변환율과 5.3mW의 고정된 전력소모를

보인다. 반면에, 슬루율가변 연산증폭기를 사용한 R-2R DAC의 경우 외부 입력디지털신호의 변화에 따라 3.68MHz~21.74 MHz 범위의 변환을 변화와 5.3 mW~12.11mW 범위의 전력소모 변화를 나타내었다.

슬루율 가변 연산증폭기와 재래식 연산증폭기의 소신호특성 비교를 표 2에 나타내었다. 표 2에서 알 수 있듯이 슬루율 가변 연산증폭기와 재래식 연산증폭기는 같은 소신호특성을 나타낸다. 설계된 두 연산증폭기는 각각 72dB의 전압이득과 60도의 위상여유, 그리고 1.2MHz의 단위가득주파수를 나타내고 있다.

이상의 결과에서 알 수 있듯이 슬루율 가변 연산증폭기의 슬루율과 전력소모는, 소신호특성의 변화없이 선형적으로 조정될 수 있다.

V. 결 론

본 논문에서는 외부의 4비트 디지털신호에 의해 슬루율과 전력소모가 선형적으로 조정될 수 있는 슬루율 가변 연산증폭기 설계에 대해 논하였다. 제작된 슬루율가변 연산증폭기는 외부 입력 디지털신호의 변화에 따라 5.83 V/ μ sec ~ 41.1 V/ μ sec 범위의 슬루율 변화와 1.13mW~4.1mW 범위의 전력소모의 변화를 나타내었다.

표 1. 입력 디지털신호의 변화에 따른 R-2R DAC의 성능비교

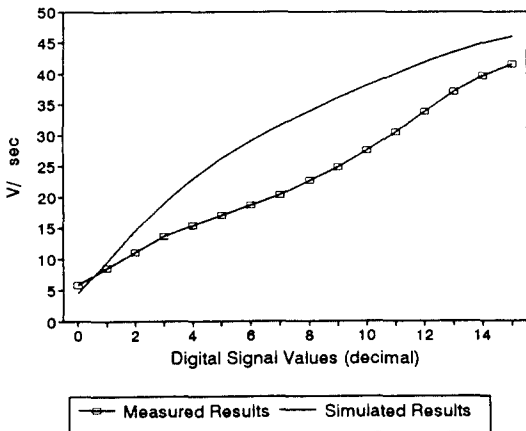
Table 1. Comparison of three DACs' performance as a value of external digital signals.

	digital signals	settling time [nsec]	conversion rate [MHz]	power dissipation [mW]
R-2R DAC with Programmable slew rate op amp	0001	136.6	7.32	6.07
	0100	83	12.05	7.37
	1000	64.7	15.46	9.09
	1111	46	21.74	12.11
R-2R DAC with conventional op amp		272	3.68	5.3
Current cell matrix DAC		284	3.52	2.27

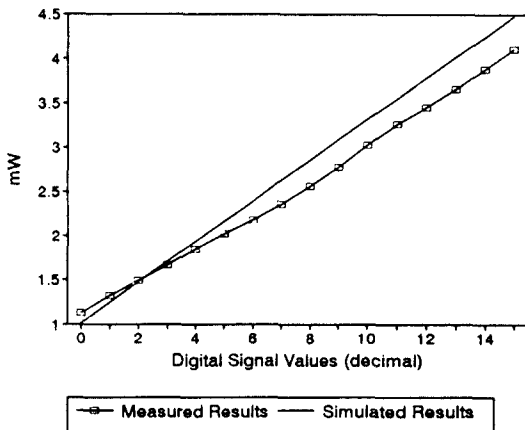
표 2. 슬루율 가변 연산증폭기와 재래식 연산증폭기의 소신호특성 비교

Table 2. Small signal characteristics of programmable slew rate op-amp and conventional op-amp.

	Programmable slew rate op-amp	Conventional op-amp
Open loop Gain [dB]	72	72
Phase margin [degree]	60	60
Unity gain frequency [MHz]	1.2	1.2



(a)



(b)

그림 7. 입력 디지털신호의 변화에 따른 (a) 슬루율과 (b) 전력소모의 변화

Fig. 7. The variation of (a) slew rate and (b) power dissipation as a function of digital values.

이와같이 연산증폭기의 슬루율과 전력소모에 융통성을 부여 함으로써, 이를 혼합신호 시스템 설계에 이용할 경우 속도와 전력소모에 최적화를 도모함과 동시에 타이밍 조절에 편리를 제공할 수 있을 것으로 생각된다.

참 고 문 헌

- [1] Bang W. Lee and Bing J. Sheu, "A high speed CMOS amplifier with dynamic frequency compensation," *IEEE Custom Integrated Circuits Conf.* pp. 8.4.1-8.4.4, 1990.
- [2] R. Castello and P. R. Gray, "A high-performance micro-power switched capacitor filter," *IEEE J. Solid-State Circuits*, vol. SC-20, no. 6 pp. 1122-1132, Dec. 1985.
- [3] T. C. Choi et al., "High-frequency CMOS switched capacitor filters for communications application," *IEEE J. Solid-State Circuits*, vol. SC-18, no. 6, pp. 652-664, Dec. 1983.
- [4] P. W. Li et al., "A ratio-independent algorithmic analog to digital conversion technique," *IEEE J. Solid-State Circuits*, vol. SC-19, no.6, pp. 828-836, Dec 1984.
- [5] R. Klinke and B. J. Hosticka, "A very high slew rate CMOS operational amplifier," *IEEE J. Solid-State Circuits*, vol. SC-24, pp. 744-746, June 1989.
- [6] K. Bult and G. Geelen, "A fast settling CMOS op-amp for SC circuits with 90dB dc gain," *IEEE J. Solid-State Circuits*, vol.25, no.6, pp. 1379-1384, Dec. 1990.
- [7] Bang W. Lee and Bing J. Sheu, "A high slew rate CMOS amplifier for analog signal processing," *IEEE J. Solid-State Circuits*, vol. SC-25, pp. 885-889, June 1990.
- [8] P. R. Gray and R. G. Meyer, "MOS operational amplifier design a tutorial overview," *IEEE J. Solid-State Circuits*, vol. SC-17, pp. 969-982, Dec. 1982.
- [9] B. J. Hosticka, "Dynamic CMOS amplifiers," *IEEE J. Solid-State Circuits*, vol. SC-15, pp. 887-894, Oct. 1980.
- [10] M. G. Degrauwe, J. Rijmenants, E. A. Vittoz, and H. J. De Man, "Adaptive biasing CMOS amplifiers," *IEEE J. Solid-State Circuits*, vol. SC-17, pp. 522-528, June 1982.

저 자 소 개



申宗旼(正會員)

1969年 1月 3日 생. 1993年 2月 인하대학교 전자공학과 공학사. 1995年 2月 인하대학교 전자공학과 공학석사. 1995年 1月 ~ 현재 LG전자 기술원 ASIC 센터 연구원. 주관심 분야는 아

날로그 회로설계 및 디지털 제어 시스템 설계 등임.



尹廣燮(正會員)

1981年 2月 인하대학교 전자공학과 공학사. 1983年 6月 미국 Georgia Institute of Technology 공학석사. 1990年 6月 미국 Georgia Institute of Technology 공학박사. 1988年 미국 실리

리콘 시스템사 회로설계 연구원. 1989年 ~ 1992年 미국 실리콘 시스템사 회로설계 선임연구원. 1992年 ~ 현재 인하대학교 전자공학과 조교수. 주관심 분야는 반도체 소자 모델링, 집적회로설계 및 CAD 등임.