

論文95-32A-2-15

# 배선 전용 영역을 이용한 계층적 배치

## (Hierarchical Placement with Routing Region Assignment)

金源宗\*, 申鉉哲\*

(Won Jong Kim, and Hyun Chul Shin)

### 요약

배치 과정에서 필요한 배선 영역을 선정하여 배선 전용 영역으로 확보하여, 배치가 완료된 후에 완전한 배선의 가능성을 크게 높인 계층적 배치 시스템을 개발하였다. 대부분의 배선을 고려한 기존의 배치 시스템이 난순하게 배선 밀도가 과도한 부분이 생기지 않도록 배치하는데 비하여, 본 연구에서는 배선 용량에 비하여 배선 밀도가 큰 부분에는 배선을 위한 영역을 자동으로 지정하여 배선을 완료할 수 있도록 했다는 것이 특징이다. 계층구조는 클러스터링과 반복적인 분할에 의해서 이루어지며, 분할에 의한 초기 배치는 영역 정제 알고리즘에 의하여 더욱 개선된다. 계층적인 배치의 각 단계에서 전역 배선을 수행한 후, 배선 밀도가 배선 용량을 초과하는 부분에는 배선 전용 영역을 할당하여, 다음 단계에서 이를 고려하여 배치하도록 하였다. 제안한 알고리즘을 구현하여 기업체로부터 제공 받은 게이트 어레이 회로들의 배치에 적용하였다. 배선 영역을 고려하지 않은 배치 결과로는 배선을 완료할 수 없는 회로들에 대해서 배선 영역을 고려하여 배치함으로써 완전한 배선을 얻을 수 있었다.

### Abstract

A hierarchical placement system based on routing region assignment has been developed to increase the probability of routing completion after placement. While most of the existing placement systems attempt to reduce the cell density at the portions where routing density is high, our method is distinguished in that specific routing regions are allocated to secure complete routing where the routing density is greater than the routing capacity. Hierarchy is built by clustering and recursive partitioning, and the initial placement obtained by partitioning at each level is improved by using the region refinement algorithm. After placement at each hierarchical level, global routing is performed and routing regions are assigned, if routing density is greater than routing capacity, to be considered at the next level of placement. The proposed algorithm has been implemented and applied to place several industrial gate-array circuits. A couple of circuits which cannot be routed by using conventional placement techniques can be completely routed by using our new placement technique with routing region assignment.

\* 正會員, 漢陽大學校 電子工學科  
(Dept. of Elec. Eng. Hanyang Univ.)  
接受日字 : 1994年 9月 13日

※ 본 연구는 삼성전자(주) 반도체부문의 지원에 의하여 연구되었음.

## I. 서 론

표준셀 (standard cell)이나 게이트 어레이 (gate array)는 ASIC 칩 (chip)의 제작에 많이 이용되고 있다. 컴퓨터를 이용한 집적회로의 설계에 있어서 배치는 주어진 제약조건 하에서 최소의 비용을 갖도록 셀 (cell)들을 칩의 열 (row)상에 위치시키는 것을 목적으로 한다. 이러한 배치는 NP-hard문제로 많은 휴리스틱 (heuristic) 알고리즘들이 발표되었다<sup>[1-6]</sup>. 배치의 비용함수는 전체 예상되는 배선 길이나 임계 경로의 최대 지연시간 등이 될 수 있으며, 배치 후에 완전한 배선이 가능해야 한다.

집적회로 설계 기술의 발달로 회로의 규모가 증가함에 따라 배선해야 할 네트의 수와 배선 영역도 증가하게 된다. 일반적으로 배선 요구는 칩의 중심부가 주변에 비해서 높다. 따라서 게이트 어레이와 같이 배선 영역이 고정되어 있는 경우, 칩의 규모가 커지게 되면, 칩의 일부에서는 배선 밀도 (단위구간에 배선해야 할 신호의 수)가 배선 용량 (단위구간에 배선 가능한 신호의 수)을 초과하게 되어 상세 배선 (detailed routing)이 매우 어려워 지게 된다.

표준셀이나 게이트 어레이를 이용한 집적회로의 설계에 있어서는 성능과 면적의 최적화를 위하여 별도로 설계·검증된 매크로 블록을 사용하는 경우가 많다. 이들 매크로 블록은 대개 한쪽 면에 많은 핀들을 가질 수 있으며, 흔히 블록위로의 배선이 제한된다. 그러므로, 회로에 매크로 블록이 존재하는 경우에는 이들 주변에서 지역적인 배선 밀도가 높아져서 배선 문제는 더욱 어려워질 수 있다.

표준셀의 경우에는 배치가 끝난 후에 전역 배선 (global routing)을 수행하여 셀 열간의 배선 채널 (channel)의 폭을 결정하며, 수직 방향의 배선을 위해서는 feed through 셀을 삽입하면서 배치를 수정함으로써 배선을 가능하게 한다<sup>[7]</sup>.

게이트 어레이 칩의 경우에는 배선 영역이 고정되어 있어서 배치가 완료된 후에 배선 영역을 변경할 수 없으므로, 배치 과정에서 배선을 제대로 고려하지 않으면, 주어진 영역 내에서 완전한 배선을 이루기 어렵게 된다. 계층적인 mincut을 이용한 배치 및 배선 시스템 [8]에서는 mincut에 의한 대략적인 배치가 끝난 후에 반복적인 전역배선과 배치 개선으로 배선을 용이하게 할 수 있도록 하였다. 즉, 이 방법은 분할된 영역의 배선 밀도가 큰 경우에는 셀밀도가 낮아지도록 배치하여 배치 영역을 성기게 (porous) 만들으로써 배선을 유리하게 하는 것이다. 하지만 지역적인 배선 밀도가 매우 높은 회로의 경우에는, 배선 길이만을 고

려한 배치결과에서는 셀들이 특정 영역에 집중되는 현상을 볼 수 있다. 따라서 이러한 경우에는 배치를 성기게 하더라도 완전한 배선을 이루기 어려우며 배선 길이와 비아 수가 증가하게 된다.

Constructive 알고리즘을 사용한 [9]에서는 하나의 모듈을 배치할 때 미로 배선 알고리즘을 이용한 점진적인 전역 배선을 수행하여 적절한 위치를 선택하게 하였다. 이때 배선이 완료되지 않은 네트에 대해서는 모듈의 주변에 빈 트랙을 할당하여 다음의 배선에서 이용할 수 있도록 하였다.

본 논문에서는 지역적으로 밀집된 배치를 허용하더라도 전역적으로 배선 밀도가 높은 부분에는 배선 전용 영역을 확보함으로써 배선을 원활하게 할 수 있도록 하는 새로운 계층적 배치 방법을 제안하였다. 계층적으로 수행되는 배치의 계층 구조 각 단계에서, 배치가 완료된 후에 전역 배선을 수행하여 배선 밀도가 주어진 배선 용량을 초과하는 부분에 대해서는 배선 전용 영역을 확보함으로써, 배치가 완료된 후에 완전한 배선이 이루어질 수 있도록 하였다. 전역 배선에 있어서 배선 영역의 모델은 분할된 각 영역들의 중심점을 기준으로 그들 사이에 배선을 위한 채널이 존재하는 것으로 하여 2차원 배선 구조를 이용하였다. 계층 구조의 상위 단계에서는 배선 영역을 추정하여 각 배치면의 셀밀도를 조정하도록 하고, 블록 배치의 마지막 단계에서는 필요한 배선 전용 영역을 고정 배치하였다. 배선 전용 영역의 할당에 의해서 발생된 부분적인 셀 밀도의 증가는 블록 단계 배치 개선 알고리즘을 이용하여 해소시키도록 하였다. 셀 단계 배치에서는 배선 전용 영역에는 셀을 배치하지 않도록 하면서 배치를 최적화함으로써, 배치가 완료된 후에 추정된 배선 전용 영역이 유지되도록 하여, 상세 배선 틀에서 이들 배선 전용 영역을 이용하여 보다 원활하게 배선을 수행할 수 있도록 하였다.

본 논문의 2장에서는 배선 영역을 고려한 계층적 배치 알고리즘을 전체적으로 설명한다. 3장에서는 배선 전용 영역을 추정하여 할당하는 알고리즘을 자세히 설명한다. 4장에는 제안한 알고리즘을 실제 회로들에 적용하여 실험한 결과를 기술한다. 마지막으로, 5장에서 결론을 맺는다.

## II. 배선 영역을 고려한 계층적 배치 방법

대규모 집적회로를 효율적으로 다루고 배치의 성능을 향상시키기 위하여 많은 배치 시스템<sup>[8, 4, 10, 11]</sup>이 계층적으로 동작한다. 하지만 대부분의 방법에서 배선 영역을 별도로 고려하지 않거나<sup>[4, 10, 11]</sup>, 배선 밀도

가 과도한 부분이 발생하지 않도록 배치하는데 중점을 두었다<sup>[7-9]</sup>. 본 연구에서는 계층구조의 각 단계에서 배치가 완료된 후에 전역배선을 수행하여, 배선밀도가 배선 용량보다 큰 부분에는 배선 영역을 할당하여 배선 용량을 증가시킴으로써 배선을 완료할 수 있도록 하였다. 계층구조의 상위 단계에서는 대략적인 배선 밀도를 알 수 있으며, 하위 단계로 갈수록 각 영역의 크기가 작아져서 점점 정확한 배선 밀도를 알 수 있다. 따라서 상위 단계에서는 대략적인 배선 영역을 지정하고, 하위 단계로 갈수록 이를 개선하도록 하였다. 계층구조의 마지막인 셀 단계 배치의 직전에 할당된 배선 전용 영역은 배치 면에 고정 배치되어 셀 단계 배치에서는 이들 영역에 셀을 배치하지 않도록 하였다. 이것은 배치가 완료된 후 배선 과정에서 이들 배선 전용 영역을 이용하여 원활한 배선을 이룰 수 있도록 하기 위한 것이다. 전체적인 계층적 배치 과정은 알고리즘 1과 같다.

알고리즘 1. 배선 영역을 고려한 계층적 배치 알고리즘

Algorithm 1. Hierarchical placement algorithm assigning routing region.

```

for (each level of the hierarchy from the root) {
  if (average #clusters of a subset < Num1)
    Flatten clusters;
  if (average #cells of a subset > Num1)
    Do clustering;
  for (each subset s)
    Partition s into 4 subsets;
  if (#subsets >= 16)
    RegionRefinement(subsets);
    AssignRoutingArea(level);
}
if (clustered)
  Flatten clusters;
Greedy initial placement of cells;
/* Optional simulated sintering is possible */
Cell-level placement optimization:
  1. 분할과 클러스터링
  계층 구조는 반복적인 분할에 의해서 형성하도록 하였다. 이를 위하여 주어진 회로의 셀들과 사용할 칩의 배치 면은 각각 계층적으로 부분집합과 배치 영역들로 분할되고, 분할된 부분집합들은 각 배치 영역에 할당된다. 반복적인 분할은 분할된 각 영역에 적은 수의 셀밖에 없어서 더 이상의 분할이 불가능할 때까지 이루어진다. 분할에는 4-way 분할 알고리즘을 이용하였다[12]
  
```

<sup>1</sup>. 배치 면의 분할은 되도록 균등하게 하며, 수평 분할

은 셀 열을 기준으로 분할한다. 회로의 분할은 분할된 각 부분집합들 사이의 연결이 최소가 되도록 하는 것을 목적으로 한다. 하지만 배치에 있어서의 목적함수는 배선 길이의 최소화 있으므로 본 논문에서는 분할의 목적함수도 전체 회로의 배선 길이를 최소화하는 것으로 하였다. 이는 분할 시에 terminal propagation<sup>[13]</sup>을 특별히 고려하지 않고서도 이웃한 영역에 존재하는 셀들의 영향을 모두 고려할 수 있으므로, 한 영역의 셀들을 분할함에 있어서 전체적인 최적화를 도모할 수 있게 한다. 실제 회로들에 대해서 분할 시 배선 길이와 컷 수를 비용함수로 사용한 배치 결과에 대한 추정 배선길이를 표 1에 나타내었다. 이 표에서 보는 바와 같이 배선 길이를 분할의 비용으로 사용함으로써 컷 수를 분할 비용으로 사용하는 것에 비해서 9~28% 우수한 결과를 얻을 수 있었다.

표 1. 분할 시 배선 길이와 컷 수를 비용으로 사용한 배치 결과의 비교

Table 1. Comparison of placement results using min-cut and wire length in partitioning.

비용 함수	ex1	ex2	ex3	ex4	ex5
배선 길이	582 (100%)	1672 (100%)	1035 (100%)	1314 (100%)	1450 (100%)
컷 수	648 (111%)	1830 (109%)	1329 (128%)	1445 (110%)	1669 (115%)

분할하고자 하는 부분집합에 포함된 셀의 수가 많은 경우에는 분할과 배치 개선에 많은 실행 시간을 필요로 한다. 이들을 보다 효율적으로 수행하기 위하여 분할 대상이 되는 셀들의 수가 많을 경우에는 밀접하게 연결된 셀들을 클러스터링 함으로써 문제의 복잡도를 감소시키도록 하였다. 밀접하게 연결된 셀들의 클러스터링은 문제의 복잡도를 현저히 감소시키며, 분할이나 배치의 결과를 좋게 한다<sup>[12, 14]</sup>. 한 영역에 할당된 평균 셀의 수가 특정값(현재는 64를 사용)보다 크면, 밀접하게 연결된 셀들을 클러스터로 묶어서 원하는 수의 클러스터만을 이용하도록 하였다. 클러스터링은 가장 밀접하게 연결된 셀 또는 클러스터들을 하나의 클러스터로 묶는 과정을 원하는 수의 클러스터가 남을 때까지 반복함으로써 이루어진다. 두 셀 또는 클러스터 A와 B의 친밀도(closeness)는 다음과 같이 계산하였다.

$$closeness(A, B) = \alpha * \frac{\# \text{ common nets}(A, B)}{\# \text{ external nets after clustering A and B}}$$

$$-\beta * \frac{\text{total size of two clusters(A,B)}}{\text{average size of clusters}}$$

여기서 첫번째 항은 두 클러스터간의 연결도에 의한 친화력을 나타낸다. 이 친화력은 두 클러스터에 공통으로 연결된 네트의 수에 비례하며 클러스터링한 후에 A와 B이외의 클러스터에 연결된 네트의 수에 반비례한다. 두 번째 항은 클러스터들의 크기를 균일하게 하고 자하는 항이다. 여러 회로들에 대한 실험으로부터  $\alpha$ 와  $\beta$ 는 현재  $\beta/\alpha = 1/25$  을 이용하였다.

2. 영역 정제 알고리즘

분할에 의한 배치는 빠른 수행 시간을 갖는 장점이 있기는 하지만, 한 번 분할된 영역의 셀들은 다른 영역으로의 이동이 허용되지 않으므로, 분할된 영역의 경계 근처에서의 최적화를 얻을 수 없게 된다. 따라서 분할에 의해서 이루어진 각 블록 단계의 배치는 분할된 각 영역들 사이에서 셀들을 이동시킴으로써 효과적으로 배치를 개선 하는 영역 정제 방법을 이용하여 보다 최적화 하도록 하였다. 영역 정제 알고리즘은 [15]에 자세히 설명되어 있다.

3. 배선 전용 영역의 할당

분할에 의한 배치가 어느 정도 행해진 후에, 현재까지의 배치 결과에 대해서 전역 배선을 수행하고 배선 밀도가 배선 용량을 초과하는 부분에 배선 전용 영역을 할당한다. 전역 배선에는 미로 배선 알고리즘을 이용하였다. 배선 전용 영역의 할당은 전역 배선 결과에서 배선 밀도가 배선 용량을 가장 많이 초과한 채널부터 필요한 크기 만큼의 배선 전용 영역을 할당하도록 하였다. 이 과정은 더 이상 배선 영역을 필요로 하는 채널이 없거나 칩 면적의 제한으로 인하여 더 이상의 새로운 배선 영역의 할당이 불가능할 때 끝나게 된다. 배선 전용 영역의 할당에 의해서 발생하는 부분적인 셀밀도의 증가는 영역 정제 알고리즘을 이용하여 이웃한 밀도가 낮은 영역으로 셀들을 이동시킴으로써 해소하고 다음 단계로 진행하도록 하였다.

그림 1은 계층구조 단계 2에서의 전역 배선 모델을 나타낸 것이다. 여기서 점선은 분할된 영역의 경계선을 나타내고, p는 패드 셀들의 위치를 근사시킨 위치를 표시한 것이다. 그림에서 x는 분할된 각 영역의 중심점으로 한 영역에 속한 셀들의 모든 핀은 그 영역의 중심점에 있는 것으로 가정한다. 전역 배선 모델은 계층구조의 단계가 증가함에 따라서 점점 많은 수의 작은 영역으로 이루어지게 되며, 따라서 점점 더 정확하게 배선에 필요한 영역을 추정할 수 있게 된다. 이와 같은 배선 모델은 계층구조의 마지막 단계에서는 너무 작은 크기로 분할되어서 배선 전용 영역의 삽입을 어

렵게 하므로, 배선 모델의 분할은 계층구조의 마지막 단계에서는 분할하지 않고 이전 단계의 모델을 그대로 사용하도록 하였다.

배선 전용 영역을 추정하고 할당 하는 알고리즘에 대해서는 3장에서 자세히 설명하였다.

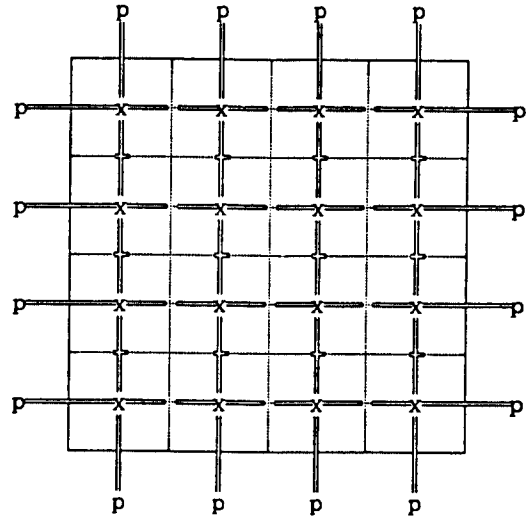


그림 1. 계층구조 단계 2에서의 전역 배선 모델  
Fig. 1. Global routing model are hierarchy level 2.

4. 셀 단계 배치 최적화

분할과 영역 정제에 의한 블록 단계의 배치가 완료 되면, 셀들은 그리디 (greedy) 방법에 의해서 각 셀이 할당된 배치 면의 중심 근처에 배치된다. 이 셀 단계의 배치는 각 영역이 소수의 셀만을 포함하고 있으므로, 할당된 배치 면의 모든 위치를 탐색하여 배치를 하여도 빠른 시간 내에 수행할 수 있다.

셀 단계 배치의 최적화에는 두 셀의 위치를 교환하는 것과 한 셀의 위치를 이동시키는 두 가지 형태의 변형을 이용하였다. 셀 단계 배치의 최적화 이전에 블록 단계 배치에 의해서 배치가 최적화 되어 있으므로, 셀들의 이동 범위는 작은 크기로 제한된다. 이동 범위는 수평 방향으로로는 셀들의 평균 크기의 4배를, 수직 방향으로로는 3개의 셀 열을, 포함하도록 한다. 배치의 변형은 임의로 한 셀을 선택하여 이동 범위 내에서 다른 셀을 선택하여 교환하거나, 새로운 위치를 선택함으로써 이루어진다. 이러한 셀들의 이동은 비용이 감소하는 경우만을 받아들인다. 필요에 따라서 많은 시간을 사용하더라도 보다 나은 배치 결과를 얻기 위하여 비용이 증가하는 경우도 확률적으로 받아들이는 시뮬레이티드 신터링 (simulated sintering) [15] 기법을 사용할 수도 있다. 또한 셀 단계 최적화에서 셀의 방향

(orientation)을 최적화 하면 비용을 더욱 감소시킬 수도 있다<sup>[16]</sup>.

### III. 배선 전용 영역의 추정 및 할당

계층구조의 중간 단계에서는 전역 배선에 의하여 배

알고리즘 2. 배선 전용 영역 할당 알고리즘  
Algorithm 2. Routing region assignment algorithm.

```
AssignRoutingArea(level)
/* 20% of capacity is reserved for local connections */
EstimateCapacity():

/* 전역 배선 */
for (iter = 0; iter (<= MAX_ITER: iter ++))
    PenaltyFactor = MaxPenaltyFactor
                    * iter / MAX_ITER;
    for (each net n)
        if (n is routed) {
            Ripup(n);
            UpdateDensity(n, SUB);
        }
        FindPath(n);
        UpdateDensity(n, ADD);
    density_factor = MAX(0, 1 - (NumLevels - level)
                        * DensityFactor);
    ModifyDensity(density_factor);

/* overflow의 계산 */
for (j = 1; j (<= num_ych: j ++)) {
    for (i = 1; i (<= num_xch: i ++)) {
        /* for horizontal channels */
        diffij = h_densityij - h_capacityij;
        if (i == 1)
            diff-1j = diffij;
        else
            diff-1j = h_densityi-1j -
h_capacityi-1j;
        if (i == num_xch)
            diffi+1j = diffij;
        else
            diffi+1j = h_densityi+1j -
h_capacityi+1j;
        h_overflowij = MAX(diffij,
                          (diff-1j, diffi+1j) / 2);

        /* for vertical channels */
        Similar algorithm for vertical channels;
    }
}
/* 배선 영역의 할당: dir is horizontal or vertical */
/* assign routing area at channels with highest
overflows. */
while ((i, j, dir) = FindMostCrowdedChannel() > 0
      && total reserved routing area < Limit)
    assign routing area at (i, j) in dir
direction;
```

선 밀도를 추정하여 배선 용량을 초과하는 만큼의 영역을 분할된 각 영역에 반영하여 다음 단계의 분할에서 고려하도록 하였다.

배선 영역의 모델은 그림 1과 같이 분할된 영역들 사이에 배선을 위한 채널이 존재하는 것으로 하였다. 배선 용량은 분할된 각 배치 면에 위치한 트랙의 수를 추정하여 사용하였다. 수평 배선 트랙은 셀 열 사이에 존재하는 배선 트랙의 수를 계산하였다. 수직 배선의 경우에는 셀들이 배치되면 그 위로 배선할 수 있는 수직 트랙의 수가 제한된다. 이는 사용하는 셀 라이브러리에 의해서 결정되며, 각 셀을 통과할 수 있는 평균 수직 트랙의 수를 이용하여 계산하였다. 실제의 배선에서 수평 및 수직 트랙은 각 영역의 내부 신호 배선에도 사용된다. 여러 회로들에 대한 실험에 의하여, 계산된 배선 용량의 20%는 배치영역 내부의 네트들을 지역적으로 연결하는데 사용하는 것으로 가정하였다.

회로에 위치가 고정된 매크로 셀이 존재하는 경우, 이들 주변에서 배선은 크게 영향을 받게 된다. 매크로 셀은 대부분 셀 위로의 배선을 허용하지 않기 때문에, 배선에 큰 장애물이 된다. 배선 용량은 이들에 의해서 감소하게 되므로, 배선 용량의 계산에서 제외시키도록 함으로써, 전역 배선에서 매크로셀의 존재를 고려할 수 있도록 하였다. 또한 본 연구에서는 매크로 셀 주변에 일정 크기의 배선 전용 영역을 할당하여, 상세 배선 시에 쉽게 매크로 셀을 우회하여 배선할 수 있도록 하였다. 매크로 셀 주변에는 현재 2개의 셀 열에 해당하는 크기를 비워주도록 하였다.

배선 영역의 추정은 미로 배선 알고리즘을 이용하였다. 배선하는 네트의 순서에 크게 의존하지 않도록 하기 위하여 전역배선은 반복적으로 이루어진다. 처음에는 배선 용량을 고려하지 않고 최단거리로 배선을 하고, 반복 횟수가 증가함에 따라서 배선 밀도가 배선 용량 이상이 되는 부분에 대한 페널티 (penalty)를 증가 시킴으로써 가능한 한 배선 밀도가 배선 용량을 크게 넘지 않도록 하였다. 즉, 전역배선의 목적함수는 배선 길이와 배선 밀도가 배선 용량을 초과하는 양을 최소화하는 것이다. 알고리즘 2는 계층 구조의 한 단계에서 배선 영역을 추정하는 알고리즘을 정리한 것이다. 반복 횟수 MAX\_ITER는 현재 4를 사용하였다. 여기서 PenaltyFactor는 배선 경로를 찾는 과정에서, 한 위치에서 다른 위치를 탐색할 때 배선 밀도가 배선 용량을 넘는 경우에 채널 거리에 의한 기본 비용에 추가 되는 페널티를 계산하기 위한 것이다. 이 값은 iter 값이 증가함에 따라서 선형적으로 증가한다. 즉, iter=0 일 때에 penalty=0이고, iter=MAX\_ITER일 때 배선밀도가 배선 용량의 2배가 되면 penalty=

MaxPenFactor가 된다. 이를 이용하여 탐색시의 비용은 기본비용\*(1+penalty)로 계산된다. Max-PenFactor는 여러 회로들에 대한 실험에 의하여 0.2를 사용하도록 하였다.

배선의 상위 단계에서는 배선 영역을 추정하는 과정이므로 계산된 배선 밀도에 의한 배선 영역의 할당은 실제 계산된 값보다 작게 되도록 하였으며, 하위 단계로 가면서 계산된 배선 밀도에 가까운 값을 사용하도록 하였다. 이때 추정의 정도는 DensityFactor 값에 의해서 결정되며, 이는 실험에 의하여 0.15를 사용하도록 하였다.

배선 영역을 할당하기 적당한 정도를 나타내는 overflow의 계산에서 density와 capacity는 고려 대상이 되는 채널의 배선 밀도와 배선 용량을 나타낸다. 할당되는 배선 전용 영역의 연속성을 유지하기 위하여, 양쪽의 배선 밀도가 배선 용량보다 큰 경우에는, 현재 위치의 배선 밀도가 배선 용량보다 작더라도 배선 전용 영역을 할당하여 배선을 보다 원활히 할 수 있도록 하였다. 배선 영역의 할당은 이들 overflow의 값이 가장 큰 채널부터 overflow에 해당하는 크기의 배선 영역을 할당하도록 함으로써, 배선 영역의 할당이 중요한 부분에 우선적으로 할당되도록 하였다. 더 이상 배선 영역을 할당할 필요가 없거나, 새로운 배선 영역의 할당이 사용가능한 배치 영역을 초과하게 되면, 배선 영역의 할당을 끝내도록 하였다.

20	20	20	20	20
(a) 배선 용량				
10	40	20	30	10
(b) 배선 밀도				
5	20	15	10	0
(c) overflow 값의 분포				
25	40	35	30	20
(d) 변경된 배선 용량				

그림 2. 배선 전용 영역을 할당하는 예 (수평 채널만을 예로 든 것임)

Fig. 2. An example assignment of routing region (with horizontal channels only).

- (a) routing capacity
- (b) routing density
- (c) distribution of overflows
- (d) modified routing capacity

그림 2는 전역 배선 결과로부터 배선 영역을 할당하는 과정을 수평 채널만을 예로 들어 설명한 것이다. 각 채널의 배선 용량이 20이고, 배선 밀도가 (b)와 같이

추정되었을 때, overflow의 값은 (c)와 같이 계산된다. 예를 들면, 두 번째 채널에서의 overflow는  $\text{Max}(20, (-10+0)/2) = 20$ 으로 계산되고, 세 번째 채널에서의 overflow는  $\text{Max}(0, (20+10)/2) = 15$ 로 계산된다. 이로써 배선 용량은 (d)와 같이 증가하게 된다. 여기서 첫 번째와 세 번째 채널은 배선 밀도가 배선 영역을 초과하지 않지만 두 번째와 네 번째의 채널이 배선 밀도를 크게 초과하므로 이들의 영향을 받아서 배선 영역을 할당하도록 하였다.

계층구조의 마지막 단계에서는 전역배선에 의한 배선 전용 영역을 고정 배치 한다. 셀 레벨 배치에서는 이 영역에 셀을 배치하지 않도록 함으로써, 상세 배선 과정에서 이들 영역을 이용하여 배선 밀도가 높은 영역에 대해서도 원활하게 배선을 할 수 있도록 하였다.

#### IV. 실험 결과

제안한 배선 전용 영역을 이용한 계층적 배치 방법을 C언어로 구현하여, [17]의 배치 시스템에 통합하였다. 이를 이용하여 기업체로부터 제공 받은 비교적 배치가 어려웠던 게이트 어레이 회로들의 배치에 적용하였다. 표 2는 실험에 사용한 예제 회로들의 특성을 정리한 것이다. 회로 ex2와 ex3은 각각 4개와 17개의 매크로 셀들을 포함하고 있으며, ex3을 제외한 회로들은 모두 #pins/net이 3.0 이상으로 복잡한 회로들이다. 사용한 셀 라이브러리는 0.8μm n-well 공정을 이용한 것으로 2-metal 배선을 이용하였다.

표 2. 예제 회로들의 특성  
Table 2. Example circuits.

circuit	#cells (#macros)	#nets	#pins/net	#pads	#gates (utilization)
ex1	3822 (0)	4585	3.24	110	14160 (82%)
ex2	4182 (4)	3806	3.56	161	55440 (79%)
ex3	9817 (17)	10661	2.98	191	88686 (78%)
ex4	15235 (0)	17292	3.27	109	68598 (73%)
ex5	29394 (0)	29062	3.27	230	107328 (69%)

본 장에서는 먼저 배선 전용 영역의 사용이 밀집도가 큰 회로의 배치 배선에 유용함을 실험적으로 보인 후에, 기존의 배치 배선 툴과 결과를 비교하였다. 배선을 고려한 배치 방법과 배선을 고려하지 않은 배치 방법에 의한 배치 결과를 표 3에 비교하였다. 배선 전용 영역을 이용하지 않은 배치는 알고리즘 1에서 AssignRoutingArea()를 생략하고 배치한 결과이다. 배선 영역을 고려한 배치는 고려하지 않은 배치에 비

표 3. 배선 전용 영역을 이용하지 않은 배치와 이용한 배치의 비교  
Table 3. Efficiency of routing region assignment.

circuit	배선 전용 영역을 이용하지 않은 배치			배선 전용 영역을 할당한 배치		
	wire length	#vias	CPU(sec)	wire length	#vias	CPU(sec)
ex1	2164.9 (103%)	32473 (103%)	1130	2098.2 (100%)	31658 (100%)	1158
ex2	4289.9 (105%)	21568 (105%)	1193	4077.4 (100%)	20629 (100%)	1335
ex3	5828.8 (99.2%)	61755 (100%)	4006	5877.3 (100%)	61464 (100%)	5505
ex4	incomplete	incomplete	4485	10674.0	131198	5383
ex5	incomplete	incomplete	12228	16618.9	202385	19142

해서 20% 미만의 CPU 시간을 추가로 사용하면서 배선 결과를 크게 개선할 수 있었다.

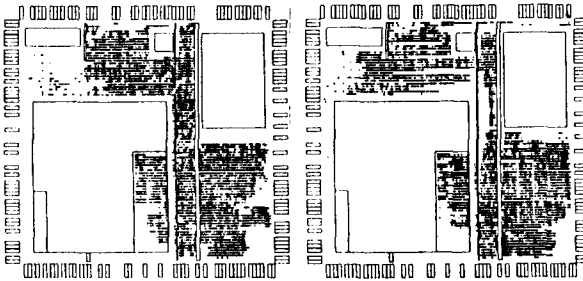


그림 3. 매크로 셀을 포함한 회로의 배치 결과 (ex2 회로)  
(a) 배선을 고려하지 않은 배치  
(b) 배선 전용 영역을 할당한 배치

Fig. 3. Placement results of circuit ex2 containing hard macro cells.  
(a) placement without routing area reservation  
(b) placement with routing area reservation

회로의 특성상 ex3과 같이 #pins/net이 작아서 (< 3.0) 배선 전용 영역의 할당 없이도 완전한 배선이 가능한 회로의 경우 배선영역의 할당은 배선 길이와 비아의 수를 증가시킬 수도 있다. 하지만 #pins/net이 큰 경우 (> 3.0) 배선영역의 할당은 배선을 완료하지 못하는 회로(ex4, ex5)에 대해서 완전한 배선을 이룰 수 있도록 하며, 배선 길이와 비아의 수를 감소시킴을 볼 수 있다.

그림 3은 매크로 셀들을 포함한 ex2 회로에 대하여 배선 영역을 고려하지 않은 배치와 배선 영역을 고려한 배치의 결과를 나타낸 것이다. (b)에서 두개의 큰

매크로 블럭 사이에 병목 현상으로 인하여 배선 밀도가 배선 용량을 초과하게 되어 배선 전용 영역이 크게 할당되었음을 볼 수 있다.

그림 4는 ex4 회로에 대하여 배선 영역을 고려하지 않은 경우와 배선 영역을 고려한 경우의 배치 결과와 이들의 배선 밀도를 2차원으로 비교한 것이다. 배선 밀도는 각 네트의 bounding box에 대하여 네트가 평균 분포되는 것으로 가정하여 계산하였다. 배선 밀도는 4단계로 구분하였으며, 각 단계는 0~9, 10~19, 20~29 및 30이상으로 구분하였다. 배선 용량은 20이다. 보다 진하게 표시된 부분일수록 배선 밀도가 높은 부분임을 의미한다.

알고리즘의 성능을 비교하기 위하여 배치 결과는 상용 배치 배선 툴인 GARDS<sup>[18]</sup> (GPLACE version 7.1.12)의 결과와 함께 표 4에 비교하였다. NEW와 NEW-SS는 각각 셀 단계 배치에서 그리디(greedy) 알고리즘을 사용한 것과 시뮬레이티드 신터링을 사용한 것을 나타낸다. 시뮬레이티드 신터링은 초기에 비용이 증가하는 셀 이동을 받아들일 확률을 1%로 수행하였다. 게이트 어레이는 완전한 배선이 중요한 문제이므로 배치 결과는 상세 배선(detailed routing)을 행한 후에 비교하였다. 본 연구의 프로그램은 자체 배선 툴이 없으므로 상세 배선은 모두 GARDS의 배선 툴을 이용하였다. GARDS의 상세 배선은 일반적으로 3-line search 후 미로 배선을 수행하며, 이로써 완료되지 않은 배선은 재배선 알고리즘을 이용하여 배선한다. GARDS를 이용한 배치에서, ex2와 ex5회로는 배치 후 배선 결과에 따라서 필요한 부분에 배선 영역을 사용자가 지정하고 다시 배치하는 과정을 반복하여 배치한 것이다. 본 연구의 배치 방법을 이용한 결과, 실험에 사용한 5개의 회로 모두에 대해서 셀 단계에서 그리디 최적화만으로 완전한 배선을 얻을 수 있었다. 이들 결과는 셀 단계의 배치 최적화에서 시뮬레이티드

신터링 기법을 사용함으로써, 보다 많은 CPU 시간을 사용하여 더욱 우수한 결과를 얻을 수 있다. 그리고 알고리즘만을 이용한 경우에 비해서 배선 길이 면에서는 3~8%의 결과 개선을 얻을 수 있었으며, 비아수에 있어서도 2~6%의 감소를 얻었다.

배선 결과는 GARDS의 결과에 비해서 배선 길이 면에서는 37%까지 우수한 결과를 얻을 수 있었다. 셀 단계에서의 시뮬레이티드 신터링은 그리디 알고리즘을 사용한 경우에 비해서 2배 이하의 CPU 시간을 사용하였다. CPU 시간은 SUN SPARC 10에서 배치에 사용된 시간만을 나타낸 것이다. 본 연구의 배치 방법은 셀 단계 배치 최적화에서 시뮬레이티드 신터링을 사용하더라도 7만 게이트 이상을 포함하는 ex5같은 회로를 7.5시간 이내에 완전한 배선이 가능하도록 배치할 수 있을 정도로 효율적이다.

### V. 결 론

본 논문에서는 배선 전용 영역을 이용한 계층적 배치 방법을 기술하였다. 계층적인 배치는 반복적인 분할에 의해서 이루어지며, 분할에 의해 얻어진 배치 결과는 계층 구조의 각 단계에서 영역 정제 방법에 의해서 개선된다. 분할과 배치 개선을 보다 효율적으로 하기 위하여 분할 대상이 되는 셀의 수가 많은 경우에는 밀접하게 연결된 셀들을 클러스터링하여 이용하였다. 계층구조의 각 단계에서 전역배선을 수행하고, 배선 밀도가 배선 용량을 초과하는 부분에 배선 전용 영역을 할당하여, 다음 단계에서 이를 고려하여 배치를 최적화하도록 하였다. 셀 단계 배치 직전에 할당된 배선 전용 영역은 배치 면에 고정 시켜서 셀 단계 배치 최적화 과정에서 이들 영역에 셀을 배치하지 않도록 함으로써, 배치가 완료된 후에 배선 과정에서 이를 효율적으로 사용할 수 있도록 하였다. 이와 같이 배선 영역을 고려하여 배치함으로써 배선 영역을 고려하지 않은 배치에서 완전한 배치를 얻을 수 없었던 회로에 대해서 완전한 배선을 이룰 수 있었으며, 배선 영역을 고려하지 않고서도 배선을 완료할 수 있는 회로일 지라도 복잡한 회로에 대해서는 배선 영역을 확보함으로써 배선이 끝난 후에 배선 길이와 비아의 수를 줄일 수 있었다. 여러 게이트 어레이 회로에 대해서 실험한 결과는 본 논문에서 기술한 배치 방법이 매우 효과적임을 보여준다.

### 참 고 문 헌

[1] H. Shin, "Techniques for Placement and Floorplanning", ICVC, pp.227-232, 1993.  
 [2] W. Swartz and C. Sechen, "A New Generalized Row-Based Global Router," ICCAD, pp.491-498, 1993.  
 [3] S. Kim and C. Kyung, "Circuit Place-

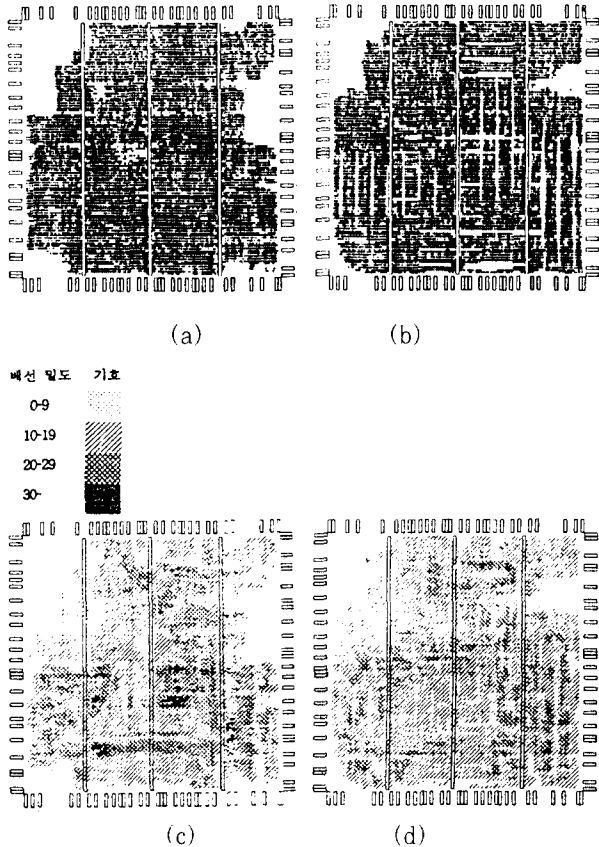


그림 4. 배선 전용 영역을 할당한 배치 결과와 배선 밀도의 비교 (ex4 회로)  
 (a) 배선을 고려하지 않은 배치 결과  
 (b) 배선 전용 영역을 할당한 배치 결과  
 (c) 배선을 고려하지 않은 배치의 배선밀도  
 (d) 배선 전용 영역을 할당한 배치 결과의 배선 밀도

Fig. 4. Placement results and routing density of circuit ex4.

- (a) placement result without routing area reservation
- (b) placement result with routing area reservation
- (c) routing congestion without routing area reservation
- (d) routing congestion with routing area reservation



표 4. 실험 결과 및 비교

Table 4. Experimental results and comparisons.

circuit	GARDS		NEW			NEW-SS		
	wire length	#vias	wire length	#vias	CPU [sec]	wire length	#vias	CPU [sec]
ex1	2243.0 (115%)	32919 (109%)	2098.2 (107%)	31658 (105%)	1158	1953.4 (100%)	30160 (100%)	2299
ex2	4653.3*1 (120%)	21306 (105%)	3994.5 (103%)	20629 (102%)	1335	3875.2 (100%)	20262 (100%)	2077
ex3	7665.6 (137%)	64209 (109%)	5877.3 (105%)	61464 (104%)	5505	5588.7 (100%)	59027 (100%)	6420
ex4	incomplete*2	incomplete*2	10674.0 (107%)	131198 (106%)	5383	9974.7 (100%)	124244 (100%)	9657
ex5	17977.4*3 (116%)	202482 (106%)	16618.9 (108%)	202385 (106%)	19142	15448.9 (100%)	191723 (100%)	26798

\*1, \*3: GARDS에서는 배선 결과에 따라서 배선 영역을 사용자가 지정하면서 반복 배치하여 얻은 결과임.

\*2: 210개의 네트가 배선되지 않았음.

- ment on Arbitrarily Shaped Regions using the Self-Organization Principle," IEEE Trans. CAD, vol. 11, no. 7, pp. 844-854, July 1992.
- [4] W.-J. Sun and C. Sechen, "Efficient and Effective Placement for Very Large Circuits," ICCAD, pp. 170-177, 1993.
- [5] L. Grover, "Standard Cell Placement Using Simulated Sintering," DAC, pp. 56-59, 1987.
- [6] S. Kirkpatrick, C. Gelatt and M. Vecchi, "Optimization by Simulated Annealing," Science, May 13, pp. 671-680, 1983.
- [7] C. Sechen, and A. Sangiovanni-Vincentelli, "The Timber Wolf placement and routing package," IEEE JSSC, Sc-20, pp.510-522, 1985.
- [8] M. Igusa, M. Beardslee and A. Sangiovanni-Vincentelli, "ORCA A Sea-of-gates Place and Route System," DAC, pp. 122-127, 1989.
- [9] S. Sutantavabul, E. Shragowitz, and R.-B. Lin, "An Adaptive Timing-Driven Placement for High Performance VLSI's," IEEE Trans. CAD, vol. 12, no. 10, pp. 1488-1498, Oct. 1993.
- [10] S. Mayrhofer, and U. Lauther, "Congestion-Driven Placement Using a New Multi-Partitioning Heuristic," ICCAD, pp. 332-335, 1990.
- [11] R.-M. Kling and P. Banerjee, "Optimization by Simulated Evolution with Applications to Standard Cell Placement," DAC, pp. 20-25, 1990.
- [12] H. Shin and C. Kim, "A Simple Yet Effective Technique for Partitioning," IEEE Trans. on VLSI, vol. 1, no. 3, pp. 380-386, Sep. 1993.
- [13] A. E. Dunlop, and B. W. Kernighan, "A Procedure for Placement of Standard-Cell VLSI Circuits," IEEE Trans. CAD, pp. 92-98, Jan. 1985.
- [14] R. Kling and P. Banerjee, "Empirical and Theoretical Studies of Simulated Evolution Method Applied to Standard Cell Placement," IEEE Trans. CAD, vol. 10, no. 10, pp. 1303-1315, Oct. 1991.
- [15] 김원중, 신현철, "영역정제를 이용한 계층적 배치 기법", 한국정보과학회논문지, 제21권 제6호, pp. 1018-1025, 1994.
- [16] K. Chong and S. Sahni, "Minimizing

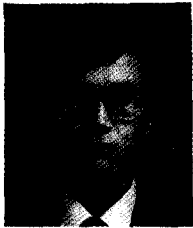
Total Wire Length by Flipping Modules," IEEE Trans. CAD, vol. 12, no. 1, pp. 167-175, 1993.

archical Placement Algorithm for Row-Based Layouts," IEE Electronics Letters, vol. 29, no. 17, pp. 1508-1510, 1993.

[17] C. Kim, W. Kim, H. Shin, K. Rhee, H. Chung, and J. Kim, "Combined Hierar-

[18] Performance Driven Layout with GARDS 7, Silvar-Lisco Co., Aug. 1991.

— 저 자 소 개 —



金源宗(正會員)  
1966年 11月 8日生. 1989년 2월 전남대학교 전자공학과 졸업. 1992년 한양대학교 전자공학과 석사. 1995년 2월 한양대학교 전자공학과 박사과정. 주관심분야는 집적회로 설계 자동화임.

申鉉哲(正會員) 第 32 卷 第 1 號 參照.  
현재 한양대학교 전자공학과 교수