

論文95-32A-4-11

범용 연합 처리 시스템에서의 전역배선 병렬화 기법

(Parallel Algorithm of Global Routing for General Purpose Associative Processing System)

朴 台 根 *

(Taegeun Park)

요 약

본 논문에서는 검색위주의 응용분야에 특히 효율적인 범용 Associative Processor(AP)를 제안하였고 그 의 병렬처리 기능을 이용한 전역배선(Global Routing) 알고리즘을 기술하였다. 제안된 하드웨어는 Content-Addressable Memory(CAM) 어레이, 로우 로직(Row Logic), 제어부(Control section)의 세 기능블럭으로 구성된다. 본 AP는 CAM 블럭과 고속 프로세서 어레이를 기초로 한 SIMD(Single-Instruction, Multiple-Data) 구조를 갖는다. 본 연구에서 CAM의 선택적인 매칭 및 쓰기 기능과 단순한 처리 기능을 가진 논리 회로로써 구현된 AP의 기본 병렬 알고리즘을 이용하여 gate array 형태 레이아웃에서의 전역 배선 알고리즘을 제시하였다. 제안된 알고리즘은 전체 칩면적을 균등한 격자(grid)로 나누어 각 격자 선분(grid segment)의 거리와 밀도가중치를 검색함으로써 채널 밀도(density)와 총배선 길이를 동시에 최적화하였다. 전역배선 문제를 위해 제안된 하드웨어로의 효율적인 매핑(mapping)기술이 제시되었으며 여러가지 경험적 방법들이 기술되었다. 여러가지 벤치마크 문제들을 실험하였고 그 결과를 분석하였다.

Abstract

This paper introduces a general purpose Associative Processor(AP) which is very efficient for search-oriented applications. The proposed architecture consists of three main functional blocks: Content-Addressable Memory(CAM) array, row logic, and control section. The proposed AP is a Single-Instruction, Multiple-Data(SIMD) device based on a CAM core and an array of high speed processors. As an application for the proposed hardware, we present a parallel algorithm to solve a global routing problem in the layout process utilizing the processing capabilities of a rudimentary logic and the selective matching and writing capability of CAMs, along with basic algorithms such a minimum(maximum) search, less(greater) than search and parallel arithmetic. We have focused on the simultaneous minimization of the density of the channels and the wire length by seeking a less crowded channel with shorter wire distance. We present an efficient mapping technique of the problem into the CAM structure. Experimental results on difficult examples, on randomly generated data, and on benchmark problems from MCNC are included.

* 正會員, 現代電子産業(株) 半導體 第 2研究所
(Hyundai Elec. Industries Co. Ltd., Semiconductor Lab. II)

接受日字 : 1995年 8月 26日

I. 서론

일반적인 컴퓨터는 중앙처리장치와 메모리로 구성된 Von Neumann 구조를 갖는다. 중앙처리장치의 성능이 점차 고도화됨에 따라 메모리와의 인터페이스 속도가 전체 처리 능력을 좌우하게 되고 이때 나타나는 현상을 "Von Neumann 병목현상"이라 한다. 이러한 단점을 보완하기 위하여 처리기능과 메모리 기능을 합한 Associative Processor(AP)의 구조가 제안되었다.^[17] 검색위주의 응용분야에서 AP는 상당히 효율적인 해답이 될 수 있다. AP 내부의 메모리구조인 Content-Addressable Memory(CAM)는 주소에 의해서가 아니라 내용에 의해서 선택되어 읽고, 쓰고, 매치(match)된다. 각각의 CAM 비트는 기존의 메모리 셀에 비교기를 첨가함으로써 구성되고 외부에서 공급되는 데이터와 비교되어 단일 동작싸이클에 매칭이 이루어진다. 더욱이 각 CAM워드에 간단한 처리기능을 할수있는 로직을 첨가함으로써 매치된 결과를 처리할 수 있는 AP를 구성할 수 있다. 제안된 AP는 제어부, 메모리, 그리고 처리소자의 세 기능블록으로 구성되어 있다. CAM과 각 처리소자의 병렬처리 기능으로 말미암아 제안된 AP는 SIMD(Single-Instruction, Multiple-Data)의 구조를 갖는다. 그리하여, 간단한 기능을 수행할 수 있는 어레이 구조의 처리소자를 이용하여, CAM의 검색결과를 바탕으로한 여러가지 복잡한 문제(queries)을 병렬처리할 수 있다.

본 연구에서는 제안된 범용 AP를 이용하여 칩 레이아웃 과정중의 전역배선(global routing) 알고리즘을 기술하였다. 전역배선이란 각 네트 조각을 특정한 채널에 할당하는 최종 배선을 위한 전단계로서 채널밀도와 배선길이를 최적화함에 목적이 있다. 최근까지 정수계획법^{[11],[12]}, 순차적배선^{[3],[14],[15],[16]}, 계층적 배선^{[7],[18],[19]}, 시뮬레이티드 어닐링^[10], 신경망회로^[11], 병렬적기법^[12] 등 여러가지 접근방법이 시도되었는데 문제의 복잡도로 인하여 배선 결과의 질과 수행시간과의 상관관계(tradeoff)가 존재해 왔다.

제안된 알고리즘은 CAM의 선택적 매칭과 간단한 처리능력을 가진 로직을 이용하여 전역배선을 수행한다. 수천개 AP소자들의 병렬 검색기능을 이용하여 최소(대)값 검색, 이상(하)값 검색, 병렬 가감산 등의 기본적인 알고리즘을 구성할 수 있다. 전역배선 문제는 배선후 채널밀도와 총 배선길이의 두가지 요소를 최적화하는 NP-hard의 복잡도를 갖는 문제이므로 본 연구에서는 이를 그래프 문제로 단순화하고 두가지 요인들을 동시에 고려함으로써 보다 나은 결과를 나타내었다. 즉, 전역배선시 상대적으로 덜 혼잡하고 총배선길

이가 짧은 채널을 검색함으로써 배선의 질을 향상시켰다. 이를 위하여 노드의 갯수가 n 일때 복잡도가 $O(n)$ 인 병렬 Minimum-Weight Path(MWP) 알고리즘이 제안되었고, 배선되는 네트 상에 기준점(reference point)을 정하여 상대적으로 배선길이를 짧게하는 경로(path)를 찾는 데 이용하였다. 중점이 둘 이상의 네트(multi-terminal net)에 대해서는 각 중점으로부터 부분네트(partial net)로의 경로를 순차적으로 찾음으로써 배선을 완성하였다. 즉, 각 중점으로부터 밀도와 거리의 두 가중치에 대한 MWP를 구성해 나가며 그의 끝이 부분네트에 닿으면 그 경로를 부분네트에 포함시킨다. 배선문제는 그래프 이론으로 해석할 수 있고 CAM 하드웨어에 효과적으로 매핑(mapping)되며 여러가지 실험결과 상당히 우수함을 나타내었다.

본 연구의 특징은 다음과 같이 요약할 수 있다.

- 1) 본 논문에서는 CAM블럭과 간단한 처리능력을 가진 프로세서 어레이로 구성된 범용 AP하드웨어를 제안하였다. 제안된 AP는 제어부를 내장하여 보조 프로세서로 사용될 수 있으며, 수 천개의 프로세서를 가진 SIMD 컴퓨터로 이해될 수 있다.
- 2) 제안된 하드웨어를 이용한 병렬 전역 배선 알고리즘을 기술하였다. 본 알고리즘은 밀도와 총 배선거리의 두가지 요소를 동시에 고려하여 배선결과가 상당히 우수하였다. 또한, 실제 하드웨어에서 수행한다면 빠른 결과를 기대할 수 있다.

제 2장에서는 제안된 하드웨어와 그를 이용한 기본적인 병렬 검색 알고리즘이 기술되었고 3장에서는 CAM 하드웨어로의 매핑기법과 전역배선 알고리즘이 설명되었다. 4장에서는 알고리즘을 실제로 수행함에 있어서 적용된 몇가지 경험적 방법들을 소개하였다. 여러가지 벤치마크 문제에 대한 실험결과와 그의 분석은 5장에서 다루었으며 마지막 장에서는 미래에 대한 제언과 함께 결론을 서술하였다.

II. Associative Processor 구조

1. 범용 Associative Processor(AP)

본 연구에서 제안된 범용 AP는 CAM블럭과 고속 처리기능을 가진 로직 어레이로 구성된 SIMD 구조를 갖는다. CAM의 용량은 1024 x 42비트이고 (단일 칩에 탑재될 수 있는 적당한 크기이므로) CAM의 각 워드는 1비트의 처리능력을 갖는 로직과 연결되어 CAM 블럭에서 수행한 매치 결과를 처리한다. 하나의 AP 소자는 42비트의 CAM워드와 그에 속한 로우로직으로 구성된다. CAM 구조는 주소해독기가 없으므로

매칭결과나 그 워드와 연결된 처리소자의 논리수행 결과에 의해 임혀지고 쓰여진다. 1k 처리소자단위의 AP 칩은 직렬접속(cascade)이 가능하므로 많은 수의 프로세서들을 필요로 하는 응용문제에도 적용이 가능하다.

그림1은 제안된 AP의 구조도이다. AP는 제어부, 메모리, 처리소자의 세가지 기능 블록으로 구성되어 있다. 제어부는 레지스터 뱅크(register bank)와 AP의 명령어를 해독하고 처리하는 제어기(controller)를 포함한다. 레지스터 뱅크는 42비트의 Data-in, Data-out, Mask 레지스터와 32비트의 Status, Command 레지스터로 구성된다. Data-in 레지스터는 CAM 블록의 각 워드와 매치될 값을 저장하고 Data-out 레지스터는 "read" 명령에 의해 읽혀진 데이터를 저장한다. Mask 레지스터는 매치 수행에서 제외시키고자 하는 해당 비트를 "1"로 세트시킴으로써 부분 검색을 가능하게 한다. "write" 명령시에 Mask 레지스터가 "1"로 세트된 비트의 CAM 데이터는 이전 값을 유지하게 된다. Command 레지스터는 제안된 AP가 수행하는 12가지 명령어를 저장하며 Status 레지스터는 AP의 명령수행 중 발생하는 여러가지 상황 정보를 저장한다.

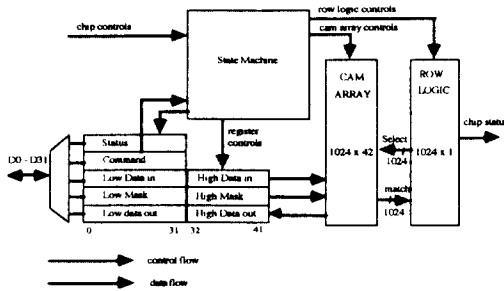


그림 1. 범용 AP의 하드웨어 구조
Fig. 1. The block diagram of the proposed AP

제안된 AP는 memory-mapped device로서 주 컴퓨터와 통신하게 된다. 레지스터들과 CAM 어레이의 데이터는 32비트 데이터 버스와 제어 신호들에 의해 액세스되며 AP에 의해 수행되는 명령어는 제어기에 의해서 해독된다. 각 CAM워드는 32비트 데이터 영역과 10비트 태그(tag) 영역으로 구분되나 구조상의 차이는 없다. 태그 영역도 매치의 대상이므로 이들을 적당히 변경함으로써 CAM에 저장하는 정보를 분류하여 처리할 수 있다. CAM의 각 비트는 행(column) 선택선이 있으므로 Mask 레지스터를 적당히 세트하여 원하는 비트에 선택적으로 어떤 정보를 쓸 수 있다.

RAM과 달리 CAM워드는 순차적인 주소의 개념이 없고 대신 선택 라인(select line)을 갖는데 만일 선택 라인이 "read"나 "write"명령 동안에 활성화 된다면 그 워드는 현재 수행중인 명령에 의하여 영향을 받는다. 다시 말하여, "read" 명령에서는 선택된 CAM 워드의 데이터가 Data-out 레지스터에 저장되고 "write" 명령에서는 Data-in 레지스터 값이 선택된 워드에 쓰여진다. "read" 명령은 모든 CAM워드가 하나의 데이터 버스를 공유하기 때문에 하나의 워드만이 읽혀질 수 있고 "write"명령일 때에는 Data-in 레지스터의 데이터가 선택된 모든 CAM 워드에 동시에 쓰여진다. 각 워드내의 매치라인은 wired-or 형태로 구성되어 있어 매치되는 데이터 중 하나라도 매치되지 않으면 매치라인은 "0"의 값을 갖는다.

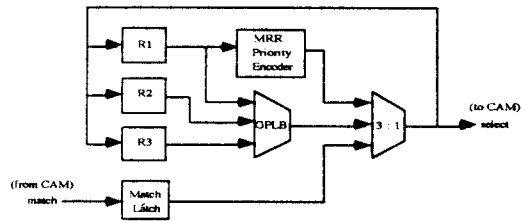


그림 2. 로우로직의 하드웨어 구조
Fig. 2. Structure of Row Logic

그림2는 하나의 CAM워드에 대한 매치결과를 처리하는 로우로직의 구조도이다. 로우로직은 General Purpose Logic Block(GPLB), Multiple Response Resolver(MRR), 1비트 레지스터인 R1, R2, R3로 구성된다. ALU역할을 하는 GPLB는 임의의 세 변수의 256가지 Boolean연산을 수행할 수 있고 그 결과는 R1, R2, R3 레지스터 중 하나에 저장된다. 여러 워드에 동시에 "write"명령을 수행할때 GPLB의 출력을 선택 라인으로 이용할 수 있다. 다수의 매치결과가 발생했을때 MRR은 모든 매치결과를 우선순위화(prioritize)하여 가장 낮은 주소의 것을 선택한다. MRR은 다수의 매치 결과 중 최상위의 비트만 활성화하므로 MRR의 출력을 선택라인으로 쓸 때에 우리는 한번에 한워드씩 명령을 수행할 수 있다.(예를 들어 "read" 명령시 필요하다.) MRR은 또한 Some Response(SR), Multiple Response(MR)의 두가지 신호를 만들어 내는데, SR은 R1에 저장된 반응벡터중 "1"로 세트된 비트가 적어도 하나 이상일때 출력이 "1"이고, MR은 둘 이상일때 출력이 "1"로 된다. SR과 MR신호를 검사함으로써 반응벡터에 "1"인 비트가 오직 하나있을 경우를 알 수 있다.

R1, R2, R3의 1비트 레지스터들은 매치 결과나 GPLB의 처리결과 혹은 MRR의 출력을 저장하는 데 쓰인다. 특히 상단과 하단 워드의 R1은 서로 연결되어 Shift 레지스터로 쓰일 수 있기 때문에 워드간의 데이터 이동에 사용될 수 있다. 위와 같은 간단한 기능을 갖는 AP는 수천개의 처리 소자를 갖는 병렬 컴퓨터로서 이해될 수 있다.

2. Associative Processor의 기본 알고리즘

AP는 매우 간단한 기능을 가진 SIMD 컴퓨터로서 하나의 명령어는 모든 프로세서 어레이로 전달되어 동시에 같은 명령을 수행한다. 본 연구에서 사용된 기본적인 AP알고리즘들은 다음과 같다 : 최소(대)값 검색, 이상(하)값 검색, 병렬 가감산. 위에 나열된 알고리즘들은 bit-serial, word-parallel하게 동작한다^[15]. CAM의 각 워드에 저장된 데이터들을 MSB로부터 "0"("1")을 검색함으로써 점차 최소값(최대값)의 후보 대상의 수를 줄여 나가고 LSB에 이르러는 최소값(최대값)을 가진 워드만이 반응벡터에 남게된다^[16]. 이때, Mask 레지스터의 값을 적당히 변경하여 불필요한 비트를 검색 대상에서 제외함으로써 부분매치와 부분 쓰기 명령을 수행할 수 있다. 이상(하)값 검색도 방법은 동일하나 "0"("1")대신 원하는 기준값의 각 비트값을 검색하여 수행한다. GPLB는 세 변수의 Boolean 연산을 수행할 수 있으므로 R1, R2, R3의 세가지 레지스터를 이용하여 전가산기(full-adder)를 구성함으로써 1비트 가감연산을 수행할 수 있다.

III. 전역 배선 알고리즘

1. CAM 구조로의 매핑 방법

gate array 형태의 레이아웃은 2차원 평면을 일정한 간격의 수직, 수평선으로 나눔으로써 간단한 그래프로 변환할 수 있다.^[18] 이때 각 노드는 글로벌 셀(global cell), 각 에지는 채널을 나타내는데 에지에 대한 가중치는 해당 채널을 통과하는 전선의 밀도를 나타낸다. 그림3은 2차원 격자 평면의 예이다. 각 에지는 두개의 노드로 구성되고 채널 밀도와, 연결될 네트워크의 상대적인 배선 길이를 나타내는 거리의 두가지 정보를 갖는다.

그림4는 그림3의 그래프에 대한 실제 CAM에 저장되는 데이터이다. 첫번째 워드에는 채널밀도와 각 노드의 x, y 좌표를 저장하고 두번째 워드에는 거리에 대한 정보가 저장된다. 밀도와 거리 정보는 각 네트워크 배선될 때마다 새롭게 계산되어 각 상황에서 최적의 배선경로를 찾게한다. 효과적인 CAM의 사용을 위해 비트분할 방법(bit partitioning)을 이용하였는데 비

트의 영역은 문제의 크기에 따라 유동적으로 정할 수 있다 배선 초기에 CAM에 그래프 정보를 입력하면 배선이 끝날때까지 다시 입력할 필요가 없고 밀도와 거리 정보만 변경(update)해가며 최적의 경로를 검색한다.

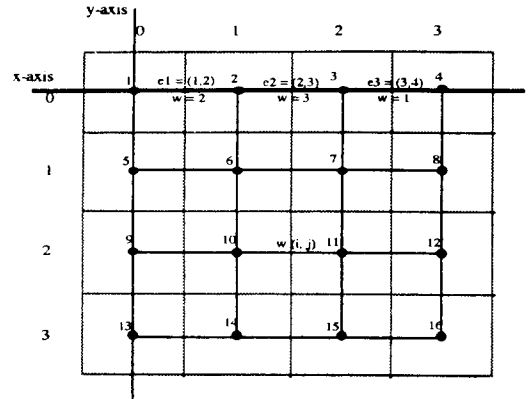


그림 3. 2차원 격자평면의 예
Fig. 3. An instance on two dimensional grid plane.

CAM Array					Tag	
CAM entry for e1	w(2)	n1_x(0)	n1_y(0)	n2_x(1)	n2_y(0)	1
	distance field					2
CAM entry for e2	w(3)	n1_x(1)	n1_y(0)	n2_x(2)	n2_y(0)	1
	distance field					2
CAM entry for e3	w(1)	n1_x(2)	n1_y(0)	n2_x(3)	n2_y(0)	1
	distance field					2

* The number inside th parenthesis stands for the actual quantity to be stored into CAM

그림 4. AP 하드웨어 매핑 방법
Fig. 4. Mapping technique into CAM

2. Minimum-Weight Path (MWP)

본 절에서는 각 종점(terminal)에서 부분네트워크까지의 Minimum-Weight Path(MWP)를 찾는 방법에 대하여 설명하겠다. 가중치를 갖는 비방향성 그래프에 대한 MWP는 시작점으로부터 목표물까지의 여러 경로 중에서 가중치의 총합이 최소인 경로라고 정의할 수 있다. 앞에서 설명한 바와 같이 전역배선에서는 채널 밀도와 배선길이의 두 요소를 최적화하여야 한다. 각 에지들은 두 요소에 대한 가중치를 갖고 있으며 그 가중치의 변경(update)은 다음 절에서 언급하겠다.

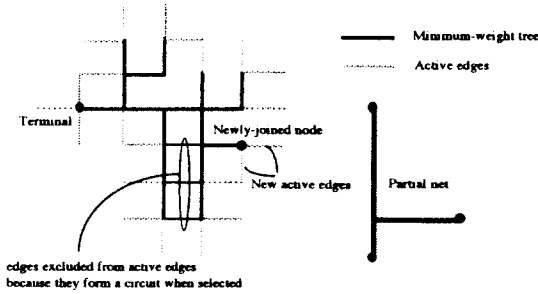


그림 5. MWP 설명도
Fig. 5. MWP procedure.

Algorithm MWP

1. Activate the edges connected to a terminal.
Repeat steps 2 through 6 until it touches an object
 2. Update the distance for the newly found active edges from the reference point.
 3. Find the edge with minimum weight among the active edges.
 4. Deactivate that edge.
 5. Search the edges connected to the nodes of the new MWP edge.
Add those edges to the active edges as candidates for the next search.
 6. Deactivate any edge which would form a circuit if chosen in the next search.
- End
7. Remove all the degree-1 nodes.

MWP 알고리즘은 종점으로부터 시작하여 부분네트까지, 두가지 요소(채널밀도, 배선길이)를 최적화하는 경로를 찾기위해 그림 5에서 설명된 것과 같이 에지들을 검색해 나간다. CAM에 저장된 모든 에지 중에 현재 최소값 검색에 캔디데이트인 에지들을 활성 에지라 부른다. 매 검색시마다 새로운 노드(newly-joined node)가 찾아지며, 그 노드에 연결된 에지들은 활성 에지(active edges)의 집합에 포함되어 다음 검색의 대상이 된다. 종점에서 시작한 트리는 점차 확대되어 목표물에 접근하고 최종적으로 닿게되면 불필요한 에지들을 제거하여 MWP를 얻는다. 각각의 에지를 검색할 때마다 알고리즘은 모든 활성에지들에 대하여 길이와 밀도에 대한 최적의 에지를 찾으므로, 트리는 덜 복잡하면서 총 배선길이를 짧게하는 경로를 찾아간다. 알고리즘은 모든 활성에지들을 동시에 고려함으로써 목표까지의 모든 경로에 대하여 두가지 요소를 최적화한다. 태그 비트도 검색영역에 포함되므로 태그 비트

중 하나를 변경함으로써 원하는 에지를 비활성화시킬 수 있다. 그리고 GPLB를 이용하여 회로(circuit)를 구성하는 에지들을 효과적으로 비활성화시킬 수 있다¹⁾

알고리즘이 시작점으로부터 부분네트까지의 경로를 찾고나면 그 경로에 포함되지 않는 모든 에지들을 제거해야 하는데, 그림 6에서와 같이, 먼저 CAM에 저장되어 있는 minimum-weight tree의 모든 에지 중에서 degree-1 노드(leaf node)의 집합 H를 검색한다. 집합 H의 각 노드에 대하여 연결된 에지정보를 검색함으로써 경로에 포함되어 있지 않은 에지들을 하나씩 제거해 나가면 최종적으로 MWP만 남게 된다.

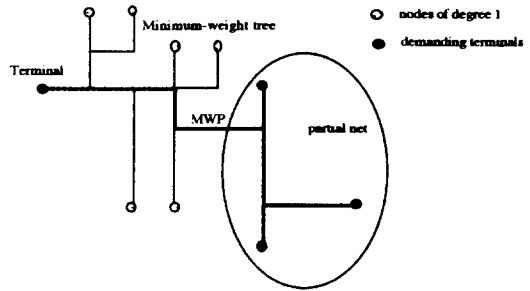


그림 6. 종결점 제거 방법
Fig. 6. Leaf node removal method.

3. 기준점(reference point) 및 거리 계산

배선후 총 전선 길이는 레이아웃에 있어서 칩의 면적뿐 아니라 시간(RC delay)적인 측면에서도 상당히 중요하다. 본 연구에서는 기준점을 이용하여 길이에 대한 최적화를 모색하였다. 기준점이란 부분네트 상에 있는 점으로써 MWP과정에서 새로이 첨가된 노드로부터 현재 구성중인 부분 네트까지의 거리가 가장 가까운 점으로 정의한다.

MWP과정중에서 새로운 노드가 첨가될 때마다 그 노드와 연결된 새로운 에지들에 대해서 거리에 대한 정보를 새롭게 변경한다. 이때 모든 에지들은 병렬 가감연산에 의해 동시에 처리된다. 그림7는 거리계산의 개념을 설명하는데 MWP과정중 새로운 노드에 대한 거리는 종점으로부터 온 거리(FROM_dist)와 부분네트까지 거리(TO_dist)의 합이라고 할 수 있다. 기준점은 새로이 첨가된 노드로부터 부분네트를 구성하는 점들간의 거리를 병렬 연산한 후 최소값을 검색함으로써 구해질 수 있다. 기준점이 찾아지면 새롭게 첨가된 노드에 연결된 에지들에 대해서 병렬 연산을 이용하여 FROM-dist와 TO-dist의 값을 구하여 더하면 된다. 계산된 거리의 의미는 종점에서 부분 네트까지의 경로

에 그 에지가 포함될 경우 가능한 최단의 거리이므로 모든 활성에지들 중 최소값을 갖는 것들을 찾아 나간다면 가장 최단 경로를 얻을 수 있다.

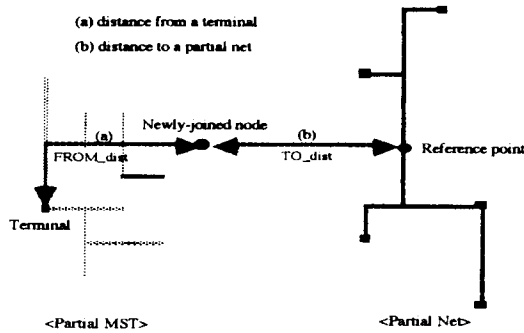


그림 7. 기준점으로부터의 거리계산

Fig. 7. Distance from the reference point.

4. 채널밀도 계산

채널밀도는 각 네트의 배선이 끝났을 때마다 새로이 변경된다. 채널의 밀도는 "0"으로 초기화되며 전선이 어떠한 채널을 지날 때마다 해당 에지의 밀도가중치가 증가된다. MWP과정중 밀도가중치에 대해서도 최소값을 검색하기 때문에 가중치가 큰, 다시말해서 혼잡한 채널은 네트의 배선 경로에서 되도록 제외된다. feed-through를 나타내는 수직 에지는 feed-through가 남아있는 동안은 통과가 가능하나 모두 이용한 후에는 경로가 차단된다. 수직 에지는 네트의 경로가 찾아진 후에도 feed-through가 남아있는한 증가되지 않고 "0"을 유지하므로 배선시 우선적으로 이용된다.

이로 말미암은 feed-through의 남용을 방지하기 위하여 경로를 선택할 수 있는 한계영역(bounding area)을 경험적(heuristic)방법으로 정하여 활성에지들 중에 거리 가중치값이 $di+k(di : \text{중점에서 부분네트까지의 최단거리}, k : \text{상수})$ 보다 큰 에지들은 비활성화하여 경로를 위해 선택되지 않는다. 한계영역을 정함으로써 feed-through의 남용뿐 아니라 불필요한 검색도 줄일 수 있는데 이유는 배선후 총 배선길이가 너무 길면 그 배선은 채택되지 않기 때문이다. 한계영역 밖의 에지에 대한 검색은 이상값 검색(greater than search)로 쉽게 찾을 수 있다.

IV. 알고리즘의 구조 및 설명

본 장에서는 제안된 전역배선 알고리즘의 구조에 대하여 설명하겠다. 알고리즘은 각 네트에 대하여 주어

진 상황에서 되도록 덜 복잡하고 배선 후 전선 길이가 최소가 되는 경로를 찾는 방향으로 진행된다. 전 과정을 통하여 알고리즘은 가능한 모든 경로를 병렬로 고려함으로써 채널밀도와 배선길이를 동시에 최적화하였다. 알고리즘을 시행하기 전 먼저 네트의 배선 순서를 정한다. 일반적으로 배선순서 결정은 네트의 우선순위(priority), 길이, 종점개수 등이 요인으로 작용하지만 본 연구에서는 길이만으로 순서를 정하였다. 네트를 구성하는 모든 종점을 감싸는 최소 사각형의 둘레를 π 라 할 때, 작은 π 를 갖는 네트부터 먼저 배선하게 된다.^[5] 다수의 종점을 갖는 네트에 대한 배선은 먼저 두개의 종점을 선택하여 경로를 찾은 뒤 이를 부분네트로 하여 나머지 종점에 대해 하나씩 부분네트로의 경로를 찾는 방법으로 배선을 하였다. 이때 모든 종점들의 기하학적 무게중심을 찾아 그에 가까운 종점들부터 배선을 하였다. 앞 장에서 설명한 바와 같이 하나의 종점에 대한 경로가 찾아지면 경로를 구성하지 않는 불필요한 에지들을 모두 제거해야 한다. 또한 한계영역을 정함으로써 네트의 초기배선에 대한 수용도(acceptability)를 높이고 불필요한 검색을 줄여 속도를 향상시켰다.

제안된 알고리즘은 초기배선(initial routing)과 재배선(rerouting)의 두 부분으로 구성된다. 초기배선시에는 각 네트의 배선 순위에 따라 하나씩 배선한다. MWP알고리즘을 이용하여 모든 활성에지 중에서 가장 작은 밀도 가중치를 갖는 에지들을 검색하고 그 중 최소의 거리가중치를 갖는 에지를 찾아 선택된 에지가 최종 경로에 포함될 확률을 높인다. 일반적으로 채널의 밀도가 총배선 길이보다 더욱 중요한 요인이기 때문에 밀도 가중치를 먼저 검색하고, 이와 같은 방법은 덜 혼잡한 채널을 먼저 선택하는 특성때문에 전체적으로 채널의 밀도를 평준화 한다. 하나의 네트를 배선한 후 총 배선 길이가 $c \cdot \pi$ (c : 상수)보다 작은 경우는 배선결과를 수용하나 큰 경우는 그 네트에 대한 배선을 나중으로 미룬다. 매번 밀도상황이 변하고 그때마다 각 네트의 배선도 달라지므로 후에 배선할 때는 수용될 수 있다. 초기배선시 한번 배선된 네트는 다시 배선하지 않으며 모든 네트에 대해 한 주기 실시되면 상수 c 값을 10%씩 증가시켜 모든 네트가 배선될 때까지 반복한다.

초기배선이 끝나면 재배선 과정이 진행되는데 이때는 각 네트마다 현재의 밀도조건 하에서 재배선하여 그 결과 총배선 길이가 짧아지거나 채널의 밀도가 감소하면 배선 경로를 변경한다. 이때에는 거리가중치를 먼저 검색하고 밀도가중치를 나중에 검색하여 총배선 길이에 대한 최적화를 한다.

Algorithm Initial_Routing

```

Assign C: /* Assign an acceptance constance C */
For i=1 to n do /* n is the number of the nets */
  For j=1 to m do /* m is the number of the terminals */
    MWP(): /* Minimum weight path searching */
    Edge_Update(): /* update edge information */
  End
  len [ i ] = length(Ni):
  If(len [ i ] > C*pi) continue: /* reject the initial routing */
  else Density_Update(): /* accept the initial routing */
End
    
```

Algorithm Rerouting

```

For i=1 to n do
  den = max_density /* current maximum density */
  For j=1 to m do
    MWP():
    Edge_Update():
  End
  temp1 = length: /* result wire length */
  temp2 = max_density: /* result maximum density */
  If((temp1>len [ i ] ) || (temp2>den)) continue:
  else Density_Update(): /* reroute the net Ni */
End
    
```

재 배선된 네트에 대해 전체적인 밀도가중치는 병렬 연산을 통해 변경한다. 다음은 전체적인 배선 알고리즘을 요약하였다.

V. 실험결과 및 분석

본 연구에서 제안된 알고리즘은 SUNIX에서 운영되는 CM-5 super computer에서 C* 언어로 시뮬레이션되었고, 여러가지 벤치마크 문제에 대한 실험 결과는 매우 좋았다. 단, CM-5의 다양한 기능 중에서 제안된 하드웨어로써 실현가능한 기능만을 사용하여 실험하였다. Primary-1과 Primary-2의 회로는 k-격자의 수직, 수평선으로 나누어 실험하였다.^[19]

1. Difficult와 Random 예제

NW, NE, SW, SE의 네부분으로 나누어져 있는 m x m 격자 평면을 가정해 보자. 이때, 두개의 중심점으로 이루어진 $m/2$ 의 네트에서 각각 중심점이 NW와 SE, NE와 SW에 존재하는 경우를 difficult-m 문제라 정의하며, 이러한 difficult-m 문제에서 채널밀도

$d \geq m/2$ 이다.^[20] 또한 중심점이 다수일 경우 랜덤하게 만들어진 예제도 실험을 하였는데 그 결과는 표1에 정리하였다. 본 실험에서는 [5]에서 사용한 difficult 예제를 풀어 보았는데 difficult-8과 -16의 경우 모두 최저(lower bound)의 밀도를 얻어내었다. difficult-16의 경우 하나의 채널을 더 허용할때에는 [5]의 경우보다 더 짧은 배선길이를 얻을 수 있었다.

표 1. Difficult와 랜덤 예제
Table 1. Difficult and Random Examples.

예제	문제설명			GAM 알고리즘		Steiner Min-Max	
	네트수	중점수	$\sum pi$	최대 밀도	배선 길이	최대 밀도	배선 길이
diff-8	32	2	256	4	284	4	296
랜덤 8	19	4	168	3	174		
diff-16	128	2	2048	8 (9)	2468 (2194)	9	2214
랜덤 16	76	6	1346	5	1434		

2. 벤치마크 문제

본 연구에서는 두개의 gate array형태 벤치마크 문제인 Primary-1, Primary-2를 실험하였다. 이 두 회로의 셀 배치는 TimberWolfSC Version 5.1^[10]에 의해 수행되었으며 배선결과는 표2에 정리하였다.

표 2. 수행결과 비교

Table 2. The performance comparison.

예제	CAM 알고리즘		Steiner Min-Max
	최대밀도	총밀도	최대밀도
Primary 1	5	134	6
Primary 2	10	355	12

표 3. CAM 용량 추정

Table 3. CAM size estimate.

예제	격자크기 (col×row)	노드갯수	에지 갯수	CAM 용량 (워드)
Primary 1	19 × 27	513	980	2940
Primary 2	37 × 37	1169	2664	7992

표 4. AP 명령어 통계치

Table 4. AP instruction statistics.

명령어	사이클수 (20 ns/cycle)	Primary 1 (thousnads)	Primary 2 (thousands)
match	4	2054	10780
read	3	26	102
write	3(or 9)	936	4922
move	2	1998	10509
selectnext	2	26	102
shift	2	299	1559
register read	2	336	1710
register write	2	304	1578

결과 분석을 위해 최근 간행된 연구결과^[15]와 같은 격자크기를 이용하였으며, 비교결과 상당히 우수함을 나타냈다. 배선결과는 전격자구간에 대하여 거의 균등한 채널 복잡도를 나타내었는데 이는 알고리즘의 성격상 당연한 결과라 하겠다. 표3에는 각 벤치마크 문제를 풀기 위해 필요한 AP의 용량을 나타냈고, 표4에서는 각 문제를 풀기 위해 실제 AP의 명령어 수를 계산하여 실제 하드웨어로 수행하였을 때의 수행시간을 예측하였다. 좀 더 정확한 결과를 얻기 위하여 전체 알

고리즘을 작은 서브루틴(subroutine)으로 나누어 각 부분의 반복회수와 명령어의 사용회수를 조사하였다.

실계중인 범용 AP는 50MHz에서 동작하고 42x1024의 CAM 메모리 용량을 가지며 제어기를 탑재한다.^[12] 표4에 나타난 수치를 이용하여 명령어 수행시간을 계산할 때 2초미만에 Primary-2의 배선을 완성할 수 있다. 그러나 이는 주 컴퓨터와의 통신에 소요되는 시간은 제외 되었으므로 하드웨어를 구성했을 때 실제 수행시간은 좀더 길 것이다. 전역 배선을 위한 전용 하드웨어를 구성한다면 상당히 좋은 수행시간을 얻을 수 있을 것이다.

VI. 결론

본연구에서는 제안된 범용 AP를 이용하여 레이아웃 과정중 하나인 전역 배선 문제에 대한 병렬 알고리즘을 기술하였다. 전역 배선 문제를 단순화된 그래프 문제로 다루었으며 제안된 AP 하드웨어에 대한 효과적인 매핑기술이 제시되었다. 제안된 알고리즘은 AP의 선택적 매칭과 쓰기 기능을 효과적으로 이용하여 채널의 밀도와 총배선 길이를 동시에 최적화하였고 모든 가능한 경로를 병렬로 고려함으로써 좋은 실험결과를 보여주었다.

본 실험에 사용된 레이아웃은 특히 gate array 형태이지만 제안된 알고리즘은 표준셀 형태나 임의의 모양을 갖는 메가셀(mega cell) 형태의 레이아웃에 대해서도 쉽게 적용될 수 있다. 특히 임의의 모양을 가질 때에는 각 셀의 중심에 노드가 위치한다고 가정하여 그래프화하면 같은 방법이 적용될 수 있다. 제안된 알고리즘의 실험결과 현재까지 개발된 전역 배선 방법의 속도나 질에 비해 우수한 결과를 보여주었다. 여러가지 CAD문제들이 그래프 형태로 공식화할 수 있으므로 제안된 범용 AP를 이용한 병렬방법으로 좋은 결과를 얻을 수 있을 것이다.

참 고 문 헌

[1] J.Heisterman, T.Lengauer, "The efficient solution of integer programs for hierarchical global routing", IEEE Trans. on Computer-Aided Design, vol.10, no.6, pp.748-753, June 1991.
 [2] A.Vannelli, "An adaptation of the interior point method for solving the global routing problem", IEEE Trans. on

- Computer-Aided Design, vol.10, no.2, pp.193-203, Feb. 1991.
- [3] C.Y.Lee, "An algorithm for path connection and its applications", IRE Trans. on Electronic Computer, EC-10(3), pp.346-356.
- [4] D.W.Hightower, "A solution to line routing problems on the continuous plane", in Proc. 6th Design Automation Workshop, pp.1-24, 1969.
- [5] C.Chiang, M.Sarrazadeh, C.K.Wong, "Global routing based on Steiner Min-Max trees", IEEE Trans. on Computer-Aided Design, vol.9, no.12, pp.1318-1325, Dec. 1990.
- [6] W.Heyns, W.Sansen, H.Beke, "A line-expansion algorithm for the general routing problem with a guaranteed solution", in Proc. 17th Design Automation Conference, pp.243-249, ACM/IEEE, 1980.
- [7] M.Burstein, R.Pelavin, "Hierarchical wire routing", IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, CAD-2(4), pp.223-234, 1983.
- [8] M.Marek-Sadowska, J.T.Li, "Global router for gate array", IEEE Trans. on Computer-Aided Design, vol.CAD-2, pp.131-132, 1983.
- [9] M.Ancona, "Using structured Steiner trees for hierarchical global routing", Intern.J.Computer Math., vol.39, pp.169-192, 1991.
- [10] C.Sechen, A.L.Sangiovanni-Vincentelli, "The Timberwolf placement and routing package", IEEE J. of Solid-State Circuits, SC-20(2), pp.510-522, Apr. 1985.
- [11] P.Shih, W.Feng, "An analog neural network approach to routing problem", Int.J. of Cybernetics and Systems, 22, pp.747-759, 1991.
- [12] J.Rose, "Parallel global routing for standard cells", IEEE Trans. on Computer-Aided Design, vol.9, no.10, pp.1085-1095, Oct.1990.
- [13] T.Lengauer, "Global routing and area routing", Combinatorial Algorithms for Integrated Circuit Layout, pp.379-454, John Wiley & Sons, 1990.
- [14] E.S.Kuh, M.Marek-Sadowska, "Global routing", in T.Ohtsuki, editor, Layout Design and Verification, pp.169-198, Elsevier Science Publishers B.V., 1986.
- [15] Coherent Research Inc., "Coherent processor development system version 2.2 user guide", Coherent Research Inc., 1990.
- [16] T.G.Park, J.V.Oldfield, "Minimum Spanning Tree Generation with Content-Addressable Memory", IEE Electronics Letters, vol.29, no.11, pp.1037-1039, 1993.
- [17] T.Kohonen, "Content-addressable memories", in King Sun Fu, editor, Springer Series in Information Sciences, vol.1, 1980.
- [18] B.S.Ting, B.N.Tien, "Routing techniques for gate array", IEEE Trans. on Computer-Aided Design, vol.CAD-2, no.4, Oct.1983.
- [19] R.Nair, "A simple yet effective technique for global wiring", IEEE Trans. on Computer-Aided Design, vol.CAD-6, no.2, Mar.1987.
- [20] R.M.Karp, F.T.Leighton, R.L.Rivest, C.D.Thompson, U.Vaziriani, and V.Vaziriani, "Global routing in two-dimensional arrays", Algorithmica, 2(1), pp.113-130, 1987.
- [21] Coherent Research Inc., "CY7C915 1024 × 42 Smart CAM New Product Plan", Coherent Research Inc., 1993.

저 자 소 개



朴 台 根(正會員)

1962年 5月 15日生. 1985年 2月
연세대학교 전자공학과 졸업.

1988年 5月 Syracuse Univ.
Computer공학과(공학석사). 199

3年 12月 Syracuse Univ.
Computer공학과(공학박사). 199

1年9月 - 1993年 3月 Coherent Research Inc.
Design Engineer. 1994年 2月 ~ 현재 현대 반도
체 2연구소 선임연구원. 주관심 분야는 CAD,
VISI, 병렬처리, Associative Processing 등임.