

論文95-32A-5-6

오프셋 마스크를 이용하지 않는 새로운 자기 정합 폴리 실리콘 박막 트랜지스터

(A Novel Self-aligned Offset Gated Polysilicon Thin Film Transistor without an Additional Offset Mask)

閔炳赫*, 朴喆民*, 韓民九*

(Byung-Hyuk Min, Cheol-Min Park, and Min-Koo Han)

요 약

최근 액정 디스플레이 분야에서 폴리실리콘 박막 트랜지스터는 비정질 박막 트랜지스터에 비해 전기적 이동도가 커서 화소의 스위칭 소자와 구동회로를 동시에 구성할 수 있다는 장점때문에 많은 주목을 받고 있다. 그러나, 폴리 실리콘 박막 트랜지스터를 화소의 스위칭 소자로 사용 할 경우 누설 전류가 큰 점이 가장 큰 문제점으로 대두되고 있다. 이러한 문제를 해결하기 위하여 LDD 구조나 오프셋 구조를 가진 트랜지스터가 제시되고 있으나 이러한 트랜지스터는 기존의 박막 트랜지스터에 비해 공정 마스크가 추가되는 단점이 있다. 본 논문에서는 기존의 폴리 실리콘 박막 트랜지스터와 동일한 마스크를 사용하면서 오프셋 트랜지스터를 실현하는 새로운 구조의 박막 트랜지스터를 제작하여 특성을 분석하였다. 제작된 새로운 박막 트랜지스터를 분석한 결과 기존의 박막 트랜지스터에 비하여 작은 누설 전류값을 보여 오프셋 구조의 트랜지스터가 실현됨을 확인하였다. 또한, 본 연구에서 제시된 트랜지스터는 현재 박막 트랜지스터 공정시 문제점으로 대두되는 콘택 over-etch의 문제점을 해결하는 것이 가능하기 때문에 소자 제작시 채널 두께가 30 nm인 초 박막 트랜지스터를 제작 하므로써 트랜지스터의 kink effect를 상당히 감소시켰다. 주요어 : 폴리 실리콘, 박막 트랜지스터, 누설 전류, 오프 셋 구조

Abstract

We have proposed a novel self-aligned offset gated polysilicon TFTs device without an offset mask in order to reduce a leakage current and suppress a kink effect. The photolithographic process steps of the new TFTs device are identical to those of conventional non-offset structure TFTs and an additional mask to fabricate an offset structure is not required in our device due to the self-aligned process. The new device has demonstrated a lower leakage current and a better ON/OFF current ratio compared with the conventional non-offset device. The new TFT device also exhibits a considerable reduction of the kink effect because a very thin film TFT devices may be easily fabricated due to the elimination of contact over-etch problem. Key Words : polysilicon silicon, thin film transistor, leakage current, offset structure

* 正會員, 서울대학교 電氣工學科

National University)

(Department of Electrical Engineering, Seoul

接受日字: 1994年9月28日, 수정완료일: 1995年5月1日

I. 서론

현재까지 active matrix LCD의 핵심 소자인 박막 트랜지스터 (Thin Film Transistor, TFT) 재료는 비정질 실리콘(amorphous Si, a-Si)이 주로 사용되고 있다. 비정질 실리콘은 저온에서 대면적화가 가능하여 비교적 저가인 유리기판을 사용하므로 생산 단가를 줄일 수 있는 반면에 박막 트랜지스터의 이동도가 0.1 ~ 1.0 $\text{cm}^2/\text{V}\cdot\text{s}$ 로 작아 LCD의 구동회로를 구성하지 못하고 TFT array의 화소 소자로만 사용되는 단점이 있다. 반면에 다결정 실리콘 박막 트랜지스터 (poly-Si TFT) 는 이동도가 30 $\text{cm}^2/\text{V}\cdot\text{s}$ 이상으로 크기 때문에 TFT array 및 구동 회로를 하나의 기판 위에 형성시킬 수 있는 장점이 있어 최근에는 폴리 실리콘 박막 트랜지스터에 대한 관심이 크게 고조되고 있는 실정이다. [11][12]

그러나, 폴리 실리콘 박막 트랜지스터가 위와 같은 장점을 가진 반면에 화소의 스위칭 소자로 사용시에 누설전류가 비정질 실리콘 박막 트랜지스터에 비하여 크게되어 화소에 가해진 전압을 일정하게 유지하기 곤란하다. 이로 인하여 디스플레이의 선명도가 감소하고 화면이 미세하게 깜박거리는 현상(flickering)이 발생하여 화질이 떨어지는 문제점이 발생한다. [13][14]

이러한 문제점을 해결하기 위하여 트랜지스터의 채널 영역과 소오스와 드레인 영역 사이에 일정 간격을 비도핑된 부분으로 만들어 누설전류를 감소시키는 일명 오프셋 트랜지스터가 사용되고 있으나 이 소자는 기존의 폴리 실리콘 박막 트랜지스터 제작 공정에 비하여 포토 마스크가 추가되어 공정이 복잡해지는 단점이 있다. [15][16]

본 논문에서는 기존의 오프셋 트랜지스터와는 달리 추가의 마스크 공정을 사용하지 않고 오프셋 박막 트랜지스터를 구현하는 새로운 구조의 폴리 실리콘 박막 트랜지스터를 제안 하였으며 소자를 제작하여 기존의 박막 트랜지스터와 특성을 비교, 분석하였다.

II. 새로운 오프셋 박막 트랜지스터의 구조

그림 1 에서는 기존에 사용되고 있는 박막 트랜지스터와 오프셋 박막 트랜지스터 그리고 본 논문에서 제안하는 새로운 오프셋 박막 트랜지스터를 보여주고 있다. 그림 1(a)의 오프셋 영역을 형성하지 않는 기존의 소자는 자기 정합 방법에 의하여 이온 주입을 하는 것이 가능한 반면에 그림 1(b)의 오프셋 소자는 채널 영역에 비도핑된 오프셋 영역을 형성 하기 위하여 추가의 마스크를 사용하여 이온 주입을 하여야 한다. 반

면에 그림 1(c)의 새로운 소자는 게이트와 채널 영역이 일정 부분 중복되게 하여 게이트 패턴을 하기 때문에 자기 정합에 의하여 이온 주입을 하는 것이 가능하고 게이트 전극과 소자의 활성영역 사이에 산화막이 존재하므로 게이트 전압이 직접 인가되지 않는 비도핑 영역이 존재하여 이 부분이 오프셋 영역의 역할을 하게 된다.

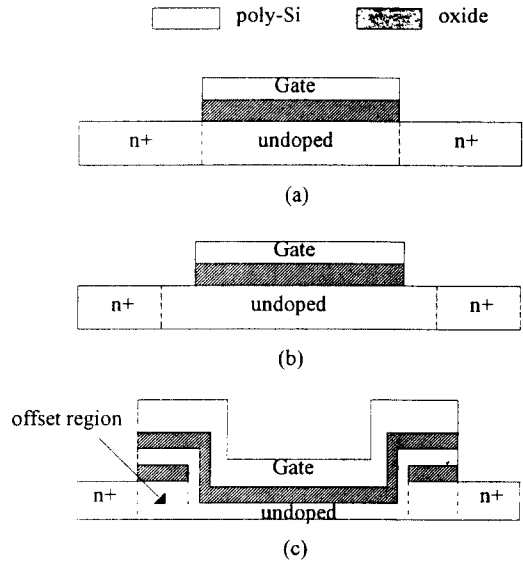


그림 1. nMOS 폴리 실리콘 박막 트랜지스터의 3 가지 유형도

(a) 기존의 오프셋 구조가 아닌 박막 트랜지스터 (b) 기존의 오프셋 박막 트랜지스터 (c) 새로운 오프셋 박막 트랜지스터

Fig. 1. Three Types of nMOS poly-Si TFTs. (a) Conventional non-offset TFT (b) Conventional offset TFT (c) A novel offset TFT with a buffer oxide layer.

소자 시뮬레이터인 MEDICI를 사용하여 새로운 소자와 기존의 소자의 전계 분포를 분석하였다. 3가지 구조의 소자의 채널길이는 5 μm , 게이트 산화막의 두께를 1000Å 하였으며 오프셋 소자의 경우는 오프셋 길이가 1 μm 인 소자에 대하여 시뮬레이션을 수행하였다. 그림 2에서 보는 바와 같이 소자가 턴 오프 일때 새로운 구조의 소자에서 드레인 부근의 전계값이 오프셋 소자가 아닌 경우에 비하여 감소되고 기존의 오프셋 소자와는 유사한 값을 나타내고 있다. 따라서 소자의 누설 전류는 드레인 부근의 전계가 약화될수록 감소하므로 새로운 소자가 오프셋 박막 트랜지스터로 동작함을 확인할 수 있었다.

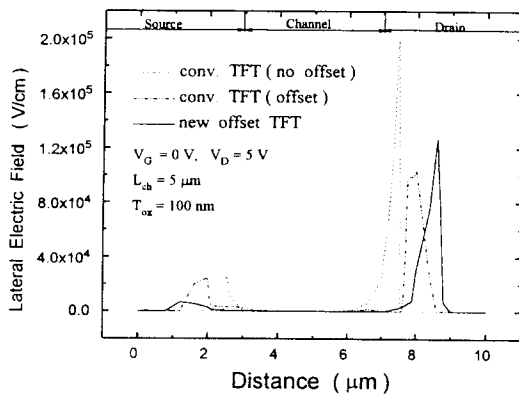


그림 2. 3가지 유형의 폴리 실리콘 박막 트랜지스터의 채널에서 시뮬레이션된 전계도 ($V_G = 0V$, $V_D = 5V$, 오프셋 길이 = 1.0 μm .)

Fig. 2. Simulated electric field profile along the channel of the novel poly-Si TFT and the conventional non-offset TFT and offset TFT is in its OFF state with $V_G = 0V$, $V_D = 5V$ and $\Delta L(\text{offset length}) = 1.0 \mu m$.

III. 제작 방법

본 연구에서 제작한 새로운 소자의 주요 공정 순서는 다음과 같다. 실리콘 웨이퍼 위에 습식 산화로 300 nm의 산화막을 형성한 후 100 nm 두께의 비도핑된 비정질 실리콘 박막을 550°C에서 LPCVD를 사용하여 증착한 후 50 nm 두께의 완충용 산화막을 APCVD를 사용하여 연속 증착한다. (그림 3(a)) 트랜지스터 영역을 형성하기 위하여 active 마스크를 사용하여 완충용 산화막과 비정질 실리콘을 에칭하며 이와 동시에 트랜지스터의 채널 영역도 함께 에칭 한다. (그림 3(b)) 그 후, 30 nm의 비정질 실리콘을 증착한 후 고상 결정화 (SPC, Solid Phase Crystallization) 방법을 사용하여 600°C에서 48시간 어닐링하여 비정질 실리콘을 폴리 실리콘으로 결정화 한다. 100 nm의 게이트 산화막과 폴리 실리콘 게이트를 증착한 후 (그림 3(c)) 게이트 마스크를 사용하여 폴리 실리콘 게이트, 게이트 산화막, 폴리 실리콘막 그리고 완충용 산화막을 차례로 에칭한다. (그림 3(d)) 그 다음, 자기 정합 방법을 사용하여 이온 주입을 하여 소오스와 드레인 그리고 게이트 전극을 형성한다. 그리고 절연막으로 PSG를 증착하고 소오스와 드레인에 주입된 이온을 900°C에서 30분 동안 어닐링하여 활성화 시킨다. 마지

막으로 콘택 에치와 Al을 증착하여 소자의 전극을 형성한다. (그림 3(e))

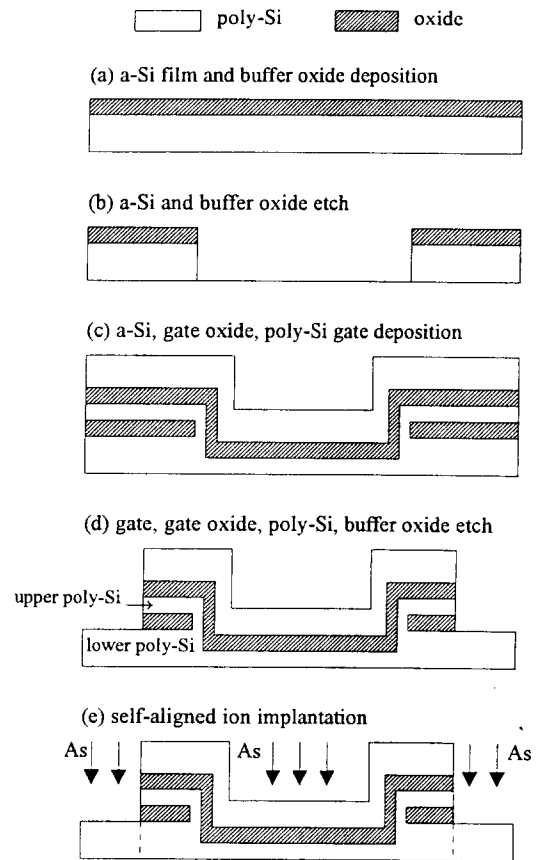


그림 3. 새로운 폴리 실리콘 박막 트랜지스터의 주요 공정 순서도

Fig. 3. Main processing steps for the novel poly-Si TFT.

IV. 결과 및 고찰

그림 4에서는 여러가지 오프셋 길이를 가진 새로운 소자의 $I_D - V_G$ 특성을 측정하여 비교한 결과를 도시하고 있다. 소자의 채널 길이는 10 μm , 채널 넓이는 20 μm 그리고 오프셋 길이는 0.0 μm 에서 1.5 μm 까지 변화시켰다. 본 논문에서 언급하는 오프셋 길이는 소오스와 드레인에서 확산되는 이온의 확산길이(diffusion length)를 고려한 유효 오프셋 길이를 의미한다. 따라서 유효 오프셋 길이에 소오스/드레인층과 게이트층간의 중첩된 길이를 합한 길이가 실제의 오프셋 길이가 된다. 본 연구에서는 공정 시뮬레이터인 SUPREM IV를 이용하여 이온의 확산 길이를 0.1 μm 로 정하였다.

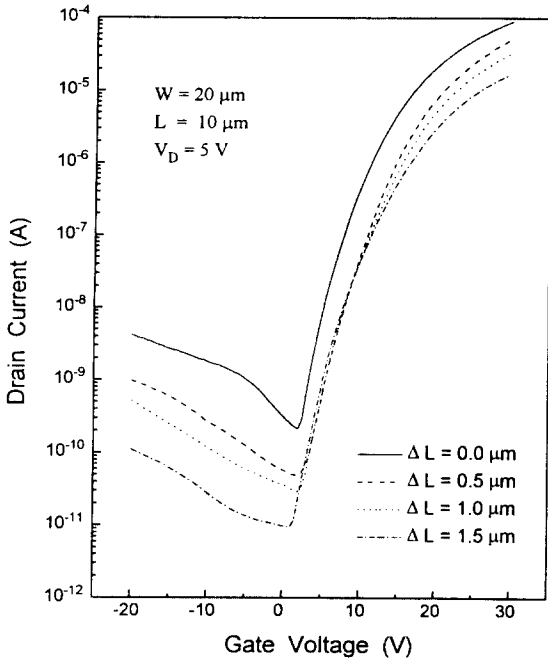


그림 4. 오프셋 길이에 따른 새로운 n 형 폴리 실리콘 박막 트랜지스터에서의 $I_D - V_G$ 특성도. $L=10 \mu\text{m}$, $W=20 \mu\text{m}$, and $V_D = 5 \text{V}$

Fig. 4. Experimental $I_D - V_G$ characteristics for n-type novel poly-Si TFTs with various offset length. $L=10 \mu\text{m}$, $W=20 \mu\text{m}$, and $V_D = 5 \text{V}$.

트랜지스터의 오프셋 길이가 증가함에 따라 소자의 게이트와 소오스/드레인간의 비도핑된 채널 저항의 증가로 인하여 on 전류와 off 전류가 모두 감소하는 현상을 보이고 있으나 on 전류에 비하여 off 전류가 더욱 크게 감소하고 있다. 특히, off 전류의 감소값을 수치로 살펴보면 오프셋 길이가 0.0um 에서 전류값은 220 pA 에서 오프셋 길이가 1.5um인 경우에는 9.4pA 로 감소하여 화질에 큰 영향을 미치는 ON/OFF 전류비가 2E6 이상으로 우수하게 나타나고 있다.

또한, 그림 5에서 보면 PMOS의 경우 $I_D - V_G$ 특성에도 nMOS와 유사한 경향을 보이고 있으나 전류값이 전체적으로 nMOS에 비하여 작은 값을 나타내고 있다. 이는 pMOS의 홀 이동도 (hole mobility)가 nMOS의 전자 이동도 (electron mobility)에 비하여 작은 데 기인하는 것으로 볼 수 있다.

오프셋 길이를 0.0um로 하여 오프셋 트랜지스터를 형성시키지 않은 새로운 구조의 소자와 기존의 오프셋

트랜지스터가 아닌 소자의 $I_D - V_D$ 특성을 그림 6에서 보여주고 있다.

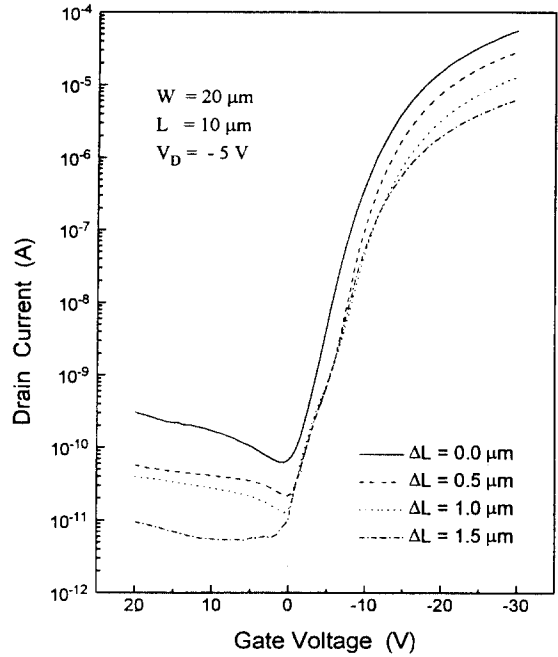


그림 5. 오프셋 길이에 따른 새로운 p 형 폴리 실리콘 박막 트랜지스터에서의 $I_D - V_G$ 특성도. $L=10 \mu\text{m}$, $W=20 \mu\text{m}$, and $V_D = 5 \text{V}$

Fig. 5. Experimental $I_D - V_G$ characteristics for p-type novel poly-Si TFTs with various offset length. $L=10 \mu\text{m}$, $W=20 \mu\text{m}$, and $V_D = 5 \text{V}$.

드레인 전압이 증가하여 드레인 전류가 포화 영역에 도달한 경우 새로운 소자의 드레인 전류는 드레인 전압의 변화에 대하여 전류의 변화가 거의 없는 반면에 기존의 소자의 경우는 드레인 전압이 20V 이상에서 전류가 급격히 증가하는 kink 현상이 발생하였으며 특히 게이트 전압이 증가할 수록 kink 현상이 심화되는 것을 볼 수 있다. 새로운 소자에서 kink 현상이 나타나지 않는 원인은 두 소자 사이의 채널의 두께 차이에서 기인 한 것으로 볼 수 있다.¹⁷⁾ 즉, 기존의 소자에서는 채널의 두께가 100 nm로 비교적 두꺼운 반면 새로운 소자의 경우는 채널의 두께가 30nm로 초 박막 트랜지스터를 형성하기 때문에 트랜지스터 동작시 채널의 전 영역이 전류의 통로로 작용하므로 kink 현상이 나타나지 않는 것으로 분석할 수 있다. 또한, 기존의 소자에서는 트랜지스터의 채널과 소오스와 드레인 영역의 두께가 동일하기 때문에 채널 영역의 두께를 감

소시키면 소오스와 드레인 영역의 콘택 에치 공정시 overetch 문제를 고려하여야 하기 때문에 채널 영역의 두께를 100nm 이하로 형성시키는 데는 한계점이 있는 것으로 알려져 있다. 그러나 본 논문에서 제시한 새로운 구조의 박막 트랜지스터는 트랜지스터의 채널 영역과 소오스/드레인 영역을 서로 두께가 다른 폴리 실리콘으로 형성시킬 수 있어 트랜지스터의 소오스/드레인 영역을 100nm로 두껍게 하여 콘택 overetch시의 문제점을 해결하면서 소자의 채널 영역은 30nm 이하의 초 박막으로 형성하여 kink 현상을 방지할 수 있다는 장점이 있다.

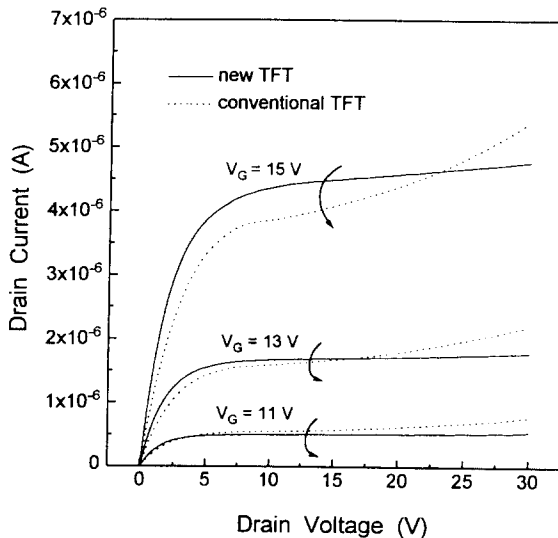


그림 6. 기존의 오프셋 구조를 가지지 않는 폴리 실리콘 박막 트랜지스터와 새로운 구조의 폴리 실리콘 박막 트랜지스터의 $I_D - V_D$ 특성도. $L=10 \text{ um}$, $W=20 \text{ um}$, and $\Delta L = 0.0 \text{ um}$ (non-offset)

Fig. 6. Experimental $I_D - V_D$ characteristics for the conventional poly-Si TFTs and the novel poly-Si TFTs. $L=10 \text{ um}$, $W=20 \text{ um}$, and $\Delta L=0.0 \text{ um}$ (non-offset).

V. 결론

기존의 오프셋 박막 트랜지스터는 게이트와 소오스/드레인 영역 사이에 오프셋 영역을 형성시키기 위하여 추가의 마스크와 포토 공정이 추가되는 단점이 있다. 따라서 본 연구에서는 오프셋 마스크를 사용하지 않고 오프셋 박막 트랜지스터를 형성하는 새로운 구조의 폴리실리콘 박막 트랜지스터를 제작하여 기존의 소자와

전기적 특성을 비교, 분석하였다. 새로운 소자에서 nMOS의 $I_D - V_G$ 특성을 오프셋 길이에 따라 비교한 결과, 오프셋 길이가 증가할 수록 누설전류가 현격히 감소하는 현상을 보이고 있으며 ON/OFF 전류비도 2E6 이상의 높은 값을 보였다. pMOS의 경우에서도 nMOS에 비해 작은 정도지만 유사한 경향을 보임을 확인할 수 있었다. 또한, 기존의 소자구조와 새로운 소자의 $I_D - V_G$ 특성을 비교한 결과 기존의 소자와는 달리 새로운 소자에서는 kink 현상이 나타나지 않음을 보였다.

참고 문헌

- [1] H. Oshima, and S. Morozumi, "FUTURE TRENDS FOR TFT INTEGRATED CIRCUITS ON GLASS SUBSTRATES," *IE-DM*, pp.157-160, 1989.
- [2] Y. Nishihara, S. Yamamoto, S. Yamada, T. Hikichi, I. Asai, and T. Hamano, "Fully Integrated Poly-Si TFT CMOS Drivers for Self-Scanned Light Valve," *SID 92 Digest*, pp.609-612, 1992.
- [3] S. Nagata, E. Takeda, Y. Nan-no, T. Kawaguchi, Y. Mino, A. Otsuka, and S.I. Ishihara, "Capacitively Coupled Driving of TFT-LCD," *SID 89 Digest*, pp. 242-244, 1989.
- [4] K. Suzuki, "Pixel Design of TFT-LCDs for High-Quality Images," *SID 92 Digest*, pp.39-42, 1992.
- [5] S. Seki, O. Kogure, and B.tsujiyama, "Laser-Recrystallized Polycrystalline-Silicon Thin-Film Transistors with Low Leakage Current and High Switching Ratio," *IEEE Electron Device Lett.*, vol. 8, pp.434-436, 1987.
- [6] K. Tanaka, H. Arai, S. Kohda, "Characterization of offset-structure polycrystalline silicon thin-film transistors," *IEEE Electron Device Lett.*, vol. 9, pp. 23-25, 1988.
- [7] J. P. Colinge, *Silicon-on-Insulator Technology: Materials to VLSI*, Kluwer Academic Publishers, pp.139-142, 1991.

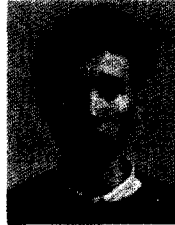
저 자 소 개



閔炳赫(正會員)

1962년 9월 8일생. 1986년 서울대 공대 전기공학과 졸업. 1988년 동대학원 전기 공학과 졸업(석사). 현재 동 대학원 전기 공학과 박사과정 재학중. 주 관심 분야는 TET LCD 설계및

공정, 메모리 반도체 설계및 공정



朴喆民(正會員)

1971년 1월 21일생. 1994년 서울대 공대 전기공학과 졸업. 현재 동 대학원 전기 공학과 석사 과정 재학중. 주관심 분야는 TET LCD 설계및 공정

韓民九(正會員) 第 31卷 11號 參照

현재 서울대학교 전기공학과 교수