

論文95-32A-8-15

## 짧은 채널 길이의 다결정 실리콘 박막 트랜지스터의 전기적 스트레스에 대한 연구

(A Study of Electrical Stress on Short  
Channel Poly-Si Thin Film Transistors)

崔權永\*, 金容商\*, 韓民九\*

(Kwon-Young Choi, Yong-Sang Kim, and Min-Koo Han)

### 요약

짧은 채널 길이의 다결정 실리콘 박막의 전기적 스트레스에 대한 영향을 분석하였다. 채널 길이가  $5\mu\text{m}$ 인 다결정 실리콘 박막 트랜지스터의 경우 전기적 스트레스에 의하여 심각한 문턱전압 증가와 큰 비대칭 현상 등의 문제점이 발생했다. 채널 길이가  $10\mu\text{m}$ 과  $20\mu\text{m}$ 인 경우 게이트 산화막으로의 전하 포획이 소자의 특성 변화의 중요한 요인이며, 채널 길이  $5\mu\text{m}$ 의 소자에서는 활성층 영역인 다결정 실리콘 박막의 트랩 상태 밀도의 증가가 특성 변화에 영향을 미친다. 이러한 열화 현상의 원인으로서 드레인 전압에 따른 kink 효과의 심화와 이에 따른 포화 공핍층 영역에서의 트랩 증가 모델을 제시하고 평천 전압 (stretchout voltage)로 부터 포획 전하량과 생성 결합량을 구해 모델을 규명했다.

### Abstract

The electrical stress of short channel polycrystalline silicon (poly-Si) thin film transistor (TFT) has been investigated. The device characteristics of short channel poly-Si TFT with  $5\mu\text{m}$  channel length has been observed to be significantly degraded such as a large shift in threshold voltage and asymmetric phenomena after the electrical stress. The dominant degradation mechanism in long channel poly-Si TFT's with  $10\mu\text{m}$  and  $20\mu\text{m}$  channel length respectively is charge trapping in gate oxide while that in short channel device with  $5\mu\text{m}$  channel length is defect creation in active poly-Si layer. We propose that the increased defect density within depletion region near drain junction due to high electric field which could be evidenced by kink effect, constitutes the important reason for this significant degradation in short channel poly-Si TFT. The proposed model is verified by comparing the amounts of the defect creation and the charge trapping from the stretchout voltage.

### I. 서 론

평판 화면 표시기 (flat panel display)들 중 박막

트랜지스터를 이용한 TFT-LCD (thin film transistor-liquid crystal display) 방식이 해상도와 완전 컬러화 측면에서 가장 가능성을 인정받고 있으며, 다결정 실리콘 (polycrystalline silicon, poly-Si) 박막 트랜지스터 (TFT)는 액정 구동 소자와 주변회로를 동시에 제작할 수 있는 장점때문에 활발히 연구가 이루어지고 있다.<sup>[1, 2]</sup> 그러나, 다결정 실리콘 박막 트랜

\* 正會員, 서울大學校 電氣工學科

(Dept. of Elec. Eng., Seoul National Univ.)

接受日字: 1994年10月24日, 수정완료일: 1995年7月31日

지스터는 단결정 실리콘에 비하여 작은 이동도를 가지므로 구동회로에 응용되기 위해서는 많은 전류를 공급할 수 있는 짧은 채널 길이의 소자가 필요하다.

단결정 실리콘 박막 트랜지스터의 경우  $8\text{ }\mu\text{m}$  이하의 채널 길이에서는 짧은 채널 효과 (short channel effect)가 발표되었으나<sup>[3,4]</sup>  $8\text{ }\mu\text{m}$  이하의 짧은 채널 소자에 대한 전기적 스트레스에 대한 연구는 거의 이루어지지 않은 실정이다. 본 논문에서는 짧은 채널 길이의 소자에 전압 스트레스를 인가한 후 생기는 현상을 분석하고 가능한 메카니즘을 제시하였으며, 단결정 실리콘 bulk 소자에서 이용된 펼친 전압 (stretchout voltage)을<sup>[5]</sup> 구해내어 포획 전하량과 생성 결함량을 각각 추출하여 제시한 메카니즘을 규명하였다.

## II. 실험방법

단결정 실리콘 박막 트랜지스터의 제조 공정은 다음과 같다. 먼저 산화된 실리콘웨이퍼위에 저압 화학기상 증착 (Low Pressure Chemical Vapor Deposition)으로  $560\text{ }^{\circ}\text{C}$ 에서 비정질 실리콘을  $1500\text{ \AA}$ 의 두께로 증착하고  $600\text{ }^{\circ}\text{C}$ 에서 48시간동안 열처리하여 단결정 실리콘화하고, 여기에 게이트 절연층을 상압 기상 증착 (Atmospheric Pressure Chemical Vapor Deposition)으로  $480\text{ }^{\circ}\text{C}$ 에서  $1000\text{ \AA}$  두께로 증착 했다.

자기 정렬 (self-alignment)에 의하여 소오스, 드레인 및 게이트 영역을 이온 주입 방법으로  $30\text{ KeV}$ 에서  $5\times 10^{15}\text{ cm}^{-2}$  농도로 인으로 도우핑하고  $600\text{ }^{\circ}\text{C}$ 의 질소 분위기에서 24 시간 동안 열처리하여 주입된 이온을 활성화시켰다. 상압 기상 증착으로 보호 산화막을  $3500\text{ \AA}$ 로 증착한 후, 금속 공정을 하였다.

수소화는 플라즈마 반응 챕터에서  $300\text{ }^{\circ}\text{C}$ ,  $500\text{ mTorr}$ 에서 행하였으며, 이 때 사용된 플라즈마의 전력 밀도는  $0.07\text{ W/cm}^2$ 이다. 그리고, 전압 스트레스는 게이트와 드레인 전압을 동시에  $20\text{ V}$  씩 6 시간까지 인가하였다.

## III. 결과 및 분석

짧은 채널 길이 ( $W/L=20/5\text{ }\mu\text{m}/\mu\text{m}$ )를 가지는 단결정 실리콘 박막 트랜지스터의 게이트 전압-드레인 전류 특성을 그림 1에 나타내었다. 제작된 초기 상태

와 게이트와 드레인 전압 ( $V_g=V_{ds}=20\text{ V}$ )을 다결정 실리콘 박막 트랜지스터에 4시간동안 인가했을 때 생기는 전달특성곡선의 변화를 전류의 지수함수 그래프로 나타내었다.

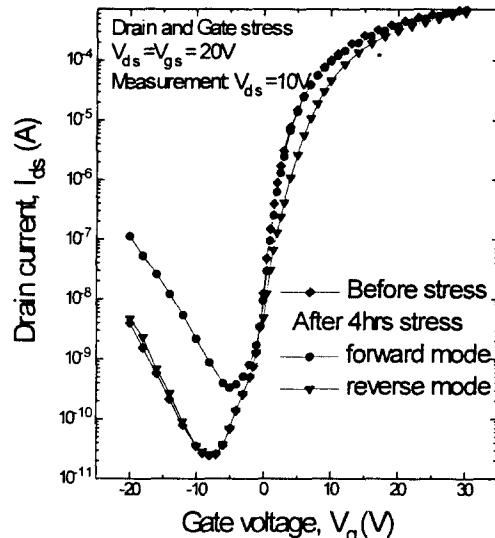
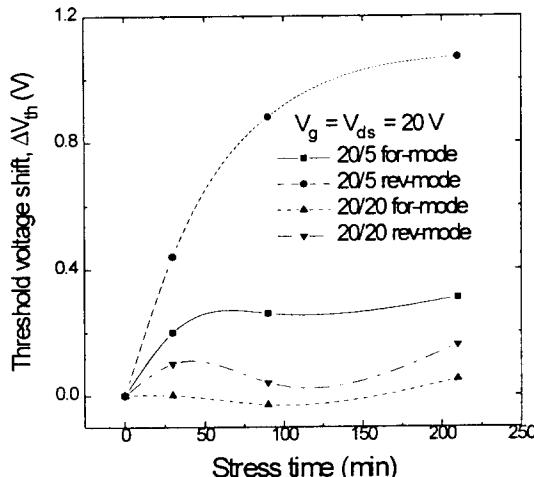


그림 1.  $5\text{ }\mu\text{m}$  의 채널 길이를 가진 단결정 실리콘 박막 트랜지스터의 전압 스트레스 인가 전과 인가 후 (순방향, 역방향)의 전류 전달 특성

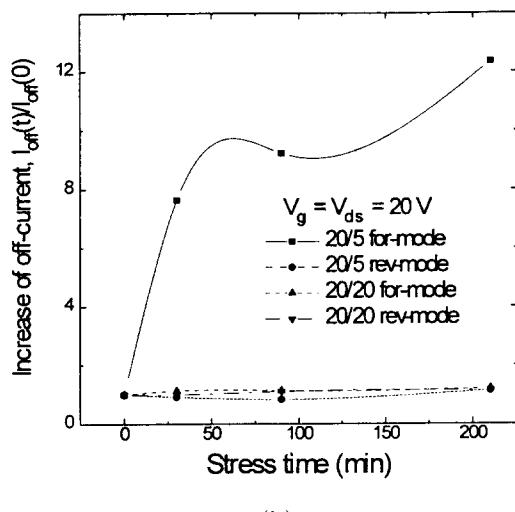
Fig. 1. Transfer characteristics of poly-Si TFT with  $5\text{ }\mu\text{m}$  channel length before and after electrical stressing.

스트레스 전압을 인가할 때의 소오스와 드레인의 방향과 인가후의 측정할 때의 방향이 같은 경우 (forward mode, 순방향)와 인가후의 측정 방향이 바뀐 경우 (reverse mode, 역방향)의 전달 특성곡선의 변화는 다른 양상을 보임을 알 수 있다. 방향이 같은 경우에는 전압인가 후의 특성곡선이 원래의 특성곡선에 비해 누설전류는 상당한 양의 증가를 보이나, 문턱 전압이나 문턱이전 기울기 (subthreshold slope) 등은 비교적 미세하게 변했고, 측정 방향이 바뀐 경우에는 누설 전류의 변화는 원래의 전압 인가전의 소자 특성에 비해 거의 차이가 없으나, 문턱전압과 곡선의 기울기는 같은 방향의 경우에 비해 매우 심각하게 변하였음을 볼 수 있다. 짧은 채널 길이의 박막 트랜지스터 ( $5\text{ }\mu\text{m}$ )에서 발생하는 문턱 전압의 변화 (그림 2a)와 누설 전류의 변화 (그림 2b)를 드레인-소오스 측정 방

향에 따라 비교했다. 전기적 스트레스 인가후 문턱 전압의 변화가 순방향에서는 약 0.35 V이고, 역방향에서는 약 1.1 V로 나타났다. 누설 전류의 경우는 이와 반대로 순방향에서만 약 10 배 이상의 증가를 보일 뿐 역방향에서는 거의 변화가 없었다.



(a)



(b)

그림 2. 다른 채널 길이의 소자에 전압 스트레스를 인가한 경우의 (a) 문턱 전압 이동, (b) 누설 전류의 변화

Fig. 2. Threshold voltage shift (a) and variation of leakage current (b) of electrically stressed TFT with different channel length.

박막 트랜지스터에 전기적 스트레스를 가할 경우 발생하는 소자 변수의 비대칭적인 변화는 짧은 채널 소자의 경우 순방향과 역방향의 차이가 매우 크게 나타났지만, 긴 채널 소자의 경우 순방향과 역방향의 변화 차이는 거의 없고 변화폭도 현저히 감소했다.

다결정 실리콘 박막 트랜지스터에서 게이트와 드레인 전압의 동시 인가시 발생하는 소자 변수의 변화는 주로 활성층 영역내에 생성되는 트랩 상태 밀도의 증가에 기인한다는 연구 결과를 발표한 바<sup>[16]</sup>, 그럼 1과 그림 2의 비대칭 현상은 트랩 상태들이 스트레스 전압 인가시의 드레인 포화 영역에 대부분 생성됨으로써 드레인-소오스의 측정 방향에 따라 문턱전압과 누설전류 등에 다르게 영향을 미치게 되어 나타난다. 트랜지스터의 문턱 전압은 채널영역에 전하를 공급해주는 소오스 접합 근처에서의 트랩 상태 밀도에 의해 영향을 받으며<sup>[17]</sup>, 전계 방출 전류(Field emission current)와 터널링(tunneling) 메카니즘에 의해 발생하는 다결정 실리콘 박막 트랜지스터의 누설전류는 드레인 근처의 포화 공핍층 영역내의 트랩밀도에 의해 영향을 받는 것으로 잘 알려져 있다<sup>[18]</sup>. 전압 스트레스에 의해 드레인 포화영역에서 트랩 상태 밀도가 증가하여 순방향에서는 드레인 접합 근처의 트랩 상태 밀도가 증가되며, 역방향에서는 소오스 접합 근처의 트랩 상태 밀도가 증가된다. 따라서, 순방향에서는 드레인 접합의 영향을 받는 누설전류가 증가하며, 역방향에서는 소오스 접합의 영향을 받는 문턱 전압이 증가한다.

전압 스트레스에 의한 문턱 전압의 증가를 채널 길이와 측정 방향에 따라 비교하여 그림 3에 나타냈다. 채널의 길이가 20  $\mu\text{m}$ 에서부터 5  $\mu\text{m}$  까지 감소함에 따라 순방향과 역방향의 문턱 전압 이동의 차이는 증가한다. 채널 길이가 20  $\mu\text{m}$ 인 소자의 경우 문턱 전압 이동이 순방향과 역방향 모두 0.3 V정도이고, 채널 길이가 5  $\mu\text{m}$ 인 소자는 순방향의 경우 약 0.5 V정도이지만, 역방향의 경우는 약 1.1 V의 문턱전압의 변화를 보인다. 이러한 현상을 해석하기 위해 각각 다른 채널 길이를 가지는 박막 트랜지스터의 출력 특성(Id - Vd) 곡선을 측정하여 그림 4에 나타냈다. 단결정 실리콘 전계효과 트랜지스터에서 출력 특성 곡선은 포화영역에서는 전류의 크기가 증가하지 않고, 일정한 값을 가지지만 그림 4에서의 다결정 실리콘 박막 트랜지스터의 경우는 5  $\mu\text{m}$ 와 8  $\mu\text{m}$ 의 채널 길이를 가지는 소자의 포화 영역(saturation region)에서는 전류가 일

정하게 흐르지 않고 드레인 전압이 증가함에 따라 전류가 계속 증가하고 있으며, 이러한 포화전류의 증가는 드레인 전압이 증가함에 따라 kink 효과가 나타남을 의미한다. 이러한 kink 효과는 드레인 공핍층에서의 전계에 의한 avalanche 현상으로 설명되고 있으며<sup>[9]</sup> 1. 문턱 전압의 감소와 포화 전류증가 등의 문제점을 가져온다. 이로 부터 우리는 채널 길이가 짧아짐에 따라 드레인 공핍층 영역에서의 최대 전계가 증가하며, 이 전계의 증가로 인해 공핍층내에서 더욱 많은 트랩들이 형성되어 소자의 비대칭 현상을 심화시키는 사실을 알 수 있다.

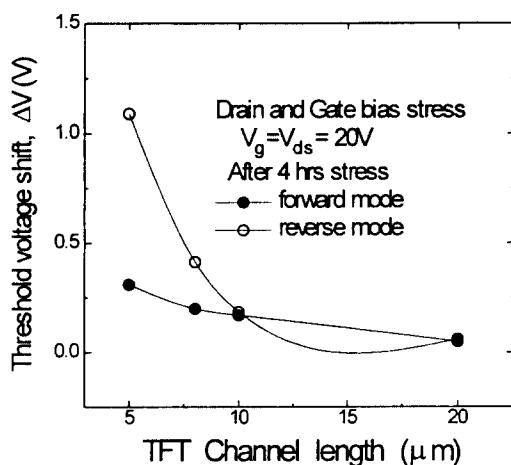


그림 3. 여러가지 채널길이의 소자에 전압 스트레스를 인가한 경우 측정방향에 따른 문턱 전압 변동폭 차이

Fig. 3. Threshold voltage shift of poly-Si TFT with various channel length in case of forward mode and reverse mode.

전압 스트레스 인가후 생기는 결함 생성 (defect creation)과 전하포획 (charge trapping)의 정량적인 분석을 위하여 평탄 전압 (flat band voltage)의 이동과 문턱 전압 이동의 차를 계산했다.<sup>[5]</sup> 박막 트랜지스터가 평탄 밴드 (flat band)부터 채널을 형성하기 위해 필요한 전압 ( $V_{so}$ , stretchout voltage)을 전달 특성 곡선에서 구한 후, 이를 이용해서 산화막 전하 포획량과 활성층 영역에서 생성된 결함량을 추출하였다.

$$V_{so} = V_{th} - V_{fb} \quad (1)$$

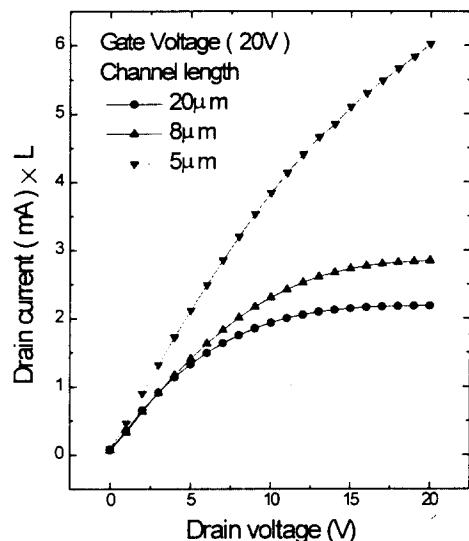


그림 4. 여러가지 채널 길이의 박막 트랜지스터의 출력 특성 곡선

Fig. 4. Output characteristics of TFTs with various channel length.

$$\Delta V_{Ns} = (V_{so})_2 - (V_{so})_1 \quad (2)$$

$$\Delta N_s = \Delta V_{Ns} \cdot C_{ox}/q \quad (3)$$

여기서,  $V_{so}$  는 펼친 전압 (stretchout voltage),  $V_{th}$  는 문턱 전압,  $V_{fb}$  는 평탄 전압,  $\Delta V_{Ns}$  는 결합 생성에 의한 펼친 전압의 변화이고  $\Delta N_s$  는 생성된 결합량이다.

$$\Delta V_f = (V_{fb})_2 - (V_{fb})_1 \quad (4)$$

$$\Delta N_{ot} = \Delta V_f \cdot C_{ox}/q \quad (5)$$

여기서,  $\Delta N_{ot}$  는 산화막에 포획된 전하량,  $\Delta V_{No}$  는 포획 전하에 의한 평탄 전압의 변화이다. 문턱 전압은 일정 수준의 전자들을 채널 영역에 모으기 위해 필요한 게이트 전압을 말하며, 여기서는 다결정 실리콘 박막 트랜지스터에서 통상적으로 사용되는 100 nA W/L ( $V_{ds}=5V$ )의 전류 수준을 기준하였고<sup>[10]</sup>. 평탄 전압은 활성층 다결정 실리콘 박막의 폐르미 준위가 휘지 않는 상태, 즉 MOS구조에서 평탄 밴드가 될 때의 게이트 전압을 말하며, 박막 트랜지스터의 전류가식 (6)의 도우평되지 않은 다결정 실리콘 박막의 전도도 (conductivity,  $3 \times 10^{-6} \Omega^{-1} \text{ cm}^{-1}$ )의 값을 가지는 전압을 평탄 전압으로 정의하였다.

$$I_{fb} = \sigma_{poly} \cdot V \cdot A/L \quad (6)$$

여기서,  $A$ 는 활성층 박막의 단면적,  $L$ 은 활성층 박막의 길이를 나타내며,  $I_{fb}$ 는 평탄 전압에서의 전류를 의미하며,  $W/L = 20/5 \mu\text{m}/\mu\text{m}$ ,  $V_{ds}=5\text{V}$ 인 경우에는  $600 \text{ pA}$ 이다.

그림 6에서 전압 스트레스 인가 후 생성된 결합량과 포획 전하량을 다양한 채널 길이의 소자들에 대해 각각 구하였다. 채널 길이가  $10 \mu\text{m}$ 와  $20 \mu\text{m}$ 인 경우 결합 생성량이 약  $10^{10}/\text{cm}^2$  부근이며 순방향과 역방향의 값이 차이가 나지만, 수소화된 다결정 실리콘 박막 트랜지스터의 트랩 상태 밀도 ( $20/10 \mu\text{m}/\mu\text{m}$ 의 경우  $\sim 2 \times 10^{12}/\text{cm}^2$ )<sup>[16]</sup>보다는 매우 작은 값을 가지므로 활성층 영역의 물성에는 큰 변화를 가져오지 않는다. 따라서, 이들 소자에서는 채널 길이  $5 \mu\text{m}$ 의 소자에서의 비대칭 현상이 생기지 않고, 오히려 전하 포획이 소자의 특성 변화의 중요한 요인으로 간주된다. 채널 길이  $5 \mu\text{m}$ 의 소자는 생성된 결합량이 역방향의 경우 약  $2 \times 10^{11}/\text{cm}^2$ 으로 전압 인가전의 박막의 트랩 상태 밀도 ( $\sim 1 \times 10^{12}/\text{cm}^2$ )<sup>[16]</sup>에 많은 영향을 주며 순방향의 경우는 약  $2 \times 10^{10}/\text{cm}^2$ 으로 양 방향간의 특성 변화가 소자특성에 심각한 영향을 미친다. 전압 스트레스에 의한 짧은 채널 길이 소자의 비대칭적인 특

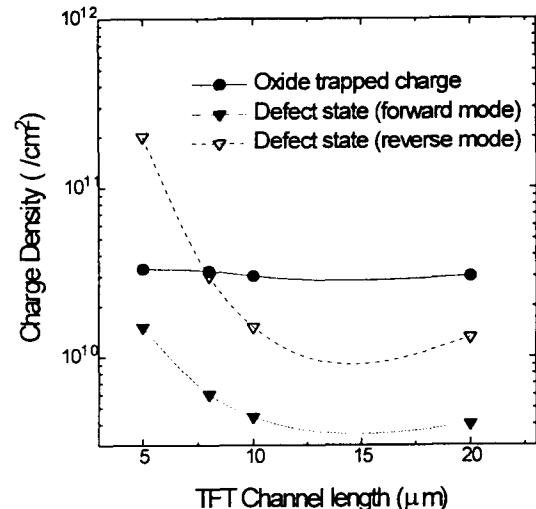


그림 6. 여러가지 채널 길이의 소자의 포획 전하량과 생성 결합량

Fig. 6. Defect trap state and oxide trapped charge of poly-Si TFT with various channel length.

성 변화는 드레인 접합의 포획 공핍층에서 생성되는 많은 결합들로부터 기인함을 알 수 있다.

#### IV. 결 론

짧은 채널 길이의 다결정 실리콘 박막 트랜지스터에 게이트와 드레인 전압 스트레스를 동시에 인가한 경우 발생하는 소자 변수의 변화에 대해 분석하고, 채널의 길이에 따른 열화 기구 (degradation mechanism)를 제시했다. 짧은 채널 길이의 소자는 전압 스트레스 인가 후, 긴 채널 소자보다 문턱 전압의 이동이 크고 누설 전류의 증가가 많이 나타났으며 측정 방향에 따라서는 비대칭 특성이 심화되는 심각한 열화 현상이 나타났다.

채널 길이가  $10 \mu\text{m}$ 와  $20 \mu\text{m}$ 인 경우 결합 생성량이 약  $10^{10}/\text{cm}^2$  정도이며 이들 소자에서는 채널 길이  $5 \mu\text{m}$ 의 소자에서의 비대칭 현상이 생기지 않고, 오히려 전하 포획이 소자의 특성 변화의 중요한 요인으로 나타났다. 채널 길이  $5 \mu\text{m}$ 의 소자는 생성된 결합량이 역방향의 경우 약  $2 \times 10^{11}/\text{cm}^2$ 으로 전압 인가전의 박막의 트랩 상태 밀도 ( $\sim 1 \times 10^{12}/\text{cm}^2$ )에 많은 영향을 주며 순방향의 경우는 약  $2 \times 10^{10}/\text{cm}^2$ 으로 양 방향간의 특성 변화가 소자특성에 심각한 영향을 미친

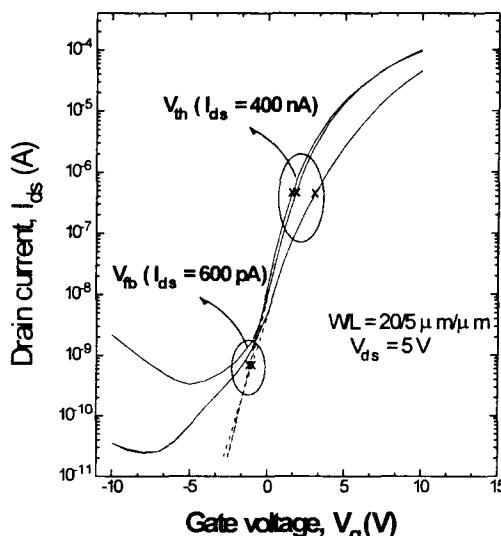


그림 5. 전류 곡선의 이동에서 포획 전하량과 생성 결합량을 구하는 방법

Fig. 5. Simple technique to obtain oxide trapped charge and defect trap state.

다. 이런 비대칭 특성은 스트레스 드레이인 전압 인가시  
드레이인 근처에서 증가한 최대 전계로 인해 생기는 포  
화 공핍층 영역의 많은 트랩 상태 밀도가 주 원인임을  
확인했다.

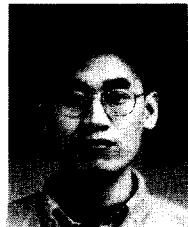
### 참 고 문 헌

- [1] J.I. Ohwada, M. Takabatake, Y.A. Ono, A. Mimura, K. Ono and N. Konishi "Peripheral Circuit Integrated poly-Si TFT LCD with Gray Scale Representation," IEEE Trans. Electron Devices, Vol. 36, No. 9, pp.1923-1928, 1989.
- [2] M. Takabatake, J.I. Ohwada, Y.A. Ono, K. Ono, A. Mimura, N. Konishi "CMOS Circuits for Peripheral Circuit Integrated poly-Si TFT LCD Fabricated at Low Temperature Below 600 °C," IEEE Trans. Electron Devices, Vol.38, No. 6, pp.1303-1309, 1991.
- [3] A.G. Lewis, I.W. Wu, T.Y. Huang, M. Koyanagi, A. Chiang and R.H. Bruce "Small Geometry Effects in N- and P-channel Polysilicon Thin Film Transistors," IEDM Technical Digest, pp.260-263, 1988.
- [4] A.G. Lewis, T.Y. Huang, I.W. Wu, R.H. Bruce and A. Chiang "Physical Mechanism for short channel effects in Polysilicon Thin Film Transistors," IEDM Technical Digest, pp.349-352, 1989.
- [5] P.J. McWharter and P.S. Winokur "Simple technique for separating the effects of interface traps and trapped oxide charge in metal-oxide-semiconductor transistors" Appl. Phys. Lett. Vol.48, No.2, pp.133-135, 1986.
- [6] Y.S. Kim, K.Y. Choi, S.K. Lee, B.H. Min and M.K. Han "Structural Dimension Effects of Plasma Hydrogenation on Low-Temperature Poly-Si Thin Film Transistors" Jpn. Appl. Phys. Vol.33, No.1B, pp.316-320, 1994.
- [7] S.M. Sze, Physics of Semiconductor Devices Wiely, New York, pp.431-455, 1981.
- [8] J.G. Fossum, A.O. Conde, H. Shichijo and S.K. Banerjee "Anomalous leakage current in LPCVD Polysilicon MOSFET's," IEEE Trans. Electron Devices, Vol.32, No.9, pp.1878-1884, 1985.
- [9] M. Hack and A.G. Lewis "Avalanche-induced Effects in Polysilicon Thin-Film Transistors" IEEE Elect. Dev. Lett., vol. 12, NO. 5, pp. 203-205, 1991.
- [10] M. Hack, A.G. Lewis, I.W. Wu "Physical Models for Degradation Effects in Polysilicon Thin Film Transistors" IEEE Trans. Electron Devices, Vol.40, No.5, pp.890-897, 1993.

---

저자소개

---

**崔權永(正會員)**

1971년 1월 23일생. 1992년 서울대 공대 전기공학과 졸업(학사). 1994년 서울대 대학원 전기공학과 졸업(공학석사). 1994년 3월~현재 서울대학교 전기공학과 박사 과정 재학중. 주관심 분야는 TFT-LCD 화소 소자 및 구동회로 등임.

**金容商(正會員)**

1965년 6월 5일생. 1988년 서울대 공대 전기공학과 졸업(학사). 1994년 서울대 대학원 전기공학과 졸업(공박). 1994년~1995년 2월 신소재 박막 가공 연구센터 연구원. 1995년 3월~현재 명지대학교 공대 전기공학과 조교수. 주관심 분야는 TFT-LCD 화소 소자 및 구동회로 등임.

**韓民九(正會員)**

1948년 7월 21일생. 1971년 서울대 공대 전기공학과 졸업(학사). 1979년 미국 John's Hopkins Univ. 졸업(공박). 1979년~1984년 미국 뉴욕 주립대 조교수. 1985년 3월~현재 서울대학교 전기공학과 교수. 주관심 분야는 TFT-LCD, 전력용 반도체 그리고 절연 재료 등임.