

# 반도체 Wafer Fabrication 공정에서의 생산일정계획

## Production Scheduling in Semiconductor Wafer Fabrication Process

이군희\*, 홍유신\*, 김수영\*

Koon Hee Lee\*, Yushin Hong\*, Soo-Young Kim\*

### Abstract

Wafer fabrication process is the most important and critical process in semiconductor manufacturing. The process is very complicated and hard to establish an efficient schedule due to its complexity. Furthermore, several performance indices such as due dates, throughput, cycle time and workstation utilizations are to be considered simultaneously for an efficient schedule, and some of these indices have negative correlations in performances each other. We develop an efficient heuristic scheduling algorithm; Hybrid Input Control Policy and Hybrid Dispatching Rule. Through numerical experiments, it is shown that the proposed Hybrid Scheduling Algorithm gives better performance compared with existing algorithms.

### 1. 서론

현대 산업기술의 고도화에 따라 반도체 산업은 컴퓨터산업, 자동차산업등 모든 첨단산업의 근간을 이루는 총체적인 산업이다. 또한 반도체 산업은 고가의 설비로 구성되어 있는 생산공정에서 고도의 전문 생산기술을 필요로 하는 최첨단 산업으로서 현대 산업사회에서 가장 대표적인 장치, 자본 집약적이

고 기술 집약적인 산업이라 할수 있다. 이에 따라 반도체 생산을 위한 설비기술 및 생산 기술 분야에는 많은 투자를 통하여 활발한 연구활동을 수행함으로써 급속히 발전하고 있는 반면에 이와 같은 고가의 설비와 고도의 생산기술을 효율적으로 운영함으로써 생산성을 향상시키고자 하는 반도체 생산공정에서의 생산관리 분야에 대한 연구는 국내는 물론 해외에서도 극히 초보적인 수준에 머물

\* 포항공과대학교 산업공학과

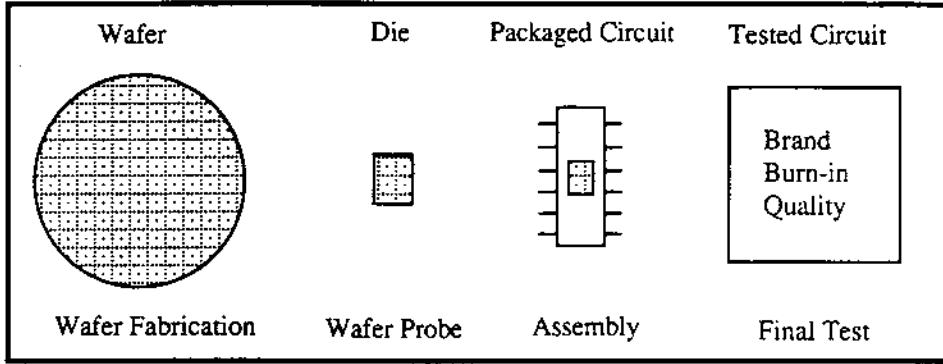


그림 1. 반도체 공정

고 있다. 따라서 반도체 생산공정을 효율적으로 운영할수 있는 생산일정계획 기법을 개발함으로써 반도체 생산공정의 효율성을 높이고 생산성을 향상시켜 국내 반도체 산업의 국제 경쟁력을 강화하기 위한 연구가 수행되어야 한다.

반도체의 생산공정은 그림 1에서 보는 바와 같이 크게 4단계의 공정으로 구분되어 있다. 첫번째 공정인 Wafer Fabrication(Wafer Fab.) 공정은 간단한 실리콘 결정체인 Wafer 기판위에 원하는 회로를 형성하는 과정이다. 두번째의 Wafer Probe 공정은 완성된 Wafer를 절단하여 Die를 생산한후 생산된 Die들에 원하는 회로가 형성되었는지 검사를 통하여 불량 Die를 제거하는 공정이다. 세번째 공정인 Assembly 공정은 생산된 Die들의 공기중에서의 오염을 방지하기 위하여 Package 화합과 동시에 외부 연결단자를 집착하는 공정이며 마지막으로 Final Test 공정은 최종 검사과정으로 완성된 Package를 검사하여 규격에 맞는 합격품을 선별하게 된다. 특히 반도체 공정에서는 규격에 미달되는 경우에도 이

를 파기하는 것이 아니라 하급 제품의 수요를 충족하는데 이용될수 있는 특성을 가지고 있다(Binning).

위의 4단계 공정중 반도체 생산의 생산성을 좌우하는 가장 중요한 공정은 Wafer Fab. 공정이라 할수 있다. Wafer Fab. 공정은 Cleaning, Oxidization, Photo Resist, Lithography, Etching, Ion Implantation 및 Metallization 공정 등의 주요공정을 포함하여 수십개의 세부공정과 함께 매우 복잡한 가공경로를 가지고 있기 때문에 효율적인 생산일정계획을 수립하는데 많은 어려움이 있다. 본 연구에서는 이러한 반도체 Wafer Fab. 공정의 생산일정계획을 효율적으로 수립할수 있는 기법을 개발하여 동 공정의 생산성 향상을 목표로 하고 있다.

## 2. Wafer Fabrication 공정

4단계의 반도체 생산공정중 전체 생산성의 70% 이상을 좌우하는 중요한 공정인 Wafer Fab. 공정의 생산단위는 20-25개의 Wafer로

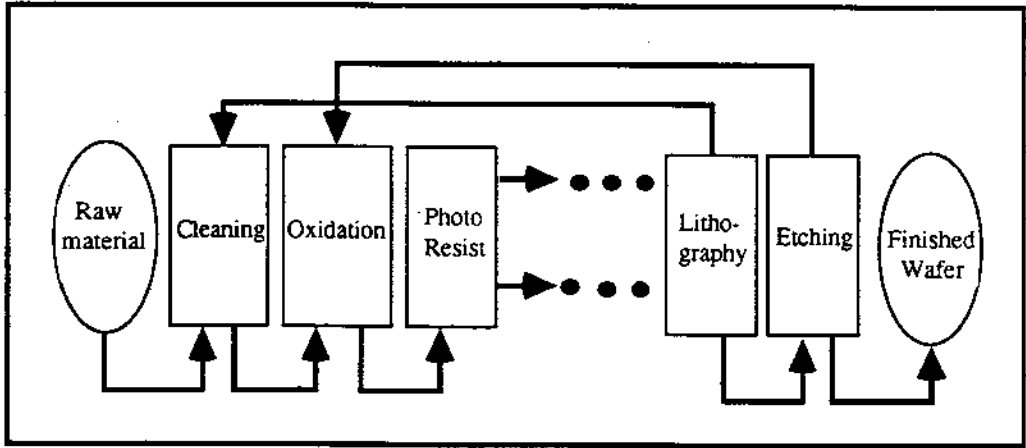


그림 2. Wafer Fabrication 공정 흐름도

구성되어 있는 Lot들이 그림 2에서 보는 바와 같이 각각의 Workstation(W/S)에서 수십개의 세부공정을 반복적으로, 수백개의 가공과정을 거치게 됨에 따라 각 Lot에 대한 준비시간, 가공시간, 가공순서, 각 공정의 상태, 현 가공위치등 공정과 관련된 수많은 데이터가 생성되고 이와 같이 생성된 많은 데이터를 반영할수 있는 생산일정계획을 수립하는 것은 현실적으로 매우 어려운 실정이다. 또한 어떤 W/S에서는 하나의 Lot씩 가공하는 반면, 어떤 W/S은 여러 Lot을 그룹화하여 동시에 가공함에 따라(Batch Processing), 이러한 가공단위의 변화를 생산일정계획에 정확하게 반영할수 없을 뿐만 아니라 예측할수 없는 생산수율(Production Yield)의 변동, 설비의 고장 등 생산여건이 지속적으로 변화함에 따라 이에 대응할수 있는 생산일정계획을 수립하기는 많은 문제점이 따르게 된다.

## 2.1 생산일정계획

이와 같은 Wafer Fab. 공정의 생산일정계획을 수립하기에 앞서 일정계획의 성능을 평가하기 위한 성능지표(Performance Index)를 먼저 검토하여 보고자 한다. 반도체 생산공정에서의 일정계획의 평가를 위한 주요 성능지표로는 생산량(Throughput), 납기일(Due Date), 생산주기의 평균 및 분산(Mean and Variance of Cycle Time), 설비이용률(Workstation Utilization), 평균 지연시간(Mean Delay Time), 평균 재공 (Mean WIP Inventories) 등을 들수 있으며, 반도체 Wafer Fab. 공정에서 이러한 성능지표들 사이에는 상치되는 효과를 주는 경우가 대부분이다. 즉 생산량을 증대시키기 위하여 공정에 많은 Lot을 투입하게 되면 생산량은 증가하나 생산주기가 길어짐에 따라 수율이 저하되고, 반대로 평균생산주기를 단축시키고자 Wafer Fab. 공정에 투입량을 줄이게 되면 생산량이 줄어들게 되고 설비이용률이 감소되며, 한편 납기일을 중심

으로 일정계획을 수립하는 경우에는 생산주기의 분산이 커지는 문제점 등을 안고 있다. 또한 Wafer Fab. 공정의 생산설비들은 매우 고가인 점을 고려할때 동 설비들의 가동율을 극대화하는 생산일정계획을 수립하게 되면 평균 생산주기가 길어짐에 따라 수율이 떨어지는 단점이 있다.

위와 같은 점을 고려할때 Wafer Fab. 공정을 수리모형화하여 최적 생산일정 계획을 수립하는 것은 불가능하다. 따라서 본 연구에서는 Wafer Fab. 공정에서 쉽게 이용될 수 있는 효율적인 생산일정계획을 가능하게 하는 발견적 기법(Heuristic Method)을 개발하고자 한다. Wafer Fab. 공정에서의 생산일정계획은 크게 두부분으로 나누어질 수 있다. 새로운 Lot의 공정 투입시기를 결정하는 Input Control Policy(ICP)와 공정내의 각각의 W/S에서 Queue에 대기하고 있는 Lot 중에서 어느 Lot을 선정 가공할 지를 결정하는 Dispatching Rule(DR)을 들수 있다. 즉 새로운 Lot의 투입시기 및 W/S에서의 가공 순서에 따라 Wafer Fab. 공정의 생산량, 납기일, 생산주기, 설비이용율 등 성능지표에 지대한 영향을 미치게 된다.

## 2.2 기존 연구 조사

국내외에서 지금까지 수행된 Input Control Policy에 대한 연구들을 조사하여 보면 다음과 같다. 가장 간단한 ICP로는 새로운 Lot이 Poisson분포에 따라 도착한다고 가정하고 도착할때 마다 Wafer Fab. 공정에 투입하는 Poisson ICP와 새로운 Lot을 일정시간 간격으로 투입하는 Deterministic ICP를 들수 있다. 이 두 ICP는 Open-Loop ICP로서 매우 간

단하여 현장에서 쉽게 이용될수 있다는 장점을 가지고 있으나 Bottleneck W/S의 상태를 전혀 반영하지 못함에 따라 Bottleneck W/S의 재공이 증가하고 동시에 생산주기가 커지게 되는 단점이 있다. Wafer Fab. 공정에서 하나의 Lot이 생산을 마칠때마다 새로운 Lot을 투입하여 전체공정에서 가공중인 총 Lot의 수를 일정하게 유지하는 Closed-Loop ICP의 경우, Bottleneck W/S의 상태를 고려하지 않고 단순히 공정내의 Lot의 수만을 통제함에 따라 앞의 두 ICP와 유사한 문제점을 가지고 있다. 한편 Wein[15]은 Brownian Network Model을 이용하여 Bottleneck W/S에서 현재의 작업 부하량이 추정된 예상 작업 부하량보다 작을 경우 새로운 Lot을 투입하는 Workload Regulating(WR) ICP를 제안하였다. Workload Regulating ICP는 WIP을 작게 하면서 Bottleneck W/S의 유희시간(Idle Time)을 최소화함으로써 평균 생산주기를 단축하고자 하는 정책으로 위에서 설명된 3개의 ICP보다는 좋은 결과를 보이고 있으나 작업 부하량 추정시 Lot들이 W/S에서의 대기시간을 고려하지 않음에 따라 만족스러운 결과를 주지 못하고 있다. 또한 Glassey와 Resende[4,5]는 Bottleneck W/S의 설비 이용율을 극대화하기 위한 Starvation Avoidance(SA) ICP를 제시하였다. SA ICP은 새로운 Lot이 투입되어 Bottleneck W/S까지의 도달시간을 Leadtime이라 정의하고 Bottleneck W/S의 계산된 작업 부하량의 가공에 소요되는 시간이 Leadtime보다 작을 경우 새로운 Lot을 투입하는 ICP로서 지금까지는 가장 효율적인 ICP로 알려져 있으나 Wein의 WR ICP와 같이 Leadtime 및 작업부하의 추정시 대기시간을 고려하지

못할 뿐만 아니라 두개 이상의 Bottleneck W/S이 존재할 경우 이용될 수 없는 단점을 가지고 있다.

다음으로 Wafer Fab. 공정의 각각의 W/S에서 가공하는 Lot을 선택하는 Dispatching Rule에 관한 연구를 살펴보고자 한다. 가장 일반적인 방법인 들어온 순서에 따라 차례로 가공하는 FIFO(First In First Out)[3,6], 남은 공정이 가장 긴 Lot을 선택하여 가공하는 FBFS(First Buffer First Service)[2], 들어온 순서를 무시하고 교대로 가공하는 Cyclic[2,5], 가공후 다시 현재의 W/S에 도달하는데 걸리는 시간이 가장 긴 Lot을 선택 가공하는 LTNV(Longest expected processing Time until its Next Visit)[15] 방법등을 들수 있다. 이러한 방법들은 간단하고 이용하기에 편리하다는 장점은 있으나 Wafer Fab. 공정의 현재의 상태를 전혀 고려하지 않는 단점이 있기 때문에 실시간 생산일정계획에 이용되었을때 좋은 결과를 보이지 못하게 된다. 한편, LBFS(Late Buffer First Service)[2,5], SRPT(Shortest Remaining Processing Time)등은 빨리 생산을 마칠 수 있는 Lot부터 가공함에 따라 전체적인 평균 생산주기를 줄일수는 있으나 생산주기의 분산이 커지게 되고 납기일을 전혀 고려하지 않음에 따라 평균 지연시간이 증가하게 된다. 또한 NINQ(smallest Number In Next Queue), NINQ/M(smallest Number In Next Queue to number of equipments), SCNQ(Smallest expected Clear time in Next Queue)[11]는 다음 W/S의 Queue가 가장 작은 Lot부터 가공함으로써 W/S의 이용율을 향상시키는 장점이 있으나 앞의 정책들과 같이 평균 지연시간 및 생산주기의 분산

을 증가시키는 근시안적인 정책이라 볼 수 있다. 반면에 납기일을 기준으로 가공대상 Lot을 선택하는 EDD(Earliest Due Date), Critical Ratio, LS(Least Slack)[9], LOS(Least Optimized Slack)[7]등은 납기일을 최대한으로 만족시킬수는 있으나 설비의 이용율을 떨어뜨리고 생산주기의 분산을 증가시키게 된다. 그 이외에도 Peyrol, et al.[10]는 MOTO-ROLA Inc.를 모델로 하여 Simulated Annealing 기법을 이용하여 평균생산주기를 줄이는 방법을 제시하였으며, Ehteshami, Petrakian, Shabe[3]는 긴급한 납기일을 가진 Hot Lot들이 다른 Lot의 생산주기에 미치는 영향을 분석하였는바 평균생산주기에는 큰 영향이 없으나 WIP에 Hot Lot이 증가함에 따라 생산주기의 분산이 커짐을 발견하였다. 또한 Perez와 Koh[12]는 Harris 반도체공장을 모델로 하여 전문가 시스템을 이용한 Dispatching Rule을 제안하였다.

한편, 반도체 생산공정에서 가장 중요한 성능지표중의 하나는 생산수율을 들수 있다. 일반적으로 생산수율은 품질관리 문제로 생산일정계획과는 무관한 것처럼 보이나 생산주기가 길어지게 되면 Wafer가 공기중에 노출 시간이 길어짐에 따라 Particle 등에 의한 오염이 심하게 되어 수율이 떨어지게 된다고 알려져 있다. Wein[16]은 불량 Die의 수는 생산주기에 비례하여 증가한다고 주장하였으며, Bertrant와 Wortmann[1]은 생산주기를 줄임으로써 수율을 크게 증대시킬수 있다고 한바 있다. 생산일정계획을 포함하여 반도체 생산공정과 관련된 생산계획, 수리모형등에 대한 관련 논문등 광범위한 문헌조사는 Uzsoy, Lee, Martin-Vega[13,14] 및 Johri[8]등에 자

세히 언급되어 있다.

### 3. Hybrid 일정계획

본 절에서는 앞에서 설명된 기존의 Input Control Policy 및 Dispatching Rule의 문제점을 최대한으로 해결하고 생산일정계획의 여러 성능지표를 동시에 고려한 새로운 기법인 Hybrid Input Control Policy와 Hybrid Dispatching Policy를 제안하고자 한다. 본 연구에서 대상으로 선정한 Wafer Fab. 공정은 단일제품을 생산하고 모든 W/S에서는 하나씩 Lot을 처리하게 되며 전체 공정중 두개의 Bottleneck W/S이 포함되어 있다고 가정하였다.

#### 3.1 Hybrid Input Control Policy

본 연구에서 제시된 Hybrid ICP는 기존의 대표적인 기법인 Starvation Avoidance ICP에서 Leadtime 및 작업부하량을 추정하는데 있어서 각각의 W/S에서의 대기시간을 고려하지 못하는 단점을 보완하기 위하여 대기시간을 추정할수 있는 방법을 제시함과 동시에 Wafer Fab. 공정이 두개 이상의 Bottleneck W/S을 포함하고 있을때에도 이용될수 있는 알고리즘으로 확장하고자 한다. Wafer Fab. 공정에서의 대기시간은 일반적으로 전체 생산주기의 50%를 상회하는 것으로 알려져 있다. 제안된 Hybrid ICP의 구체적인 알고리즘의 설명을 위하여 필요한 모수 및 변수를 아래와 같이 정의하였다.

$W$  : Wafer Fab. 공정의 모든 W/S의 집합

$BW$  : Bottleneck W/S의 집합

$B_b$  : b번째 Bottleneck W/S의 모든 upstream W/S의 집합

$NM_b$  : b번째 Bottleneck W/S을 구성하는 설비의 수

$P_i$  : i번째 W/S의 가공시간

$QT_i$  : i번째 W/S에서 관측된 실제 대기시간

$NQ_b$  : b번째 Bottleneck W/S의 Queue에서 대기중인 Lot의 수

$NC_b$  : 동안에 b번째 W/S의 도착할 것으로 추정되는 Lot의 수

$WT_{ij}$  : i번째 W/S에서 j번째 추정된 대기시간

$LT_{bk}$  : b번째 Bottleneck W/S에서 k번째 추정된 Leadtime

$WL_{bk}$  : b번째 Bottleneck W/S에서 k번째 추정된 작업부하량

$ST_b$  : b번째 Bottleneck W/S의 안전시간 (Safety Time)

먼저 Deterministic ICP 및 FIFO DR에 준하여 Wafer Fab. 공정이 안정화상태에 도달할때 까지 가동시키면서 W/S별로 대기시간을 관측하여 평균을 구함으로써 각 W/S에서의 대기시간의 초기치로 이용한다. 아래의 알고리즘은 어느 한 W/S이 하나의 Lot의 가공을 마칠때마다 가동되는 알고리즘으로서 공정의 한 W/S(i\*번째 W/S)에서 하나의 Lot의 가공이 끝나게 되면 동 W/S에서의 실제 대기시간을 관측하여 지수평활화(Exponential Smoothing)를 통하여 새로운 대기시간을 추정한다. 만약, 동 W/S이 Bottleneck W/S이 아닌 경우에는 또 다른 W/S 이 가공을 마칠때

까지 기다리게 되고, Bottleneck W/S인 경우에는 Leadtime 및 작업부하량을 추정, 비교하여 추정된 작업부하량의 가공에 소요되는 시간이 Leadtime보다 적을 경우에만 새로운 Lot을 투입하는 정책이다. 제시된 기법의 경우 대기시간을 지수평활법을 통하여 지속적으로 Update 함에 따라 대기시간의 추정치가 점차 안정화되는 장점을 가지게 된다. 아래의 Step 2에서의 안전시간은 재고모형에서의 안전재고와 같은 역할을 수행하는 상수로서 안전시간을 크게 정하게 되면 Bottleneck W/S의 휴지의 확율은 떨어지게 되고 생산량은 증가하게 되는 반면에 중간 재공이 늘어남에 따라 생산주기의 평균 및 분산이 증가하게 되어 수율이 감소되는 문제점을 안고 있으며, 반대로 이를 줄이게 되면 반대의 현상이 나타나게 된다.

### 알고리즘

Step 0 : (초기화)

$$j = 1, \quad k = 1$$

Step 1 : (대기시간의 Update)

$$WT_{i^*,j} = aQT_{i^*} + (1-a)WT_{i^*,j-1}$$

$$WT_{ij} = WT_{ij-1} \quad i \in W, \quad i \neq i^*$$

$$j = j + 1$$

만약  $i^* \in BW$ 이면 Step 3으로 간다.

Step 2 : (Bottleneck W/S의 Leadtime 및 작업부하량 추정)

$$LT_{i^*,k} = \sum_{B_i} (P_i + WT_{ij}),$$

$$WL_{i^*,k} = \dot{P}_{i^*} (NQ_{i^*} + NC_{i^*}) / NM_{i^*},$$

$$i^* \in BW$$

$$LT_{bk} = LT_{bk-1}, \quad WL_{bk} = WL_{bk-1},$$

$$b \in BW, b \neq i^*$$

$$k = k + 1$$

만약  $WL_{i^*,k} - LT_{i^*,k} \leq ST_{i^*}$ 이면 새로운 Lot을 투입한다.

Step 3 : 다음 W/S에서 Lot의 가공이 끝날때까지 기다리다가 Step 1으로 간다.

### 3.2 Hybrid Dispatching Rule

본 연구에서 제안된 Hybrid Dispatching Rule은 앞에서 설명한 기존의 Dispatching Rule들의 단점을 보완하고 Wafer Fab. 공정, 특히 Bottleneck W/S의 현재 상황을 반영하여 각각의 W/S에서의 가공되는 Lot을 결정하는 기법이다. 즉 각 W/S에 대기하고 있는 모든 Lot들중에서 먼저 Hot Lot이나 지연된 Lot을 우선적으로 선정하여 가공하고, 다음 Bottleneck W/S과 Nonbottleneck W/S의 설비 이용율을 동시에 증가시킬수 있는 방안이 제시되었다. 일반적으로 Dispatching Rule은 Input Control Policy보다 생산성에 미치는 영향은 적다고 알려져 있으나 본 연구를 통하여 수율에 영향을 주는 생산주기의 분산에는 적지 않은 영향을 미치는 것으로 밝혀 졌다. 제안된 Hybrid Dispatching Rule의 알고리즘의 설명을 위하여 아래와 같이 모수 및 변수를 정의하였다.

$L_i$  :  $i$ 번째 W/S에 대기중인 Lot의 집합

$RW_{ij}$  :  $i$ 번째 W/S에 대기중인  $j$ 번째 Lot을 가공하게 될 W/S들의 집합

- $D_{ij}$  :  $i$ 번째 W/S에 대기중인  $j$ 번째 Lot의 Due Date
- $SL_{ij}$  :  $i$ 번째 W/S에 대기중인  $j$ 번째 Lot의 여유시간
- $NW_{ij}$  :  $i$ 번째 W/S에 대기중인  $j$ 번째 Lot을 가공하게 될 다음 W/S
- $CT_b$  :  $b$ 번째 Bottleneck W/S의 Clear Time(대기중인 모든 Lot들의 가공 소요시간)

공정중의 한 W/S에서 하나의 Lot의 가공을 마치게 되면 대기중인 Lot중에서 Hot Lot, 혹은 납기가 지연된 Lot이 존재하면 우선적으로 이러한 Lot들을 선정 가공한다. 그 다음으로 대기중인 Lot중에서 다음 공정이 Bottleneck W/S인 Lot이 존재하면 동 Bottleneck W/S의 Clear Time을 계산하여 계산된 Clear Time이 현 W/S에서의 단위 Lot 가공 소요시간의 2배보다 짧은 경우(즉 다음 공정이 Bottleneck W/S인 Lot을 선정 가공하지 않으면 Bottleneck W/S이 휴지될 경우)에는 해당 Lot을 선정 가공하여 Bottleneck W/S의 휴지를 방지하게 된다. 그러나 Bottleneck W/S으로 진행되는 Lot을 선정하여 가공하지 않더라도 동 Bottleneck W/S이 충분한 재공을 가지고 있어 휴지될 가능성이 없거나, 혹은 Bottleneck W/S으로 진행되는 Lot이 존재하지 않을 경우에는 SRPT에 의하여 Lot을 선정 가공하여 Nonbottleneck W/S의 설비이용율을 향상시킴으로써 평균생산주기를 단축할 수 있게 된다. 아래의 알고리즘은 Wafer Fab. 공정에서 한 W/S에서 가공이 끝날때마다 시동된다.

### 알고리즘

- Step 1 : (납기지연 Lot의 존재 확인)
- $$SL_{i,j} = D_{i,j} - \sum_k P_k, j \in L_i, k \in RW_{i,j}$$
- 만약  $\text{Min}(SL_{i,j}) < P_{i,j}$ 이면  $j$ 번째 Lot을 선정 가공하고 Step 4로 간다.
- Step 2 : (Bottleneck W/S의 휴지 가능성 확인)
- 만약, 다음 W/S이 Bottleneck W/S인 Lot이 존재하면( $j \in L_i, NW_{i,j} \in BW$ ),
- $$CT_{NW_{i,j}} = P_{NW_{i,j}} \times NQ_{NW_{i,j}} / NM_{NW_{i,j}}$$
- 만약  $\text{Min}(CT_{NW_{i,j}}) < 2P_{NW_{i,j}}$ 이면  $j$ 번째 Lot을 선정 가공하고 Step 4로 간다.
- Step 3 : SRPT에 의하여 가공 대상 Lot을 선정한다.
- Step 4 : 다음 W/S이 가공을 마칠때 까지 기다리다가 Step 1로 간다.

### 4. 수치실험

본 논문에서 제안된 반도체 Wafer Fab. 공정의 Hybrid Input Control Policy와 Hybrid Dispatching Rule의 효율성 및 성능평가를 위하여 시뮬레이션을 이용한 수치실험을 수행하였다. 수치실험을 위한 대상 반도체 Wafer Fab. 공정 모형은 Wein[2]이 제시한 데이터를 참고로 하여 24개의 W/S으로 구성되어 있고 각각의 W/S을 구성하는 설비의 수 및 각 W/S에서의 가공시간은 표 1에 주어져 있다. 특히 14번째 및 24번째 W/S은 Bottleneck W/S으로 가정하였고 투입된 Lot의 가공경로는 총 74개로 하였으며 가공순서는 표 2에 나타나 있다.



표 1. Wafer Fabrication 공정

Station no.	Station name	Process. name	# of M/C	Processing time
1	CLEAN	Deposition	1	2.55 시간
2	TMGOX	Deposition	2	4.98
3	TMNOX	Deposition	2	5.45
4	TMFOX	Deposition	1	4.68
5	TU 11	Deposition	1	6.14
6	TU 43	Deposition	1	7.76
7	TU 72	Deposition	1	6.23
8	TU 73	Deposition	1	4.35
9	TU 74	Deposition	1	4.71
10	PLM5L	Deposition	1	4.05
11	PLM5U	Deposition	1	7.86
12	SPUT	Deposition	1	5.10
13	PHPPS	Lithography	4	4.23
14	PHGCA	Lithography	3	7.35
15	PHHB	Lithography	1	0.87
16	PHBI	Lithography	2	2.96
17	PHFI	Lithography	1	1.56
18	PHJPS	Lithography	1	3.59
19	PLM6	Etching	2	13.88
20	PLM7	Etching	1	5.41
21	PLM8	Etching	2	4.58
22	PHWET	Etching	2	1.04
23	PHPLO	Resist strip	2	1.09
24	IMP	Ion implant	1	5.86

표 2. Wafer Fab. 공정의 가공경로

Enter	→	S1	→	S2	→	S13	→	S14	→	S23	→	S15	→	S2	→	S23	→	S16
	→	S24	→	S23	→	S22	→	S17	→	S1	→	S8	→	S4	→	S22	→	S14
	→	S18	→	S23	→	S15	→	S3	→	S22	→	S1	→	S14	→	S23	→	S14
	→	S16	→	S24	→	S23	→	S22	→	S17	→	S1	→	S2	→	S8	→	S9
	→	S21	→	S22	→	S1	→	S13	→	S14	→	S6	→	S15	→	S16	→	S24
	→	S17	→	S12	→	S19	→	S1	→	S2	→	S7	→	S14	→	S18	→	S23
	→	S15	→	S16	→	S20	→	S23	→	S1	→	S17	→	S14	→	S16	→	S13
	→	S23	→	S22	→	S14	→	S3	→	S13	→	S14	→	S15	→	S24	→	S10
	→	S11	→	S5	→	Exit												

수치실험을 위한 시뮬레이션 모형은 C언어를 이용하여 개발되어 SDT-200 에서 약 5000

시간에 걸쳐 Wafer Fab. 공정의 7개월 간의 실적에 대한 시뮬레이션을 통한 수치실험을 수행하였다. 모든 수치실험은 시뮬레이션 시작시 공정에 Lot이 존재하지 않은 상태에서 시작되었으며, 공정의 안정상태(Steady State)에서의 분석을 위하여 약 700시간(1개월)의 초기 실적치는 포함하지 않았다. 또한 각 Lot들의 납기일은 생성될때 임의로 부여한 후 Wafer Fab. 공정에 투입될 때 납기일이 가장 빠른 Lot부터 선택하여 투입하는 정책을 채택하였다.

본 연구에서 제안된 Hybrid ICP와 Hybrid DR의 성능비교 및 평가를 위하여 Input Control Policy에서는 기존의 연구 결과중 가장 우수하다고 알려진 SA ICP와 함께 NINQ/M, SRPT, LS등 3개의 Dispatching Rule들을 비교 대상으로 선택하였다. 따라서 2개의 ICP와 4개의 DR로 부터 총 8개의 일정계획 시나리오를 구성하여 각각의 시나리오에 대하여 5회의 시뮬레이션 실험을 수행하여 주요 성능지표들에 대한 통계치를 수집한후 이의 평균을 구한 결과가 표 3에 주어져 있다. 위

균 및 분산, Bottleneck W/S인 14번째 및 24번째 W/S의 이용율 등을 선정하였으며, 특히 수율을 저하시키는 주요 요인인 생산주기의 특정 상한치를 초과하는 Lot의 수의 비교를 통하여 간접적으로 수율의 향상 정도를 비교 평가할수 있게 하였다. 특히 표 3의 마지막 열은 8개의 시나리오에 따른 성능지표들의 평균을 기록하였으며, 평균치보다 좋은 결과를 보인 통계치에는 \* 표를 하였다.

먼저 Input Control Policy에서는 본 연구에서 제시된 Hybrid ICP가 SA ICP보다 생산량 및 Bottleneck W/S의 이용율에서는 좋은 결과를 보이고 있는 반면, 생산주기의 평균 및 분산, 특정 상한치 초과 Lot의 수에서는 좋지 못한 결과를 나타내고 있다. 이는 사전에 예측 가능한 결과로서 SA ICP의 경우 1개의 Bottleneck W/S만을 고려하여 투입량을 결정하는 반면에 Hybrid ICP는 2개의 Bottleneck W/S을 고려함에 따라 공정예의 투입량이 커지게 되어 나타나는 현상이다. 이러한 결과로 부터 투입량을 지나치게 많이 늘리게 되면 생산량및 설비이용율은 조금이나마 향상

표 3. 수치실험 결과

Input Control Policy/ Dispatching Rule	SA/ NINQ/M	SA/ SRPT	SA/ LS	SA/ Hybrid	Hybrid/ NINQ/M	Hybrid/ SRPT	Hybrid/ LS	Hybrid/ Hybrid	Average
평균 생산량(Lot수)	136	137	139	137	153*	158*	153*	153*	145.75
평균 생산주기(시간)	339.79*	336.93*	337.86*	331.45*	361.83	362.70	344.89	341.36*	344.60
생산주기의 분산(시간)	18.55*	21.62*	24.12	22.66*	26.10	29.75	30.88	16.89*	23.82
14번째 W/S 설비이용율(%)	94.20	94.62	95.09	95.20	96.81*	97.92*	97.32*	98.04*	96.55
24번째 W/S 설비이용율(%)	79.47	79.42	79.40	79.69	88.85*	90.20*	88.19*	88.76*	84.24
특정 상한치 초과(Lot 수)	15*	23*	19*	12*	77	81	40	17*	35.50

의 기법들의 성능 비교 및 평가를 위하여 고려된 성능 지표로는 생산량, 생산주기의 평

시킬수 있으나 상대적으로 생산주기의 평균 및 분산과 함께 특정 상한치 초과 Lot의 수

를 급격히 증가시키는 문제점이 발생하게 될 수 있다. 따라서 Wafer Fab. 공정에서의 주요 관리대상인 Bottleneck W/S를 많이 정의한다고 하여 반드시 생산성이 향상되는 것은 아님을 주목할 필요가 있다.

한편, SA ICP와 함께 Dispatching Rule에서 NINQ/M를 채택한 경우 LS, SRPT의 경우와 비교할때 생산주기의 분산 및 특정상한치 초과 Lot의 수가 적어짐을 볼 수 있다. 이는 NINQ/M의 경우 평균 대기중인 Lot의 수에 근거하여 가공대상을 선정함에 따라 Bottleneck W/S보다 Nonbottleneck W/S으로 진행되는 Lot들을 우선적으로 가공되는 반면, LS 및 SRPT의 경우 Bottleneck W/S에서 지나치게 오래 대기하는 경우가 자주 발생하기 때문이다. 이러한 실험 결과에 따라 Hybrid DR에서는 Bottleneck W/S에 불필요한 재공이 쌓이지 않게 하고 Nonbottleneck W/S의 설비 이용율을 향상시킴으로써 생산주기의 분산 및 특정 상한치의 초과 Lot의 수에서도 좋은 결과를 얻을 수가 있었다.

종합적으로 <표 3>에 의하면 본 연구에서 제시된 Hybrid 일정계획의 주요 성능지표들의 통계치를 보면 모든 성능지표에서 평균보다 우수한 것으로 나타나 있는 반면, 다른 세 나리오의 경우 최대 3개의 성능지표에서만 평균보다 우수한 것으로 나타나 있다. 특히 반도체 생산공정에서 가장 중요한 성능지표인 수율과 밀접한 관계를 가진 생산주기의 분산 및 특정 상한치를 초과하는 Lot의 수에서는 만족할 만한 결과를 보여주고 있다. 이러한 결과로부터 본 연구에서 제시된 Hybrid 일정계획이 Wafer Fab. 공정의 생산성을 크게 향상시킬 수 있는 효율적인 기법이라 결론

지을 수 있다.

## 5. 결론 및 추후 연구 방향

본 연구에서는 반도체 Wafer Fab. 공정의 생산 일정계획을 위한 효율적인 기법을 제안하였다. 제안된 Hybrid ICP와 Hybrid DR은 단일 성능지표에 의거한 기존의 기법들의 단점을 보완하고 새로운 요소들을 고려하여 공정상태에 따라 적용되는 새로운 기법으로서 4절의 수치실험의 결과에서 보는 바와 같이 Wafer Fab. 공정의 생산성을 크게 향상시키고 있다.

앞으로 본 연구의 결과를 기초로 하여 반도체 생산공정의 성능 향상을 위한 지속적인 연구가 수행되어야 한다. 특히 단일품목을 다 품목으로 확대하여 각 품목마다 가공시간 및 가공경로 등이 달라지는 경우, 여러 Lot이 동시에 가공되는 Batch 공정이 포함되는 경우 등 현실적인 Wafer Fab. 공정에서의 효율적인 생산일정계획 기법을 개발하기 위한 연구가 현장에서 요구되고 있다. 동시에 반도체 생산공정에서 가장 중요한 요소인 수율을 비롯하여 설비의 고장, Rework 등 예상하지 못하는 공정의 상태 변화에 대하여 효율적으로 대처할 수 있는 기법의 개발을 위한 연구도 계속되어야 할 것이다.

## 참 고 문 헌

- [1] J. W. M. Bertrand and J. C. Wortmann, Production Control and Informations Systems for Component-Manufacturing Shops, Elsevier Publishing Company, Amsterdam,

- 1981
- [2] J. E. Dayhoff and R. W. Atherton, "Signature Analysis of Dispatch Schemes in Wafer Fabrication", IEEE Trans. on Component, Hybrids, and Manufacturing Technology, Vol. CHMT-9, No. 4, 518-525, Dec. 1986.
- [3] B. Ehteshami, R. G. Petrakian and P. M. Shabe, "Trade-Offs in Cycle time Management: Hot Lots", IEEE Trans. on Semiconductor Manufacturing, Vol. 5, No. 2, 101-106, May.1992.
- [4] C. R. Glassey and M. G. C. Resende, "Closed-Loop Job Release Control for VLSI Circuit Manufacturing", IEEE Trans. on Semiconductor Manufacturing, Vol. 1, No. 1, 36-46, Feb. 1988.
- [5] C. R. Glassey and M. G. C. Resende, "A Scheduling Rule for Job Release in Semiconductor Fabrication", Operations Research Letters, Vol. 7, 213-217, Oct. 1988.
- [6] J. J. Golovin, "A Total Framework for Semiconductor Production Planning and Scheduling", Solid State Technology, 167-170, May, 1986.
- [7] S. C. H. Lu and P. R. Kumar, "Control Policies for Scheduling of Semiconductor Manufacturing Plants", ACC/WM11, 1992.
- [8] P. K. Johri, "Practical Issues in Scheduling and Dispatching in Semiconductor Wafer Fabrication," J. of Manufacturing Systems, Vol. 12, No. 6, 474-485, Dec. 1993
- [9] P. O'Neil, "Performance Evaluation of Lot Dispatching and Scheduling Algorithms through Discrete Event Simulation", IEEE/SEMI Int'l Semiconductor Manufacturing Science Symp. 1991
- [10] E. Peyrol, P. Floquet, L. Pibouleau, and S. Pomenech, "Scheduling and Simulated Annealing Application to a Semiconductor Circuit Fabrication Plant" European Symposium on Computer Aided Process Engineering-2, 39-44, 1992.
- [11] M. G. C. Resende, "Weighted Priority Dispatching Rules for Semiconductor Wafer Fabrication", Technical Report, Operations Research Center, University of California, Berkeley, Sep. 1986.
- [12] D. V. Savell, R. A. Perez, and S. W. Koh, "Scheduling Semiconductor Wafer Production: An Expert System Implementation", IEEE Expert, 9-15, Fall, 1989.
- [13] R. Uzsoy, C.-Y. Lee, and L. Martin-Vega, "A Review of Production Planning and Scheduling Models in the Semiconductor Industry, Part I: System Characteristics, Performance Evaluation and Production Planning," IIE Transactions, Vol. 24, No. 4, 47-60, Sep. 1992
- [14] R. Uzsoy, C.-Y. Lee, and L. Martin-Vega, "A Review of Production Planning and Scheduling Models in the Semiconductor Industry, Part II: Shop-Floor Control," IIE Transactions, Vol. 26, No. 5, 44-55, Sep. 1994
- [15] L. M. Wein, "Scheduling Semiconductor

---

Wafer Fabrication", IEEE Transactions on Semiconductor Manufacturing, Vol. 1, No. 3, 115-129, Aug.1988.

Transactions on Semiconductor Manufacturing, Vol. 5, 156-158, 1992

- [16] L. M. Wein, "On The Relationship Between Yield and Cycle Time in Semiconductor Wafer Fabrication," IEEE

---

95년 4월 최초 접수, 95년 7월 최종 수정