

변동계수를 이용한 반도체 결점 클러스터 지표 개발 및 수율 예측*

Development of a New Cluster Index for Semiconductor Wafer Defects
and Simulation-Based Yield Prediction Models

박항엽**, 전치혁***, 홍유신***, 김수영***

Hangyeob Park, Chi-Hyuck Jun, Yushin Hong, and Soo-Young Kim

Abstract

The yield of semiconductor chips is dependent not only on the average defect density but also on the distribution of defects over a wafer. The distribution of defects leads to consider a cluster index. This paper briefly reviews the existing yield prediction models and proposes a new cluster index, which utilizes the information about the defect location on a wafer in terms of the coefficient of variation. An extensive simulation is performed under a variety of defect distributions and a yield prediction model is derived through the regression analysis to relate the yield with the proposed cluster index and the average number of defects per chip. The performance of the proposed simulation-based yield prediction model is compared with that of the well-known negative binomial model.

1. 서론

반도체 생산공정에서의 효율적인 생산관리, 품질관리를 위해서 생산주기(cycle time), 재작업율(rework rate), 공정 변동(process

variability), 공정 재고(WIP), 수율(yield) 등 여러가지 공정 및 품질 지표들이 거론되어 왔다. 이러한 성능 지표중에서 반도체 산업의 성공 여부에 가장 중요한 요소가 수율이라는 것은 논란의 여지없이 받아들여지고 있

* 본 연구는 삼성전자주식회사의 수탁과제에 의하여 지원되었음.

** 삼성전자주식회사 반도체

*** 포항공과대학교 산업공학과

다. 수율 예측 문제는 반도체 공정상의 문제점을 찾아줄 수 있을 뿐만아니라, 수율을 잘못 예측할 경우 주문이상으로 생산되어 여분의 반도체를 폐기처분 해야하거나 주문보다 부족하여 재생산을 해야 하는 상황 등이 발생할 수 있기때문에 공정에의 자재 투입량을 산출하는 하나의 지표로 이용될 수 있는 등 여러가지 측면에서 중요성을 가진다[4, 7].

초기의 반도체 수율 모델은 웨이퍼(wafer) 내의 결점(defect)들이 랜덤하게 분포되어 있다는 가정아래 칩(chip)의 크기와 결점의 밀도를 자료로 연구되었다. 이러한 가정과 모델은 칩의 크기가 상대적으로 작았던 초기에는 대체로 잘 적용되었다. 지난 25년 동안 칩의 크기가 점차로 증가하는 방향으로 전개되어오며 따라 LSI (large scale integration)나 VLSI (very large scale integration)와 같이 상대적으로 칩의 크기가 큰 경우에는 웨이퍼내에 결점들이 모여있는 정도를 나타내는 클러스터 효과(cluster effect)가 설명되어야 보다 정확한 수율 예측이 이루어진다고 알려져 있다[2, 12]. 클러스터는 결점이 모여있는 정도를 말하는데 동일한 결점 밀도하에 클러스터 정도가 클수록 수율이 높게 나타나는 경향이 있다. 따라서 클러스터 효과를 고려하지 않은 초기의 수율 예측 모델을 크기가 큰 칩에 적용하면 수율 예측치가 실제보다 작게 나오게 된다. 이러한 이유에 의하여 수율 예측 모델에 클러스터 정도를 나타내는 클러스터 지표(cluster index)가 설명되는 연구들이 발표되고 있지만 대부분 특정한 클러스터 정도를 가정하거나 제한된 범위의 클러스터를 설명할 수 있을 뿐이다. 따라서 보다 정확한 수율 예측 모델에는 칩의 크기, 결점의 밀도 이

외에 다양한 클러스터 정도를 설명할 수 있는 클러스터 지표가 포함되어야 한다.

본 연구에서는 반도체 수율 예측에 필요한 파라미터 중 클러스터 지표에 중점을 두어 기존의 수율 예측 모델의 문제점을 파악하고, 결점의 위치 데이터(X,Y축 좌표)를 이용하여 다양한 클러스터 정도를 설명할 수 있는 클러스터 지표를 제안하며 시뮬레이션 및 회귀 분석(regression analysis)에 바탕을 둔 수율 예측 모델을 개발하고자 한다.

논문의 구성으로 2절에서는 수율 예측에 영향을 주는 파라미터들에 대해 알아보고, 3절에서는 기존의 수율 예측 모델과 그에 관련된 문제점들을 고찰한다. 4절에서는 웨이퍼상의 결점들의 위치 데이터를 이용한 새로운 클러스터 지표를 제안하고, 5절에서는 시뮬레이션을 통하여 제안한 클러스터 지표의 특징에 대해 알아본다. 또한 시뮬레이션 결과를 바탕으로 한 회귀 분석을 통하여 수율 예측 모델을 구현하고, 가장 많이 이용되고 있는 기존의 NB(negative binomial) 모델과 예측 능력을 비교, 분석해 보고자 한다. 마지막으로 6절에서는 본 연구에 관한 결론 및 추후 연구 방향에 대해 언급한다.

2. 수율 예측과 관련 파라미터

반도체 생산 공정에서 수율이란 하나의 웨이퍼에서 생성될 수 있는 모든 칩에 대한 양품 비율을 뜻한다. 웨이퍼 위의 결점 모두가 불량률의 원인이 되지는 않으며 결점들 중 실제로 불량률의 원인이 되는 것을 fault, 그렇지 않은 것을 non-fault로 분류하기도 한다 [9]. 또한 결점들의 크기가 불량률의 원인이 되기도

하는데, 이는 칩의 종류에 따라 어느 정도 크기 이상의 결점만이 불량률의 원인이 되는 것을 말한다[8]. 따라서 수율 예측은 크게 결점수에 관한 연구, 결점의 크기에 관한 연구로 나뉘어 전개되어왔다. 본 논문은 전자의 경우에 관한 연구이며, 편의상 생성된 결점은 모두가 불량률의 원인이 된다고 가정한다. 칩 단위에서 본다면 수율은 칩에 결점이 하나도 없을 확률이라 볼 수 있고, 수율 예측이란 이러한 확률값을 예측한다고 할 수 있다.

수율에 영향을 줄 수 있는 파라미터로는 우선 결점밀도(defect density)와 칩의 면적을 들 수 있다. 결점밀도란 단위 면적(주로 cm^2)에 대한 평균 결점수로 정의되는데, 이 값이 증가할수록 수율이 감소한다는 사실은 쉽게 알 수 있다. 분석시에는 결점밀도 대신에 웨이퍼에 생성된 총 결점수가 이용되기도 한다. 또한 결점밀도가 같더라도 칩의 면적이 증가할수록 수율은 낮아지게 된다.

또 다른 중요한 수율의 파라미터는 클러스터의 정도를 설명하는 지표이다. 클러스터는 결점이 덩어리져 있는 정도를 말하며, 클러스터가 수율에 미치는 영향은 <그림 1>을 통해 설명될 수 있다.

<그림 1>에서 a), b)의 두 웨이퍼 위의 결점수는 동일한데, a)의 경우는 결점이 비교적 균일한 반면, b)의 경우는 결점이 약간씩 덩어리져 있음을 보여주고 있다. 확률 측면에서 본다면, a)의 경우는 결점들 서로가 독립되어 있다고 볼 수 있고, b)의 경우는 결점들 사이에 서로 상관관계(correlation)가 존재한다고 할 수 있다. 칩의 크기가 작은 경우는 이러한 두 웨이퍼의 수율이 비슷하지만,

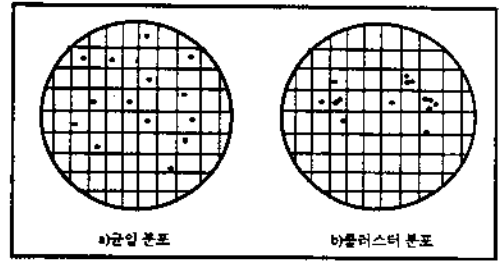


그림 1. 클러스터 효과

그렇지 않은 경우는 하나의 칩에 여러 개의 결점이 들어갈 수 있는 가능성이 많아지므로 b)의 경우 수율이 더 크게 된다는 것을 알 수 있다. 따라서 수율 예측을 위해서는 이러한 클러스터 효과가 설명되어야 하고, 결점의 클러스터 정도를 정량화할 수 있는 클러스터 지표가 필요하다.

3. 기존의 수율 예측 모델 및 문제점

이 절에서 이용되는 기호의 의미는 다음과 같다.

- D : 결점밀도 ($\#/cm^2$)를 나타내는 변수
- D_0 : 결점밀도의 평균
- A : 칩의 면적(cm^2)
- X : 칩 하나의 결점수 (확률변수)
- Y : 수율
- $f(\cdot)$: 결점밀도의 확률밀도함수

대표적인 수율 예측 모델로 다음과 같은 다섯가지를 들 수 있는데, 이들에 대한 간략한 소개와 문제점을 언급하고자 한다.

Poisson 모델

Poisson 모델[3]은 반도체에서 칩의 크기

가 상대적으로 작았던 초기에 많이 이용되었던 수율 예측 모델이다. 결점밀도의 평균 D_0 가 주어질 때, 칩 당 결점수 X 는 Poisson 분포를 따른다고 가정한다. 즉, 다음과 같은 식을 따르게 된다.

$$P\{X=k\} = \frac{e^{-D_0A} (D_0A)^k}{k!}, \quad k=0, 1, 2, \dots$$

따라서 Poisson 모델의 경우 수율은 다음과 같이 표현될 수 있다.

$$Y_{Poisson} = P\{X=0\} = e^{-D_0A}$$

이러한 Poisson 모델은 웨이퍼 내에 결점이 랜덤하고 서로 독립으로 분포되어 있다는 가정때문에, 칩의 면적이 작은 경우에는 비교적 좋은 예측을 하지만, 큰 경우에는 실제 수율보다 낮게 예측(underestimate)하는 단점을 가지고 있다.

Murphy 모델

Murphy 모델[11,15]은 결점밀도가 일정한 값(상수)으로 주어진다는 Poisson 모델과는 달리 칩과 칩, 그리고 웨이퍼와 웨이퍼 사이에서 확률적으로 변할 수 있다는 가정아래 이룩되었다. 결점밀도를 확률밀도함수 $f(\cdot)$ 를 가지는 확률 분포로 취급하여, 주어진 결점밀도에 대해서는 Poisson 모델과 같은 예측을 하도록 수율 모델을 만들었다. 즉 결점밀도가 D_0 일 때 수율은 다음과 같다.

$$P\{X=0|D=D_0\} = e^{-D_0A}$$

Murphy는 $f(\cdot)$ 를 D_0 를 평균으로 하는

Gaussian 분포를 채택하여 수율 식을 다음과 같이 제시하였다.

$$Y_{Murphy} = \left(\frac{1 - e^{-D_0A}}{D_0A} \right)^2$$

이러한 Murphy의 모델은 결점수가 확률적으로 변할 수 있다는 가정을 처음으로 도입한 것이며, 클러스터 지표가 정량화되지는 않았지만 결점밀도의 확률 밀도 함수 $f(\cdot)$ 에 따라 클러스터의 효과를 어느 정도 설명할 수 있다는 점에서 의의가 있다고 할 수 있다.

Seeds 모델

Seeds[14]는 앞서 언급한 Murphy의 가정을 바탕으로 결점밀도에 대한 확률 분포를 평균 D_0 를 가지는 지수 분포(exponential distribution)로 설정하여 다음과 같이 수율을 표현하였다.

$$Y_{Seeds} = \int_0^{\infty} e^{-yA} f(y) dy = \int_0^{\infty} e^{-yA} (1/D_0) e^{-y/D_0} dy = \frac{1}{1+D_0A}$$

Seeds 모델은 비교적 분산이 큰 지수 분포를 결점밀도에 대한 분포로 사용함으로써 클러스터 정도가 매우 강할때 적절한 것으로 평가되고 있다. 그러나 역시 클러스터 지표라는 정량화된 수치가 없으므로 다양한 클러스터에 대해서는 설명이 불가능하다.

Dingwall 모델/Moore 모델

Dingwall[5]과 Moore[10]는 결점밀도에 대한 분포의 가정없이 결점밀도의 평균 D_0 를 알때, 특정한 반도체 공장의 칩을 대상으로, 최소 오차 자승법(least square method)를 이용하여 실제 수율에 가장 잘 부합하는 수율

예측 모델을 다음과 같이 각각 제시하였다.

$$Y_{Dingwell} = (1 + \frac{D_0 A}{3})^{-3},$$

$$Y_{Moore} = e^{-\sqrt{D_0 A}}$$

Dingwall과 Moore의 모델 역시 특정한 클러스터 정도에만 적합할 뿐 다양한 클러스터 패턴을 가지는 일반적인 수율 예측에는 부적합함을 알 수 있다.

NB(Negative Binomial) 모델

NB 모델[3]은 클러스터 효과를 수치적으로 설명하는 파라미터가 처음으로 도입되어 타 모델에 비해 설득력이 있고 비교적 큰 면적의 칩에도 효과적으로 적용된다는 점에서 널리 쓰여지고 있다. NB 모델에서의 결점밀도의 분포는 다음과 같이 기대치가 D_0 인 감마 분포(gamma distribution)로 가정하고 있다.

$$f(y) = \frac{1}{\beta^\alpha \Gamma(\alpha)} y^{\alpha-1} e^{-y/\beta}, y \geq 0$$

여기서 $\alpha\beta = D_0$ 이며, 수율은 다음과 같다.

$$Y_{NB} = (1 + \frac{D_0 A}{\alpha})^{-\alpha}$$

이 모델이 NB 모델이라 불리는 것은 칩 당 결점수가 음이항(negative binomial) 분포를 따르기 때문이다. 이 모델에서 α 가 클러스터 파라미터로 이용되는데, α 의 값이 작을수록 많은 클러스터를 가지게 된다. NB 모델은 앞에서 언급한 대부분 모델들을 포함하는 일반적인 모델로 간주할 수 있다. 즉 $\alpha =$

∞ 일 때는 Poisson 모델이 되며, $\alpha=1$ 일 때는 Seeds 모델, 그리고 $\alpha=3$ 일 때는 Dingwall 모델이 된다.

NB 모델에서 α 는 칩 단위에서의 결점수를 자료로 하여 적률법(method of moment)을 이용하여 추정된다. 즉 결점수의 평균을 \bar{x} , 결점수의 표본분산을 s^2 라 할 때,

$$\bar{x} = E(X) = \alpha\beta, s^2 = Var(X) = \alpha\beta(\beta+1)$$

의 관계로부터 α 는 다음과 같이 추정된다.

$$\hat{\alpha} = \bar{x}^2 / (s^2 - \bar{x})$$

그러나 NB 모델에서의 클러스터 지표인 α 에는 몇가지 문제점이 있다. 첫째, 적률법을 이용하여 α 를 추정할 때 그 값이 음이 될 수 있다는 것이다. NB 모델에서는 항상 α 가 0보다 커야 하므로, 이 경우에는 모델의 적용이 불가능하다. 이러한 경우는 웨이퍼내의 결점들이 균일한 형태에 가까울수록 잘 발생한다. 둘째, NB 모델의 α 는 칩 하나당 결점수를 자료로 이용하므로 칩의 면적에 따라 α 의 값이 달라질 수 있다.

4. 변동계수를 이용한 클러스터 지표의 개발

궁극적으로 α 와 같은 클러스터 지표를 이용하는 이유는 기존의 칩에 대한 자료를 바탕으로 새로운 칩, 즉 기존의 칩과는 면적이 다른 칩에 대한 수율 예측을 하기 위함이다. 즉 클러스터 지표는 칩의 면적과는 무관(independent)해야 한다. 본 연구에서는 웨이퍼 상의 결점 위치 데이터를 이용하여 칩의 면적과 무관한 새로운 클러스터 지표를 제시

하고자 한다. 그림 2는 웨이퍼 내의 결점들을 X, Y축에 투영시킨 결과를 보여주고 있다. 웨이퍼 상의 결점의 분포에 따라 대략 4가지 형태로 나누어 볼 수 있는데, 그림 a)의 경우는 결점이 균일하게 분포되어 X, Y 양축 모두에 결점이 띄엄띄엄 투영되어 있다. 그림 b)와 c)에서는 결점이 어느 정도 균일하게 분포되어 있음에도 불구하고 X, Y중 어느 한 축에는 결점이 밀집되어 있다. 즉 이 경우 투영된 결점이 밀집되지 않은 축의 간격이 실제 웨이퍼에서의 클러스터 정도를 보다 잘 나타낸다고 볼 수 있다. 마지막으로 그림 d)에서처럼 클러스터가 발생하는 경우는 X, Y축 양쪽 모두에 밀집된 결점의 형상이 나타나는 특징을 보인다. 따라서 일반적인 경우에서 클러스터 정도를 제대로 나타내기 위해서는 X, Y 양축중 밀집도가 작은 축의 결점 간격을 이용해야 할 것이다.

본 논문에서는 X, Y 양축에 투영된 결점 간격의 자료를 바탕으로 변동 계수(coefficient of variation)의 제곱을 이용하여 다음과 같은 CI를 클러스터 지표로 제시하고자 한다.

$$CI = \min[(X\text{축 간격의 분산})/(X\text{축 간격의 평균})^2, (Y\text{축 간격의 분산})/(Y\text{축 간격의 평균})^2]$$

변동계수의 특성상 큰 값일수록 결점 간격의 산포가 큼을 나타내고 따라서 큰 밀집도를 대표할 수 있을 것이다. 이와 같은 변동계수의 제곱은 통신 분야에서 교환기에 도착되는 정보 단위의 밀집도를 나타내는 지표(이를 burstiness라 함)로 사용되기도 한다 [13].

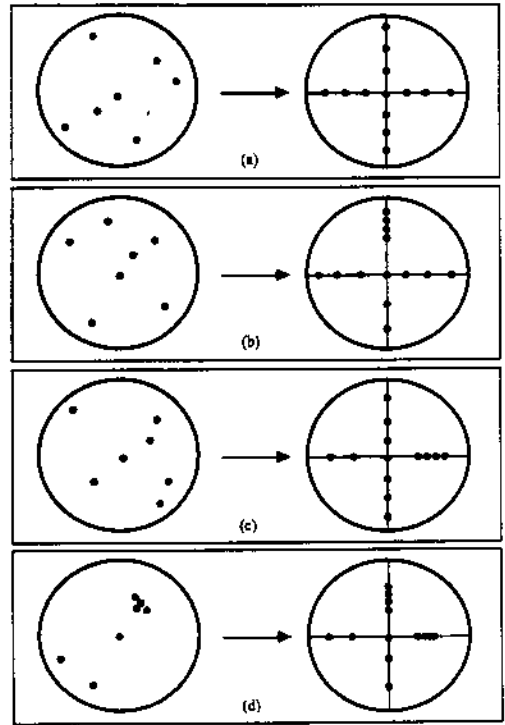


그림 2. 결점 위치의 X, Y 축 값

참고로 그림 3과 같이 단일 축(X 축)에 랜덤하게 결점이 분포된 경우만을 고려하여 이론적으로 CI 값을 산출하여 보자.

본 절에서 쓰이는 용어의 정의는 다음과 같다.

- n : 총 결점수
- X_i : 결점의 위치, $i=1,2,\dots,n$
- $X_{(i)}$: i번째 결점의 위치, $i=1,2,\dots,n$,
- $X_{(0)} = 0$
- $Z_{(i)}$: (i-1)번째와 i번째 결점 사이의 간격
($= X_{(i)} - X_{(i-1)}$), $i=1,2,\dots,n$

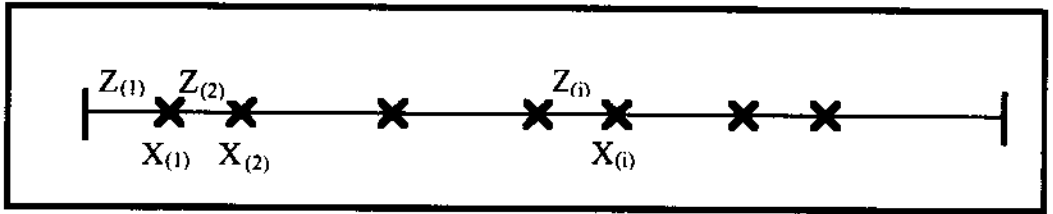


그림 3. X축 상의 결점 위치

n개의 결점 위치 X_i 를 0와 k사이 값을 가지는 균일 분포로 가정할때 ($X_i \sim^{iid} \text{Uniform}(0,k)$), $X_{(0)}$ 는 임의의 모수 λ 를 가지는 지수 분포를 따르는 확률 변수 E_i 를 이용하여 다음과 같이 나타낼 수 있다.

$$X_{(i)} = k \frac{E_1 + E_2 + \dots + E_i}{E_1 + E_2 + \dots + E_{n+1}}$$

따라서 (i-1)번째와 i번째 결점 사이의 간격 $Z_{(i)}$ 의 분포는 감마분포를 이용하여 베타 (Beta) 분포로 표현할 수 있다.

$$Z_{(i)} = X_{(i)} - X_{(i-1)} = k \frac{E_i}{E_1 + E_2 + \dots + E_{n+1}} \\ \sim k\text{Beta}(1,n)$$

위의 식은 i에 상관없이 결점 사이의 간격은 동일한 베타 분포를 가짐을 보여 준다.

베타(1,n) 분포의 평균과 분산을 이용하여 균일 분포에 대한 X축상의 클러스터 지표 CI를 구하면 다음과 같다.

$$CI = \text{Var}[Z_{(i)}] / E^2[Z_{(i)}] \\ = \frac{k^2 n \{ (2+n)(1+n)^2 \}}{k^2 \{ 1/(1+n) \}^2} = \frac{n}{n+2}$$

따라서 위의 지표는 결점수 n이 어느 정도

커지면 1에 가까워짐을 의미한다.

결점의 위치가 균일 분포가 아닌 다른 분포인 경우는 분명히 균일 분포에 비해 보다 큰 정도의 클러스터를 보일 것이다. 그러나 이러한 경우 $Z_{(i)}$ 의 분포가 i에 따라 서로 다르므로 CI의 이론적 수치를 구하는 것이 불가능하다. 표 1에는 결점의 위치를 여러가지 분포로 가정하여, 반복 횟수 10회의 시뮬레이션을 통한 X축상의 CI 추정치를 구한 결과가 나타나 있다. 이에 따르면 균일 분포인 경우 CI가 이론적 수치와 비슷하게 n이 클수록 1에 가까워짐을 보여준다. 또한 균일 분포가 아닌 다른 분포인 경우는 CI가 균일 분포에 비해 크다는 것을 보여준다. 즉 균일 분포인 경우 CI가 가장 작다는 전체에 무리가 없음을 알 수 있다.

5. 시뮬레이션 및 수율 예측 모델

본 절에서는 제시한 클러스터 지표 CI와 수율간의 관계를 알아보기 위하여 여러가지 형태의 클러스터를 가정한 후 웨이퍼 내에 직접 결점을 생성하는 시뮬레이션을 수행한 후, 4절에서 제시한 클러스터 지표를 산출하고 시뮬레이션의 결과 자료를 바탕으로 회귀 분석을 실시하여 수율 예측 모델을 구현한다.

표 1. 결점의 위치 분포에 따른 시뮬레이션에 의한 CI 추정치

n	분포			
	U(0,1)	Exp(0.1)	G(2,0.1)	G(5,0.1)
50	0.913	6.116	3.398	3.021
100	0.961	9.755	4.391	4.447
200	1.015	15.706	9.051	6.847
300	0.989	16.913	11.835	10.666

U(0, 1) : 0과 1사이의 uniform distribution

Exp(λ) : 기대치가 $1/\lambda$ 인 지수 분포

G(α, β) : 기대치가 α/β 인 감마 분포

5.1 시뮬레이션 계획

클러스터 지표는 웨이퍼 내 결점의 위치 분포에 따라 결정되므로 여러 클러스터 형태를 가정하여 주어진 칩의 크기에 결점을 생성시키는 시뮬레이션을 수행하도록 한다.

표 2에는 면적 200x200인 웨이퍼에 대해, 시뮬레이션을 행할 칩의 면적과 총 결점수 및 칩 당 결점수에 대한 20가지 수준을 나타내고 있다. 분석이 용이하도록 웨이퍼는 정사각형으로 가정한다.

그림 4에는 표 2에 나타난 칩의 크기와 결점수의 20가지 수준 각각에 대해 시뮬레이션이 수행될 33가지의 클러스터 패턴을 보여주고 있다. 그림 4의 (a)는 결점이 균일하게 분포되어 있는 경우이다. (b)~(e)는 50x50 크기의 여러 까만 부분에 주어진 총 결점수의 20%를 우선 위치시키고, 나머지 결점수를 다시 전체에 균일하게 위치시킴으로써 까만 부분의 수에 따라 클러스터의 정도가 다르도록 하였다. (f)~(i)는 (b)~(e)의 경우보다 클러스터 정도가 높도록 10x10 크기의 까만 부분에 대해 위의 과정을 되풀이한다. 그리고

표 2. 시뮬레이션 계획

수준	칩의 크기	총 결점수	칩 당 결점수
1	20 X 20	20	0.2
2	20 X 20	40	0.4
3	20 X 20	60	0.6
4	20 X 20	80	0.8
5	20 X 20	100	1.0
6	20 X 20	120	1.2
7	20 X 20	140	1.4
8	20 X 20	160	1.6
9	20 X 20	180	1.8
10	20 X 20	200	2.0
11	10 X 10	80	0.2
12	10 X 10	160	0.4
13	10 X 10	240	0.6
14	10 X 10	320	0.8
15	10 X 10	400	1.0
16	10 X 10	480	1.2
17	10 X 10	560	1.4
18	10 X 10	640	1.6
19	10 X 10	720	1.8
20	10 X 10	800	2.0

보다 다양한 클러스터를 가정하기 위해 (b)~(i) 각각에 대해 총 결점수의 30%, 40%, 50%를 주어진 까만 부분에 우선 위치시키는 과정을 되풀이하도록 한다. 따라서 총 클러스터의 패턴은 (a)의 균일한 경우와 (b)~(i) 각각에 대해 4가지 클러스터 정도를 포함한 33가지가 된다.

하나의 까만 부분에 대한 결점들의 위치는 X, Y축 각각에 대해 그 좌표를 균일 분포를

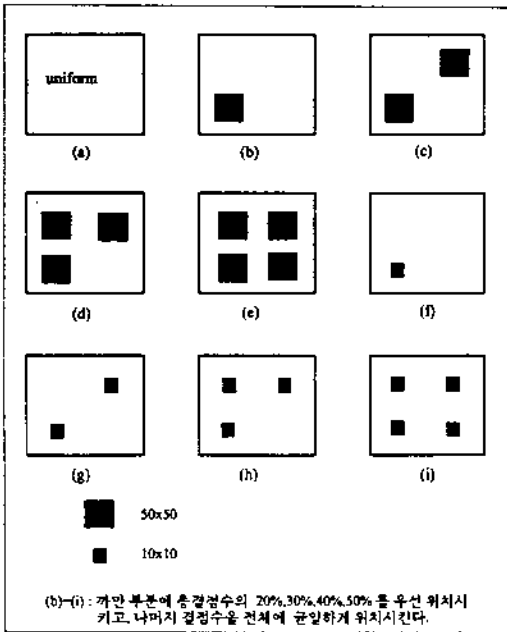


그림 4. 웨이퍼 상의 33가지 클러스터 패턴

이용하여 시뮬레이션으로 생성하였다. 표 2의 칩의 면적과 결점수의 20가지 수준에 대해 각각 33가지 클러스터 형태를 가정하므로 총 처리 수준(treatment)의 갯수는 660(20x33)이며, 이러한 처리 수준에 대해 각각 10회 반복 시뮬레이션을 수행한다. 그리고 시뮬레이션을 통한 결과치의 모든 값은 10회에 대한 평균치로 평가된다.

5.2 클러스터 지표의 비교

제안된 클러스터 지표인 CI의 평가를 위해 NB 모델에서의 지표 α 와 비교하고자 한다. 그림 5에는 660가지 처리 수준으로부터 계산된 두 가지 클러스터 지표의 관계에 대한 그래프가 나타나 있다. NB 모델의 α 의 경우 자료에 따라 값의 범위가 너무 크므로 10이상의 수치는 10으로 나타내도록 한다. 그림 5

에서 나타난 각각의 점은 동일한 클러스터 자료에 대한 두 가지 지표의 값을 보여준다. 앞서 언급한 바와 같이 NB 모델의 α 는 그 값이 작을수록 강한 클러스터를 나타내고, CI의 경우는 그와 반대의 경우를 보인다. 그림 5는 지표의 이러한 관계를 잘 나타내고 있다. 클러스터 정도를 나타내는 수치의 범위가 α 의 경우 상당히 넓은 반면, CI의 경우는 그에 비해서 좁은 것을 알 수 있다. 하지만 클러스터가 존재하는 경우를 본다면 오히려 CI의 경우가 더 넓다는 것을 알 수 있다. α 에 따른 클러스터의 정도는 Cunningham[3]에 의해 제시된 바 있다. 표 3에는 Cunningham이 제시한 클러스터 정도에 따른 α 에 대해 그에 부합하는 CI를 나타내고 있다.

5.3 클러스터 지표와 수율과의 관계

그림 6은 시뮬레이션 결과 자료를 통해 CI와 수율의 관계를 나타낸 그래프이다. 칩당 평균 결점수 1.0 및 1.4에 대한 2가지 그래프는 모두 CI가 증가할수록 실수율이 증가함을 보여주고 있는데, 대체로 CI가 작을 때는 급격한, 클 때는 완만한 증가 추세를 보인다고 할 수 있다. 표 2의 시뮬레이션 계획에 나타난 다른 칩 당 결점수에 대한 그래프도 그림 6과 비슷한 패턴을 나타낸다. 동일한 상황에서 실수율이 크다는 것은 클러스터의 정도가 크다는 것을 의미한다. 따라서 각 그래프에 나타난 형태는 클러스터의 정도가 클수록 CI가 커진다는 전제와 부합하는 결과이다. 이는 본 논문에서 제안한 CI가 클러스터 정도를 표현하는데 의미가 있음을 나타낸다.

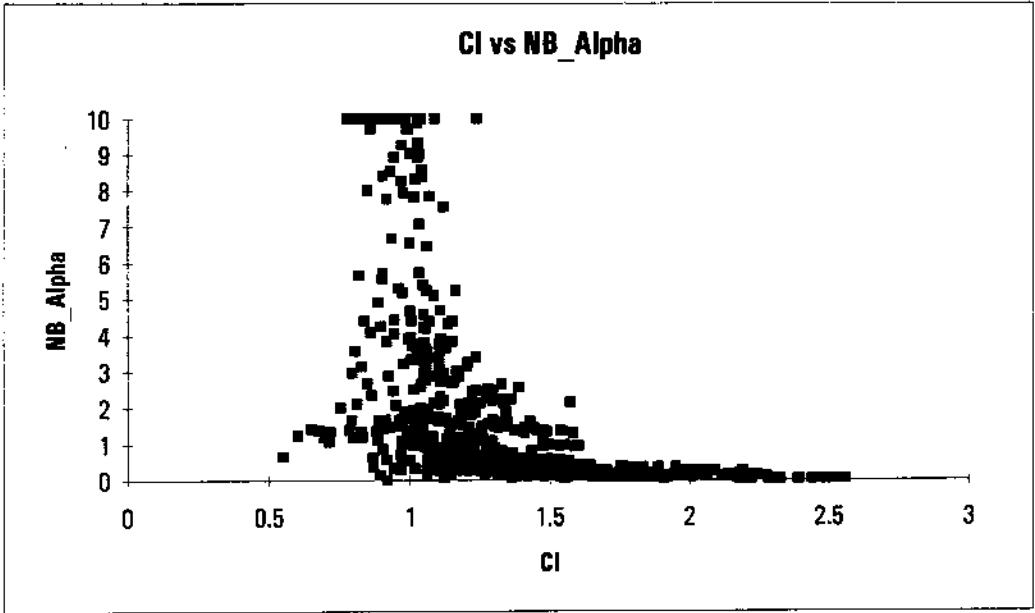


그림 5. NB 모델의 α 와 제안된 CI

표 3. 클러스터 정도에 따른 α 와 CI

클러스터지표 클러스터정도	α	CI
none	10 ~ ∞	0.85 ~ 0.99
some	4.2	1.00 ~ 1.10
more some	3	1.10 ~ 1.25
much	1	1.25 ~ 2.70

5.4 회귀 분석에 의한 수율예측 모델

본 회귀 분석의 목적은 660가지 처리 수준에 대한 시뮬레이션 결과를 바탕으로 CI가 클러스터 정도를 나타내는데 어느 정도의 의미가 있는지와 그를 바탕으로 한 수율 예측식을 유도하기 위함이다. 수율 예측을 다룬 많은 연구에서는 칩의 크기와 결점밀도의 두 수치를 곱한 칩당 평균 결점수(avg.D라 하

자)를 새로운 설명변수로 다루고 있다. 따라서 본 논문에서도 칩당 평균 결점수, 클러스터 지표인 CI의 두 변수를 독립 변수로, 수율을 종속 변수로 하는 회귀 분석을 수행하는데 회귀식의 적합성을 보다 증가시키고 예측 오차를 줄이며, 오차의 정규성을 향상시키고자 독립 변수들의 변환을 시도하였다. 본 연구에서는 그림 7과 같은 avg.D와 수율, CI와 수율간의 관계를 이용한다.

avg.D가 수율에 대해 그림 7의 (a)와 같은 형태를 가진다는 것은 기존의 많은 연구에서 알려진 사실이다[6, 16]. 그리고 본 논문에서 제안된 클러스터 지표 CI가 (b)의 형태를 보이는 것은 시뮬레이션 자료를 근거로 5.3절에서 보인 바 있다. 따라서 이 두 가지 변수에 대해서는 그래프의 형태에 따라 다음의 변환을 시도한다.

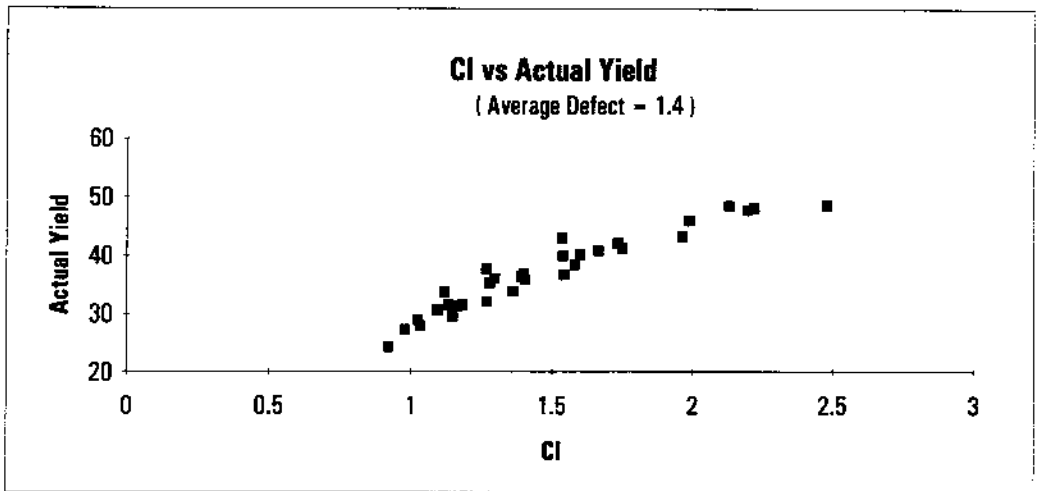
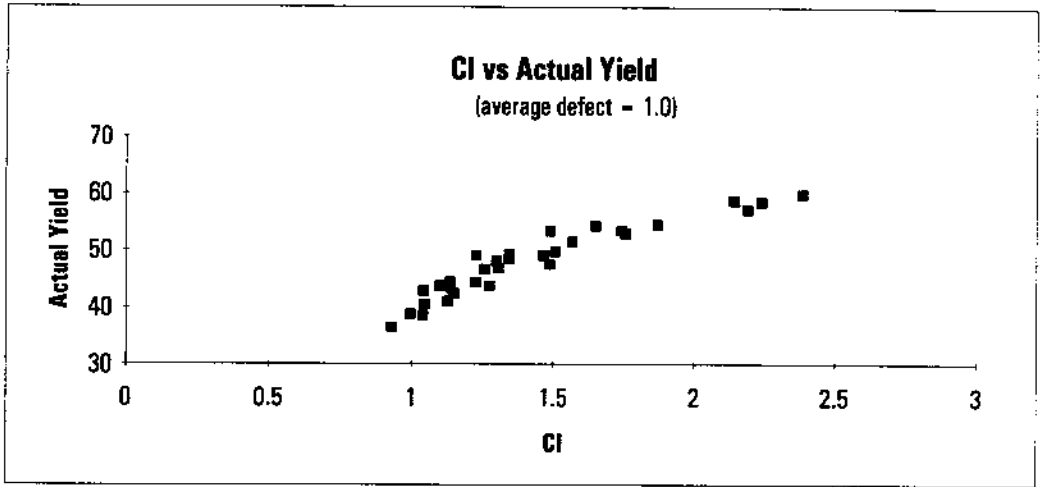


그림 6. CI vs 수율

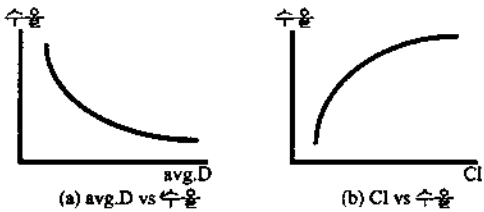


그림 7. avg.D와 CI 에 따른 수율 패턴

혹은 $\log CI$

더 나아가 종속 변수인 수율 Y 를 Y^k 의 형태로 변환하게 되면 예측 오차를 더 줄일 수 있고, 오차의 정규성을 늘릴 수 있는 장점이 있다. 종속 변수의 지수(exponent) k 는 오차 차승합(error sum of squares; SSE)를 최소화 하는 Box-Cox 최적화[1]를 이용하여 구하도

$avg.D' = e^{-avg.D}$ 혹은 $1/avg.D$, $CI' = \sqrt{CI}$

록 한다. 이상의 과정에서 가장 좋은 결과를 보이는 변환된 독립변수는 $e^{-avg.D}$ 와 \sqrt{CI} 였으며 지수 k값에 따른 오차자승합(SSE)은 표 4와 같다.

표 4. Box-Cox 최적화 결과

k	2.0	1.7	1.5	1.4	1.3	1.0	0.5
SSE	6627	4363	3582	3405	3418	4548	11405

표 4를 통해 지수 k가 1.4일때 SSE가 최소가 됨을 알 수 있고, 따라서 최종 선택된 회귀식 및 각 계수들의 t값은 다음과 같다.

$$Y^{1.4} = -251 + 669.24e^{-avg.D} + 213.08\sqrt{CI}, R^2=0.986$$

(-51.44) (217.38) (55.07)

참고로 NB 모델의 경우 SSE는 160023으로 본 모델의 경우보다 47배 크게 나타나고 있다.

5.5 새로운 칩에 대한 수율 예측

본 절에서는 5.4절에서 구현된 수율 예측식을 칩의 면적이 다른 새로운 칩에 대해 적용하여 그 성능을 평가 하고자 한다. 5.4절에서의 수율 예측식은 10x10, 20x20 크기의 칩에 대한 결과이다. 본 절에서는 8x8, 25x25의 면적을 가진 132개의 칩의 자료를 바탕으로 5.4절에서 도출된 수율 예측식에 적용하도록 한다. 아울러 성능의 비교를 위해 NB 모델에 대해서도 수율 예측을 행하도록 한다.

그림 8과 그림 9는 새로운 132개의 칩에 대해 NB 모델과 본 논문에서 제안된 모델의 수율 예측치와 실수율에 대한 그래프 및 성능 수치를 보여 준다. NB 모델의 경우 RMS

(root mean square)가 10.39로 나타났으며 제안된 모델을 이용한 수율 예측치의 RMS는 2.53으로 NB 모델에 비해 그 성능이 매우 우수하고 새로운 칩의 면적에 따른 자료에 대해서도 비교적 잘 적용됨을 알 수 있다.

6. 결론 및 추후 연구 과제

반도체 수율 예측시 웨이퍼 상에 나타나는 결점들의 클러스터 정도는 수율 예측에 많은 영향을 미친다. 반도체 공정을 통해 생성되는 클러스터의 패턴은 다양하다. 따라서 반도체 수율 예측 모델에는 클러스터 정도를 수치로 나타낼 수 있는 지표가 포함되어야 한다. 그러나 기존의 수율 예측 모델들은 대부분 특정한 클러스터를 가정할 뿐 클러스터 정도를 수치로 나타내지 못하고 있다. 기존의 모델중 NB 모델의 경우 클러스터 지표가 포함되어 있으나 칩의 면적에 따라 지표의 값이 달라지고, 클러스터가 적은 경우에는 적용할 수 없는 등 그 자체에 여러가지 문제점을 안고 있다.

본 연구에서는 칩의 면적에 무관하고, 다양한 클러스터 정도를 표현할 수 있도록 웨이퍼 상의 결점 위치 정보를 이용한 새로운 클러스터 지표를 제안하였다. 특정 분포에 대한 이론적 고찰과 시뮬레이션을 통한 자료로부터 제안된 클러스터 지표가 의미 있음을 알 수 있었다. 또한 회귀 분석을 통한 수율 예측식으로부터 기존의 NB 모델과의 예측 능력 비교에서 우수함을 확인할 수 있었다.

실제 반도체 검사장비에서 관측되는 결점은 불량률의 원인이 되는 것과 그렇지 않은 것으로 나뉘는데, 이와같은 상황에서의 수율 예

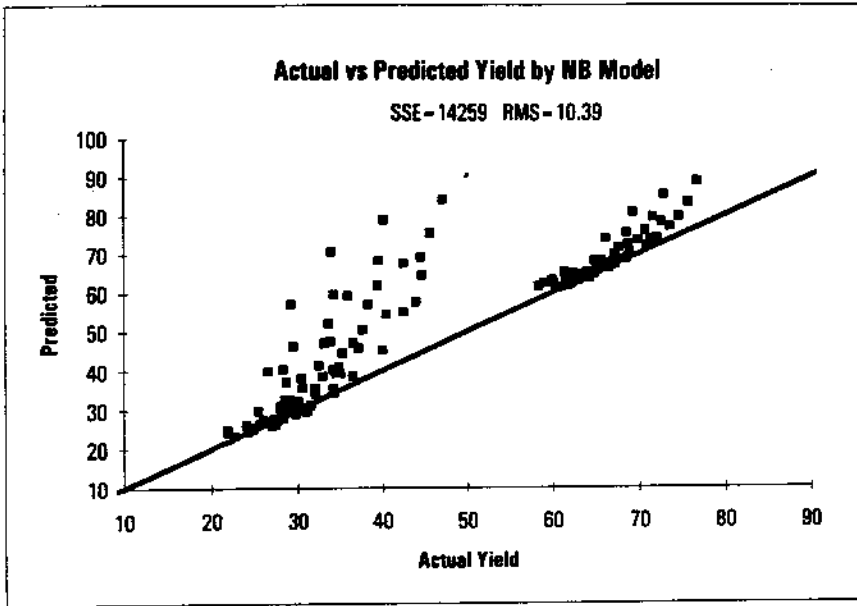


그림 8. 새로운 칩에 대한 실수율 vs NB 모델 예측치

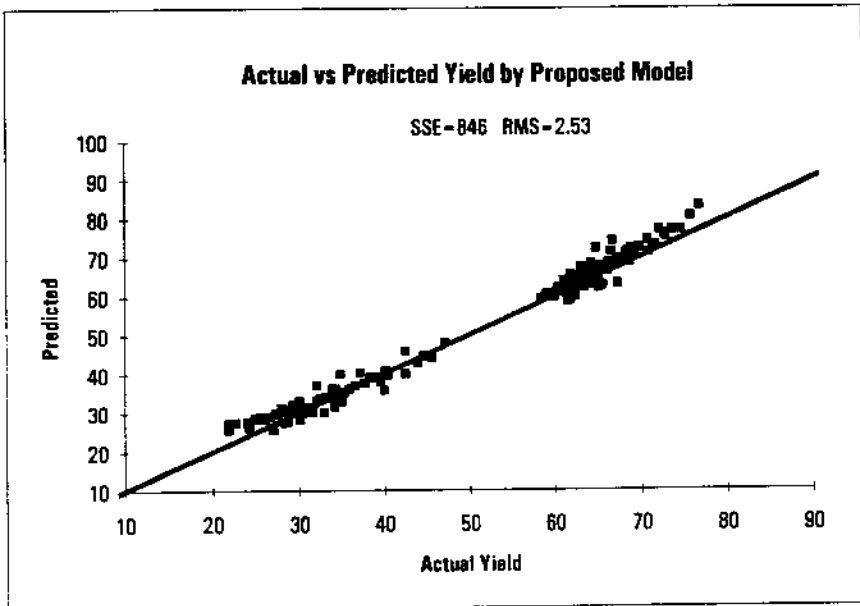


그림 9. 새로운 칩에 대한 실수율 vs 회귀모델 예측치

측 모델 개발에 대한 연구가 요구된다.

참 고 문 헌

- [1] Box, G.E.P. and D.R. Cox, "An Analysis of Transformations", *Journal of the Royal Statistical Society*, B26, pp. 211-243, 1964.
- [2] Collica, R.S., "The Effect of the Number of Defect Mechanisms on Fault Clustering and its Detection Using Yield Model Parameters", *IEEE Transactions on Semiconductor Manufacturing*, Vol. 5, No. 3, pp. 189-195, August 1992.
- [3] Cunningham, J.A., "The Use and Evaluation of Yield Models in Integrated Circuit Manufacturing", *IEEE Transactions on Semiconductor Manufacturing*, Vol. 3, No. 2, pp. 60-71, May 1990.
- [4] Dance, D. and R. Jarvis, "Using Yield Models to Accelerate Learning Curve Progress", *IEEE Transactions on Semiconductor Manufacturing*, Vol. 5, No. 1, pp. 41-46, February 1992.
- [5] Dingwall, A.G.F., "High Yield Processed Bipolar LSI Arrays", presented at the *IEEE International Electron Devices Meeting*, Washinton, D.C., Oct. 1968.
- [6] Ferris-Prabhu, A.V., "A Cluster-Modified Poisson Model for Estimating Defect Density and Yield", *IEEE Transactions on Semiconductor Manufacturing*, Vol. 3, No. 2, pp. 54-59, May 1990.
- [7] Friedman, D.J. and Susan L. Albin, "Clustered Defects in IC Fabrications : Impacts on Process Control Charts", *IEEE Transactions on Semiconductor Manufacturing*, Vol. 4, No. 1, pp. 36-43, February 1991.
- [8] Glang, R., "Defect Size Distribution In VLSI Chips", *IEEE Transactions on Semiconductor Manufacturing*, Vol. 4, No. 4, pp. 265-269, November 1991.
- [9] Koren, I., "A Unified Negative-Binomial Distribution for Yield Analysis of Defect-Tolerant Circuits", *IEEE Transactions on Computers*, Vol. 42, No. 6, pp. 724-733, June 1993.
- [10] Moore, G.E., "What Level of LSI is Best for You?", *Electronics*, Vol. 43, pp. 126-130, Feb. 1970.
- [11] Murphy, B.T., "Cost-Size Optima of Monolithic Integrated Circuits", *Proc. IEEE*, Vol. 52, pp. 1537-1545, Dec. 1964.
- [12] Pukite, P.R., "Defect Cluster Analysis for Wafer-Scale Integration", *IEEE Transactions on Semiconductor Manufacturing*, Vol. 3, No. 3, pp. 128-134, August 1990.
- [13] H. Saito, M. Kawarasaki, and K. I. Sato, "An Analysis of Statistical Multiplexing in ATM Transport Network", *IEEE J. SAC*, Vol.9, pp. 359-367, 1991.
- [14] Seeds, R.B., "Yield and Cost Analysis of Bipolar LSI", presented at *IEEE International Electron Devices Meeting*, Washinton, D.C., Oct. 1967.
- [15] Stapper, C.H., "On Murphy's Yield

Integral”, *IEEE Transactions on Semiconductor Manufacturing*, Vol. 4, No. 4, pp. 294-297, November 1991.

- [16] Tyagi, A., “Defect Clustering Viewed Through Generalized Poisson Distribution”, *IEEE Transactions on Semicon-*

ductor Manufacturing, Vol. 5, No. 3, pp. 196-206, August 1992.

95년 5월 최초 접수, 95년 6월 최종 수정