

소용량 및 대용량의 ATM 시스템에 적합한 스위칭 망의 구성 방안

양 총 렬[†] · 김 진 태^{††}

요 약

우수한 성능의 ATM 스위칭 시스템 개발을 위한 주요 목표가 셀 손실, 셀지연 및 처리율의 저하를 최소화하는데 있으며, 이러한 목적에 가장 적합한 ATM 스위치 소자가 랜덤 액세스 메모리 및 제어 논리에 의해 수행되는 공유 버퍼 메모리 스위치(shared buffer memory switch)이다. 이 스위치는 입력 포트의 수가 증가할 수록 VLSI의 제조가 어렵기 때문에 최근의 소용량 및 대용량의 ATM 스위치는 $8 \times 8, 600\text{Mb/s}$ 또는 $16 \times 16, 150\text{Mb/s}$ 의 단위 스위치를 사용하여 $32 \times 32(4.9\text{Gb/s})$, 150Mb/s 의 스위치를 구현하는 스위치 모듈 방법을 사용하고 있다. 본 논문에서는 단위 공유 버퍼 메모리 스위치의 버퍼 공유에 의한 전체 메모리 감소 효과를 만족하는 버퍼 용량을 해석적으로 평가하고, 트래픽 조건에 따른 셀 손실율을 컴퓨터 시뮬레이션한 결과를 제시하며 또한, 스위치 모듈 방법을 이용하는 소용량 및 대용량 ATM 스위칭 망의 특징을 분석, 이 결과를 바탕으로 현재 각국에서 연구중인 $32 \times 32, 150\text{Mb/s}$ 의 스위치 구조를 제시하며, 궁극적으로 위 주요 목표들을 만족하는 소용량 및 대용량의 ATM 스위칭 시스템을 위한 고속 스위칭 망 구조를 제시한다.

Construction Methods of Switching Network for a Small and a Large Capacity ATM Switching System

Choong-Reol Yang[†] · Jin-Tae Kim^{††}

ABSTRACT

The primary goal for developing high performance ATM switching systems is to minimize the probability of cell loss, cell delay and deterioration of throughput. ATM switching element that is the most suitable for this purpose is the shared buffer memory switch executed by common random access memory and control logic. Since it is difficult to manufacture VLSI(Very Large Scale Integrated circuit) as the number of input ports increases, the use of switching module method that realizes $32 \times 32, 150\text{Mb/s}$ switch utilizing $8 \times 8, 600\text{Mb/s}$ or $16 \times 16, 150\text{Mb/s}$ unit switch is latest ATM switching technology for small and large scale. In this paper, buffer capacity satisfying total-memory-reduction effect by buffer sharing in a shared buffer memory switch are analytically evaluated and simulated by computer with cell loss level at traffic conditions, and also features of switching network utilizing the switching module methods in small and large-capacity ATM switching system is analyzed. Based on this results, the structure in outline of $32 \times 32(4.9\text{Gb/s}$ throughput), 150Mb/s switches under research in many countries is proposed, and eventually, switching-network structure for ATM switching system of small and large and capacity satisfying with above primary goals is suggested.

† 정 회 원: 한국전자통신연구소 신호서비스연구실 선임연구원

†† 정 회 원: 한국전자통신연구소 신호서비스연구실 실장
논문접수: 1995년 8월 13일, 심사완료: 1996년 4월 22일

1. 서론

ATM(Asynchronous Transfer Mode)은 B-ISDN(Broadband Integrated Service Digital Network)에서 전화 음성, 데이터 및 동 영상(motion video)같은 다양한 트래픽 조건의 폭 넓은 서비스를 제공하기 위한 기술로서, B-ISDN의 전송 속도가 150Mb/s 이상을 요구하기 때문에 고속의 하드웨어 스위치가 필요하고, 다양한 사용자 정보 소스의 통계적 다중화가 요구되기 때문에 셀 버퍼링이 필요하다. 따라서 이러한 ATM 교환기 시스템을 개발하기 위한 주요 파라미터는 크게 세가지 즉, ATM 스위치, 스위칭 망 및 제어 장치로 꼽을 수 있다.

현재 각국의 ATM에 사용되는 공유 버퍼 메모리 스위치는 대부분이 8×8 , 600Mb/s 또는 16×16 , 150Mb/s의 단위 스위치이며 이를 기본으로 하여 32×32 , 64×64 또는 128×128 등의 단위 보드의 성장(growing)스위치 모듈을 구성하여 중소 용량 및 대용량의 ATM 시스템을 구현하고 있기 때문에 시스템에서 스위칭 부분이 차지하는 공간이 비경제적인 요소로 작용하고 있다.

소용량 스위칭 망의 경우 1단에서 최단 경로를 제공하며 비교적 큰 처리율을 가지면서 경제적 구축이 용이한 점 때문에 많이 채택되어 왔으나, 대용량으로 갈수록 망 내부의 셀 손실이 문제가 되고 시스템 하드웨어 공간이 커지므로 경제성이 있는 시스템을 구현하기가 어려워져 날로 급증하는 다양한 서비스의 트래픽을 수용하기 위한 요구가 더해감에 따라 우수한 성능의 시스템의 개발 및 성장성을 고려한 시스템의 필요성이 요구되었다.

현재 설계 가능한 스위치 기술은 64×64 , 150Mb/s 스위치 용량까지 가능한 것으로 알려져 있지만 실제적으로 32×32 이상의 단위 스위치는 입력 포트 수의 증가할수록 물리적 제한 때문에 VLSI의 제조가 어려워 현재 이에 대한 연구가 각국에서 활발히 진행되고 있으므로 멀지 않아 0.5 μ m 이상의 CMOS 반도체 기술에 의해 32×32 , 150 Mb/s 또는 600Mb/s 이상의 고성능 단위 ATM 스위치 개발이 이루어질 것으로 보이며 따라서 앞으로 도래할 다양한 가입자 요구에 부응하는 멀티미디어 서비스를 위하여 ATM 기반 LAN 등의 경제성 있는 ATM 스위칭 망이 크게 발전

할 것으로 전망된다.

고성능 ATM 스위칭 망을 구성하기 위하여 첫째로 우수한 셀 손실율과 트래픽 특성 및 높은 성장성을 갖는 고속의 공유 버퍼 메모리 메커니즘, 둘째로 내부 스위칭 망의 링크 고속화, 그리고 셋째로 성장 가능한 스위칭 모듈 방식의 비충돌 스위칭 망의 세 가지 개념을 도입하고자 한다.

앞에서 서술한 ATM 시스템 요건에 가장 적합한 ATM 스위치로서 출력 큐잉이면서 메모리 공유형이며 우수한 트래픽 특성과 쉽게 집적화 할 수 있는 잠재성 그리고 셀 손실 성능이 특히 우수한 특징을 가지고 있는 공유 버퍼 메모리 스위치(shared buffer memory switch)이다.

위 세 가지 설계 개념을 만족하는 2단 폴드(folded) 망 구조의 소용량 ATM 스위칭 망과, 중간 스위칭 단을 통하여 스위칭 필요조건을 만족시키는 3단 크로스 망 또는 2단 폴드 망 구조의 대용량 스위칭 망을 각각 제시한다. 소용량의 스위칭 망은 8×8 또는 16×16 단위 ATM 스위치를 이용하여 고속의 성장이 용이한 방법으로 구성하며, 1,024 \times 1,024 이상의 대용량 스위칭 망을 구성하기 위하여 32×32 이상의 단위 ATM 스위치 또는 스위칭 모듈을 이용하여 역시 고속 및 성장이 용이한 방법으로 구성한다.

스위칭 망에서 2배 이상의 내부 링크 수를 제공하는 비충돌(non-blocking) 망을 구성하여 내부 링크의 충돌 즉, 경로의 폭주를 해소하고, 동시에 훌륭한 링크 자원 할당 능력을 부여하여 다양한 사용자 정보의 통계적 다중화가 가능하게 한다.

본 논문의 구성은 2장에서 ATM 스위칭 시스템 개발을 위한 주요 목표를 정리하고 기존 ATM 스위치 구조 및 대용량을 위한 32×32 스위치 구조를 제시하였고, 3장에서는 기존 ATM 스위칭 망 구성 방법과 그 장단점을 분석하여 그 결과를 토대로 한 스위칭 망 내부의 링크 고속화 방안을 제시하였으며, 4장에서는 32×32 스위치를 적용한 소용량과 대용량 ATM 시스템에 적합한 스위칭 망 구조를 제시하였고, 끝으로 5장에서는 결론 및 향후 연구 과제에 대하여 서술하였다.

2. 관련 연구

보다 우수한 셀 손실, 셀 지연 및 처리율등의 성능을 고려한 ATM 교환기의 스위치 부 설계 시에 우선 시스템의 성능을 좌우할 만큼 중요한 역할을 하는 단위 스위치 구조를 고찰해 볼 필요가 있다. 이에 따라 본 장에서는 먼저 시스템 설계 요구 조건을 체계화하고, 이어서 공유 버퍼 메모리 스위치 특성 및 기술 동향과 대용량 스위칭 망에 적합한 스위치 구조를 살펴본 다음, 이를 기반으로 소용량 및 대용량의 ATM 교환기에 적합한 스위칭 망을 제시한다.

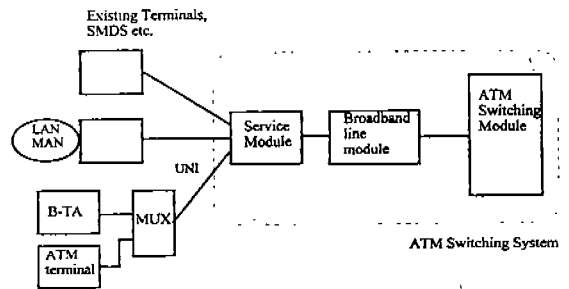
2.1 시스템 설계 요구 조건

최적의 ATM 스위칭 시스템을 구성하기 위해서 다음 설계 요구 조건^{1),3)}을 채택한다. 즉,

- 1) 시스템은 동일 스위칭 망에서 셀프 라우팅 개념을 채택하여 교차 접속(cross-connection) 및 광대역 서비스가 가능하여야 한다.
- 2) 큐잉 방식을 채용하여 시스템 설계 목표에 따라 최적의 셀 손실, 지연 및 처리율을 구현하여야 한다.
- 3) 시스템 용량 성장 또는 대용량 시스템으로 전환할 때 시스템 트래픽 특성이 달라지므로 스위치 제어 방식이 적절히 변경될 수 있어야 한다.
- 4) 신호 및 호 처리 구조는 다양한 트래픽을 수용할 수 있는 구조이어야 한다.
- 5) 시스템은 가입자 수요 증가를 쉽게 수용할 수 있도록 가입자 회선 및 스위칭 용량 증가 시, 내부 보드 구조 및 기존 케이블의 변경 없이 보드 단위로 성장이 가능하여야 하고, 성장 후에는 신뢰도 필요조건 뿐만 아니라 성능 저하를 초래하지 않아야 한다.
- 6) 기존 액세스 시스템과 망, 그리고 여러 서비스 기능들과 상호 접속이 용이하여야 하며, 기능 블록 간 인터페이스는 가능한 각 블록이 독립적으로 개선 및 성장이 되도록 융통성이 있어야 한다.
- 7) 소수의 가입자에게도 서비스가 가능하도록 경제성있는 최소 단위 구조로 설계되어야 한다.

(그림 1)은 위 ATM 시스템 요구 조건을 만족하는 기본 구조⁴⁾로서 대용량 시스템 구성 시에는 광대역 회선 모듈(broadband line module)의 ATM 스위치가 집선단이 되고, ATM 스위칭 모듈이 분배단이 되며,

ATM 스위칭 모듈의 포트 수는 트래픽 규모와 광대역 회선 모듈의 수에 따라 증가한다. 서비스 모듈은 SMDS(Switched Multi-megabit Data Services), 기존 망 및 원격 집선 장치와 인터페이스하고, 제어 장치는 프로세서 구조에 따라 분산 처리식과 중앙 집중식의 두 종류로 구분하고, 분류 분산 처리식은 광대역 회선 모듈에 호 처리 기능을 채용하여 회선 모듈 수가 증가해도 처리 성능에는 영향을 미치지 않는 특징을 가지므로 소형 ATM 시스템에 적용되고, 중앙 집중식 시스템 구조는 제어 논리가 간단하고 프로세서 간 통신이 불필요한 특징을 가지므로 대형 ATM 시스템에 적용된다.



(그림 1) ATM 시스템 기본 구조
(Fig. 1) Basic ATM switching system structure

2.2 ATM 스위치 특성 및 동향

ATM 스위치는 불과 수년 전에 비해 보다 빠르고 복잡한 회로 설계가 가능한 기술로의 진전이 급속히 이루어 지고 있으며, 버퍼의 위치에 따라 스위치 입력 포트에 버퍼가 있는 입력 큐잉 버퍼 스위치, 스위치 출력 포트에 버퍼가 있는 출력 큐잉 버퍼 스위치, 스위치 중앙에 버퍼가 있는 공유 버퍼 메모리 스위치 및 Buffered Banyan Switch등이 있다. ATM 스위치는 보통 수십 또는 수백 회선까지 성장성이 요구되며 이는 스위치 LSI(Large Scale Integrated circuit) 기술에 크게 좌우된다. 스위치 LSI를 위한 반도체 기술^{5),9)}은 바이폴라(bipolar), CMOS 및 BiCMOS, GaAs(Gallium Arsenide)가 있는데, 바이폴라 기술은 높은 전력 소모를 요구하는 대신 매우 좋은 구동 능력을 갖고 높은 주파수와 고온에 동작하고, CMOS 기술은 고속 응용에 잘 사용되지 않고 드라이버 용량에 제한이 있기는

하지만 집적도가 높고 단순하며 적은 소모 전원이 요구되는 등 매우 좋은 성질을 갖는 기술로서 1991년에 1~1.2 μ m CMOS(0.8ns gate delay) 수준에서 1995년에는 0.5 μ m CMOS(0.4ns gate delay)수준으로 발전되어 150Mb/s 속도와 높은 처리율을 요구하는 곳에 주로 이용되고 있으며, GaAs는 초고속 응용에 가장 적합하지만 많은 내부 메모리를 갖는 경우에는 잘 사용되지 않는다. 그리고 바이폴라와 CMOS를 절충한 BiCMOS 기술이 있는데 이는 고속의 I/O 인터페이스는 바이폴라에 의해 수행하고 큰 용량의 버퍼는 CMOS로 가능하기 때문에 중간 속도의 응용, 높은 집적도, 적은 전원 소모 등에 유리하다. 그 밖에 부분적 공유 메모리 버퍼 방식의 스위치가 있으며 이 스위치는 버퍼 메모리의 공유 측면에서 칩 구현이 용이한 공유 메모리 구조의 장점에 메모리 액세스 시간 측면에서 스위칭 속도 상의 문제가 개선되는 장점을 조합한 방식으로 많이 연구되고 있으나 필요 버퍼 메모리 문제가 크게 개선되지 않는 방식이다.

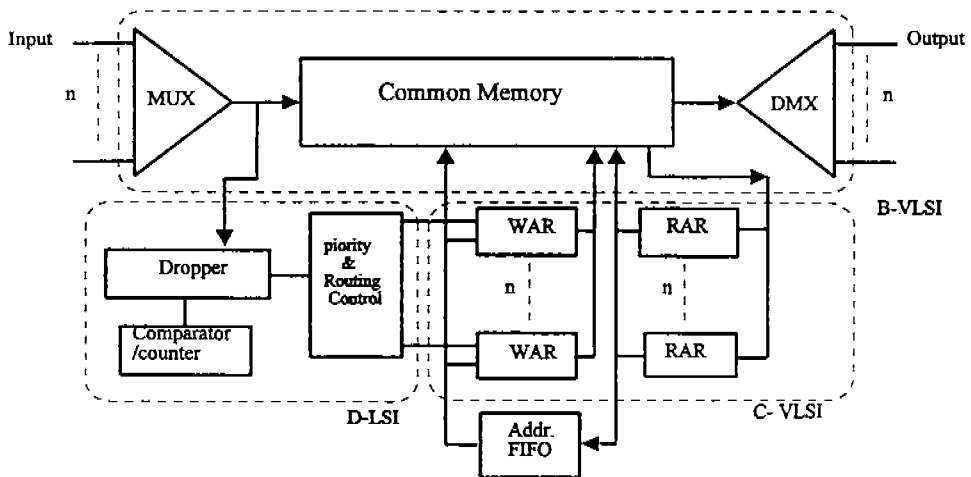
ATM 스위치는 기능에 따라서 입력 포트에서 출력 포트로 전달되는 셀을 통과시키기 위한 스위칭부와 큐잉(queuing)을 위해 ATM 셀을 일시적으로 저장하기 위한 버퍼 메모리부로 분류된다. I/O 포트 수는 칩 또는 회로 보드의 패키징 기술의 물리적 제한 및 공유 효과의 상관 관계를 감안하여 결정되고, 시스템

내부에서 스위칭 망 내부 경로 지정이 셀 단위로 수행되기 때문에 이 라우팅 속도를 하드웨어적으로 얼마나 고속으로 처리하느냐에 따라 스위치 크기가 결정되므로 그만큼 고성능 ATM 단위 스위치 소자의 개발은 어려워진다.

한편 최근 대용량을 위한 ATM 단위 스위치 기술로서 (그림 2)의 기존 스위치 구조에서 다중화기(MUX:multiplexer), 역다중화기(DMUX:demultiplexer) 대신 교차 접속 방식을 사용하고 대용량을 위하여 제어 LSI의 셀 제어 방식을 수정한 8 \times 8, 150Mb/s, 16 \times 16, 150Mb/s 스위치가 있으며 멀지않아 0.5mm CMOS 또는 BiCMOS 기술을 이용한 32 \times 32, 150Mb/s의 단위 스위치가 개발될 전망이다. 이렇게 ATM 스위치는 각기 장단점이 있어 어느 것이 우수하다고 할 수 없으나, 진술한 ATM 시스템 요구조건을 만족하고 1,000 포트 이상의 대용량 ATM 비충돌 스위칭 망에 가장 적합한 조건을 가지며 특히 셀 손실율(cell loss rate)이 가장 우수한 출력 큐잉 방식의 공유 버퍼 메모리 스위치가 추천된다.

2.3 공유 버퍼 메모리 스위치 구조

(그림 2)는 공유 버퍼 메모리 스위치의 기본 구조로서 메모리 공유를 위한 다중화기, 역다중화기, 메모리를 포함하는 B-LSI, WAR, RAR(Write, Read Address



(그림 2) 공유 버퍼 메모리 스위치 구조
(Fig. 2) Shared buffer memory switch structure

Register)을 포함하는 C-LSI, 공유 메모리 내에 저장된 셀의 스위칭 출력 포트의 관리를 위한 주소(address) FIFO(First-In-First-Out), 셀 폐기부(dropper) 및 셀 손실 등급 결정을 위한 업/다운 비교기/카운터, 우선 순위 제어부(cell priority control) 등을 포함하는 B-LSI로 구성된다. 공유 버퍼 메모리 스위치 메커니즘은 각 출력 포트의 큐 길이가 고정되어 있는 일반 메모리와는 달리 메모리 주소가 논리적으로 각 출력 포트에 분할되고 경우에 따라서는 일시적으로 임의 출력 포트에 할당하는 동적 할당(dynamic allocation) 능력을 가지며 멀티캐스팅, 우선 순위 제어 및 안내 서비스, 회의 서비스 같은 방송 기능 등의 다양한 서비스 등급을 처리하기 위한 구조 변경이 쉽다. 우선 순위 제어 기능¹⁰⁾은 ATM 스위치가 다루는 매체가 다양한 만큼 스위칭 지연과 셀 손실에 관한 필요 조건이 달라지므로 사용자 정보 셀이 속하는 서비스 등급에 따라 각기 다르게 취급되어야 하기 때문에 채용되며 입력 셀은 카운터 범위를 초과하면 새로운 셀이 들어와도 출력 큐에 포함되지 않는다. C-LSI의 제어 방식에 따라 시스템 트래픽 서비스 등급 기능이 증가해도 필요 메모리 용량의 증가는 출력 포트들과 서비스 등급들 간의 버퍼 공유 효과 때문에 매우 적으며, 버퍼 메모리 필요 용량과 셀 손실을 이 트래픽 폭주 조건에서도 개별(separated) 버퍼 메모리 스위치에 비해 약 1/6배 정도로 적다¹¹⁻¹³⁾. 스위치 입력에서 들어와 출력 포트에 나가는 사용자 정보 셀은 한 쌍의 WAR, RAR을 통해 하나의 큐로 연결되어 셀 순서가 보호된다. WAR, RAR 레지스터는 여러 서비스 등급을 용이하게 처리하기 위하여 서비스 등급과 출력 포트의 조합 수 만큼 둔다. <표 1>에 8×8, 16×16 및 32×32, I/O 포트의 공유 버퍼 메모리 스위치를 비교하였다^{12, 13, 15)}.

(그림 2)는 공유 버퍼 메모리 스위치의 기본 구조로서 대용량을 위하여 I/O 포트 수가 증가될 때 다중화기, 역다중화기로 인하여 하드웨어가 커져 LSI화가 어려워 지는 문제, I/O 버퍼가 공유되고 셀 길이가 고정되어 있기 때문에 램 메모리를 액세스하는 속도에 한계가 따르기 때문에 실제 대용량의 단위 스위치를 구현하기 위한 최대 포트 수는 N이상 구현하기 어렵다.

(그림 3)은 본 논문에서 제안하는 32×32 공유 버퍼 메모리 스위치 구조로서 0.5μm 이상의 CMOS의

VLSI 기술로 구현된다. 다중화기 및 역다중화기를 포함한 I/O부와 공유 버퍼 메모리부와 스위치 제어부를 각각 하나의 LSI로 집적화한 칩으로 구성하며 (그림 2)의 장점을 채용한 구조이다. 셀 제어 속도를 향상시키기 위하여 제어부는 57MHz(50μms)의 TMS 320C5X DSP(Digital Signal Processor) 방법과 0.5μmm CMOS 이상의 VLSI를 사용하여 속도를 향상하는 방법이 있는데 DSP를 사용하는 방안이 고려되었다.

고속의 대용량 스위칭 구조를 구현하기 위해서는 (1)식과 같은 메모리 액세스 시간이 필요하며 이를 위해 버퍼 메모리 관리와 메모리 액세스 동작 시에 일정한 비트 셀 단위로 동시에 병렬 처리하기 위해서는, 32×32에서는 44ns가 요구되고, 64×64에서는 그 절반인 22ns가 요구되는데 현재 가능한 CMOS 속도는 버퍼 메모리 동작 주파수가 15μs의 수준에 있으며 메모리 액세스 시간만 고려한다면 32×32, 150Mb/s의 공유 버퍼 메모리 스위치 설계가 가능하다.

$$M_{at} = \frac{W(bits)}{V(Mb/s) \times 2 \times N} \quad (1)$$

여기서 M_{at} 은 메모리 액세스 시간, W는 셀 크기를 비트 수로 환산한 병렬 처리 비트, V는 스위치 입출력 회선 속도 그리고 N은 스위치 회선 수이다.

셀 전송은 대략 UNI/NNI 속도의 2배이므로 내부 셀 크기를 사용자 셀 48과 헤더 5셀 및 기타 정보 셀을 포함하여 64셀에 대하여 LSI 입출력 속도는 376 Mb/s (155.52 Mb/s × 2 × 64/53 byte) 이고, 이 속도는 0.8mm BiCMOS 기술로는 실현하기 어렵기 때문에 포트 당 4비트 병렬 방식을 LSI에 채용하여 처리 속도를 향상시키고자 할 때 셀 우선 제어와 4비트 병렬 I/O를 갖는 32×32 ATM 스위치 LSI는 320핀(=(4+1)×32×2)을 필요로 하며 이는 현재의 VLSI 기술로는 쉽게 구현하기 어렵다. 32×32 스위치의 경우 필요한 RAM 사이클 시간은 0.04ns 이하(1/(376 Mb/s × 32 ports × 2))가 되는데 이와 같이 빠른 속도를 해결하기 위해 비트 병렬(bit parallel) 구조와 비트 슬라이스(bit slice) 구조를 병렬로 한 방법을 사용한다. 15ns 사이클 시간의 RAM을 사용할 때 병렬 비트 수는 380 bits(15ns/0.04ns)가 되고 이 후 향상 380 비트 병렬 구조를 LSI에 채용하여 입력되는 셀이 직/병렬 변환기에서 380 비트 병렬로 변환하므로써 속도를 개

선한다.

다중화기, 역다중화기로 인하여 하드웨어가 커질 때의 집적화 문제가 고려되어야 하므로 버퍼 메모리 용량을 평가할 필요가 있다. 90% 회선 사용율에서 셀 손실율 10^{-9} 을 유지하기 위하여 필요한 출력 포트 당 버퍼 크기는 8×8 스위치의 경우 채널 당 23셀로서 총 184셀, 32×32 스위치의 경우 채널 당 128셀로서 4,096셀 수준이며 실제 수준은 셀 우선 순위 제어 등을 고려하여 약간의 마진이 감안된다. 입력 포트는 최악의 경우 한 주기에 출력 포트에 가는 모든 셀을 받아야 하기 때문에 각 FIFO 큐는 전체 버퍼 크기보다 커야 하며, 어드레스 큐를 위한 총 메모리 크기 (M_{in})는 식(2)에 의해 결정한다. 즉,

$$M_{in}(bits) = P_n \times B \times n^2 \times S \tag{2}$$

여기서 $S = \log_2(B_n)$, ($\because 2 = (Bn)^S$, P_n 은 큐의 수(지연-우선 순위 등급이 P 수준인 스위치), B는 출력 포트 당 버퍼 크기, n은 주소 수 그리고 B_n 은 총 버퍼 크기이다. 이 경우 용량 감소율은 총 메모리 크기(bits)/ $P \cdot B \cdot n^2 \cdot \log_2(B_n)$ 으로 구해지며 <표 1>에서 보는 바와 같이 포트 수가 32×32 이고 회선 사용율이 90% 이하일 때 출력 포트 당 셀 버퍼 크기는 128셀이면 충분하다. 또한,

회선 속도 622.08 MHz일 때 다중화기 데이터 전송 속도 입력은 $622.08 \text{ Mb/s} / 8 = 77.76 \text{ Mb/s}$.

셀 길이가 64셀인 경우 내부 링크 속도는 $622.08 \text{ Mb/s} \times 32 / 64 = 311.04 \text{ Mb/s}$.

전송속도 출력은 $77.76 \text{ Mb/s} \times 64 / 32 = 155.52 \text{ Mb/s}$.

메모리 사이클 시간은 식(1)에 의해 51.2ns

$$\left[= \frac{64 \text{ cells} \times 8 \text{ bits}}{622.08 \text{ Mb/s} \times 32 \text{ ports} \times 2(UNI, NNI)} \right]$$

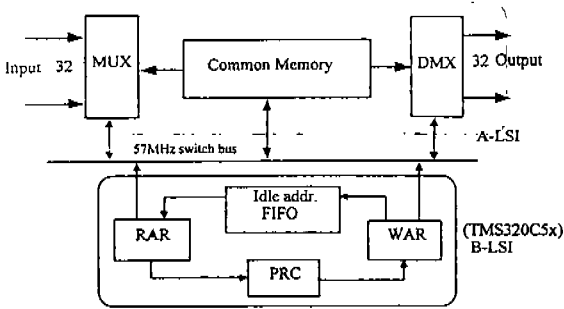
그리고 셀 카운터의 용량(C_c)은 $C_c = n \cdot B(\log_2 n + 1)$ 으로 평가된다.

32×32 스위치 설계를 위하여 앞에서 서술한 메모리 액세스 시간 외에 LSI의 집적화가 고려되어야 한다. LSI의 집적 규모는 버퍼 수와 단위 버퍼를 구성하는 비트 수에 의해 결정되는데 90% 부하(회선 이용율)과 10^{-9} 의 셀 손실율에서 필요한 셀 버퍼 수를 분석 및 시뮬레이션한 결과와 <표 1>로 부터 32×32 공유 버퍼 메모리 스위치 구조에 요구되는 총 셀 버퍼 수는 128셀 수준이면 만족한다. 따라서 병렬 처리 비트 수는 55,000 게이트($128 \times 424 \text{ bits}$) 수준이 되고 셀 우선 순위 제어를 포함하여도 $0.5 \mu\text{m}$ CMOS의 게이트 집적 용량인 1칩 당 150,000 gates/bits 수준을 감안하면 공통 메모리 스위치 구조에서는 버퍼 메모리의 LSI 집적도는 문제가 되지 않는다.

<표 1> 공유 버퍼 메모리 스위치 비교

<Table 1> Comparison of the Shared Buffer Memory Switches

항목	스위치	8 × 8 단위 스위치	16 × 16 단위 스위치	32 × 32 스위치 모듈
• 개발 년도		1991 (Toshiba)	1991 (Alcatel)	1991 (Hitachi)
• 반도체 기술		0.8 μm CMOS	1.2 μm CMOS	0.8 μm CMOS
• 셀 손실율(80% 부하시)		10^{-9}	10^{-9}	10^{-9}
• 셀 길이		64 octets	53 octets	54 octets
• 출력 포트 당 필요 버퍼		184셀 (23cells/port)	1,024셀 (64cells/port)	4,096 셀 (128cells/port)
• 회선 비트 율		155.52 Mb/s	622.08 Mb/s	155.52 Mb/s
• I/O 속도		23.47 Mb/s	19.44 Mb/s	19.44 Mb/s
• I/O 수준		CMOS	CMOS	CMOS
• Priority control		2 level	2 level	2 level
• 사이클 시간		0.16ns	0.48ns	38.6ns
• System throughput		9.9 Gb/s (64 × 64)	39.8 Gb/s (256 × 256)	159.2 Gb/s (1024 × 1024)
• 스위칭 보드 크기		—	356 × 353mm	300 × 300mm



(그림 3) 32 × 32 공유 버퍼 메모리 스위치 구조
(Fig. 3) 32 × 32 Shared buffer memory switch structure

<표 2> 32 × 32 스위치 규격 조건
<Table 2> 32 × 32 switch spec. requirements

항 목	규 격
반도체 기술	0.5μm CMOS
회선 속도	622.08Mb/s
처리율	150Gb/s
입/출력 포트 수	32 × 32
셀 길이	53~64 cells
입/출력 속도	1.5Gb/s (622Mb/s × 2 × 64/53)
메모리 크기	4Kcells
클럭 속도	77.76MHz
공유 버퍼 메모리 수	32 (= output ports)
평균 버스트 길이	>10cells (4Kbits)
제어부	DSP (TMS320C5X)
패키징	BGA

2.4 ATM 스위치 모듈

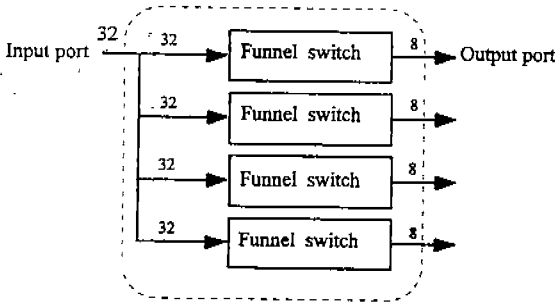
현재의 대용량을 위한 고성능 ATM 단위 스위치 기술은 이론상으로는 0.5μm CMOS 또는 BiCMOS 기술을 이용한 32 × 32, 150Mb/s 또는 32 × 32, 150Mb/s의 고성능 ATM 단위 스위치의 개발이 가능한 것으로 발표되고 있으나 패키징 기술 등의 어려움 때문에 구현이 쉽지 않다. 따라서 거의 (그림 4)와 같이 0.8μm CMOS의 8 × 8, 600Mb/s 또는 16 × 16, 150Mb/s의 단위 스위치를 기본으로 하는 스위치 모듈을 이용하여 망을 구현하고 있기 때문에 망 내부의 셀 손실

(ATM 스위치 자체 내부 폭주 때문에 단일 유닛 스위치보다도 더 나쁜 셀 손실율을 나타낼 수 있다) 및 ATM 스위칭부가 시스템에서 차지하는 공간이 커지는 등 어려운 문제가 발생한다. 그러므로, 대용량 스위치를 구현하기 위해서는 m × n(m > n)의 단위 스위치의 성장 모듈이 필수적인데 이 성장 방식^[4]으로는 Funnel 방식과 비충돌 공유 다중 버퍼(shared multi-buffer) 방식이 있으나 수행이 간편한 전자를 채택한다.

사용자에게 만족할 만한 통신을 제공하기 위한 셀 손실율 수준은 대략 광 섬유 전송 회선의 비트율인 10⁻⁹ 정도이어야 하는데 ATM 망에서 스위치 셀 손실은 출력 포트에 너무 많은 셀이 동시에 도착하거나, 경로 설정 제어 장치가 스위치 경로를 통제할 수 없을 때 주로 발생하며, 트래픽 부하와 버스트 길이가 증가함에 따라 증가한다. 이러한 셀 손실율을 최소화하기 위해 호 전달 및 호 설정 시에 다음에 설명하는 스위치간 흐름 제어, 스위치 구성의 속도 향상 및 입력 슬롯의 순환 방법을 적용하여야 한다.

스위칭 망에서 스위치간 흐름 제어의 효과는 입력 스위치 버퍼가 데이터로 채워져 다음 단의 스위치로 셀이 나갈 때 셀 손실을 보호하여 전체적으로 입력 포트의 셀 손실 정도로 줄이기 위한 방법이고, 스위치 내부 링크 속도 향상은, 스위치 내부 링크의 속도가 입출력 속도보다 빠르면 셀은 스위칭 망의 입력 포트에 도착하는 대로 출력으로 전송할 수 있지만 그럴 때는 내부 폭주 및 셀 손실이 생기게 되므로 이를 개선하기 위한 방법이다. 그리고 입력 슬롯의 순환(input slot rotation)은, 공유 버퍼 메모리 스위치에서 입력 포트로부터 들어오는 셀이 RAM에서 다중화되고 첫번째부터 N번째까지의 RAM에 순서대로 입력되는데, 이 액세스되는 RAM 순서를 주기적으로 천이시켜 최악의 셀 손실 뿐 아니라 평균 셀 손실율을 감소시키기 위한 방법이다.

3단 스위칭 망에서 각 단 스위치의 트래픽 조건은 대역폭 할당에 의한 1단 조건과 동등 또는 그 이상이기 때문에 3단 스위칭 망의 셀 손실율은 1단 스위칭 망의 3배 수준이 된다. 따라서 설계 용량에 따라 8 × 8, 16 × 16 또는 32 × 32 등의 단일 유닛의 적절한 선정이 필요한데, Y.Shobatake^[12]는 소용량 스위칭 망에서 8 × 8 공유 버퍼 메모리 스위치 LSI에 내부 링크 속도 향상과 흐름 제어를 채용한 64 × 64 스위치 모

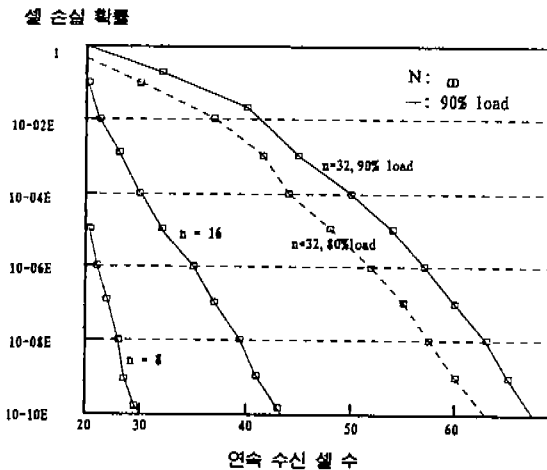


(그림 4) 32x32 성장 스위치 구조
(Fig. 4) 32x32 growable switch structure

들을 3단 망 구조에 적용하였다.

2.4.1 버퍼 크기 평가

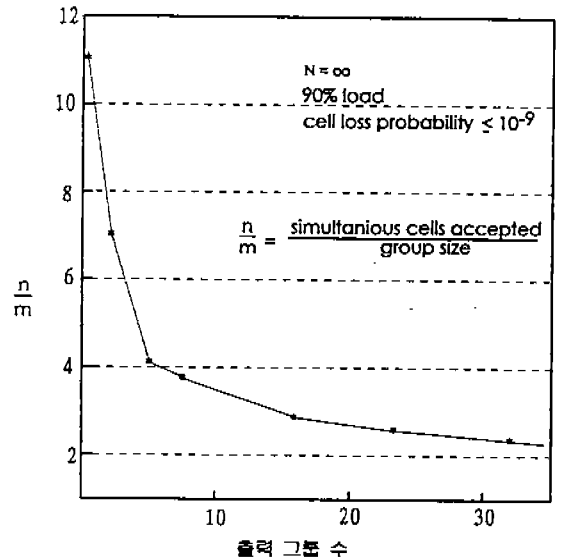
스위칭 망의 크기를 임의의 대응량으로 구성하기 위하여 입력 트래픽 부하 90%, 셀 손실 확률 10^{-9} 에서 3단 스위칭 망에서 스위칭 망 크기 N 이 무한대로 할 때 Knockout 개념을 이용한 셀 손실은 식(3)에 의해 평가된다. (그림 5)는 균등 트래픽 조건을 가정하고 90% 회선 점유율 부하에서 10^{-9} 셀 손실율을 갖는데 필요한 셀 버퍼 수를 평가하고 시뮬레이션한 결과를 나타낸 것이다. 그림에서 알 수 있는 것은 스위



(그림 5) Knockout 개념의 셀 손실 확률
(Fig. 5) Cell loss probability of the knockout principle

치 규모는 $N = \infty\%$ 이고, 트래픽 부하가 90% 일 때 출력 그룹 크기 n 이 각각 32, 16 및 8인 경우에 각각의 스위치가 연속적으로 받아들여야 할 셀의 수 m 의 함수로서 셀 손실 확률이다. (그림 6)은 셀 손실 기준에 필요한 m/n 비를 나타내며, 이 둘 결과로부터 셀 손실 확률 10^{-9} , 그룹 크기 n 이 각각 32, 16, 8 수준일 때 그룹화된 출력 포트에서 임의의 한 시간 슬롯 동안 연속적으로 받아들여야 하는 셀 수는 각각 68, 43, 30개 셀 수준 이상이어야 함을 알 수 있다. 트래픽이 불균등하고 회선 점유율이 90% 이상일 경우에는 셀 손실율이 급격히 증가할 수 있으며 이는 성능 저하로 나타난다.

$$P_r = \left[1 - \frac{m}{n\rho} \right] \left[1 - \sum_{k=0}^m \frac{(n\rho)^k e^{-n\rho}}{k!} \right] + \frac{(n\rho)^m e^{-n\rho}}{m!} \quad (3)$$



(그림 6) 출력 그룹의 연속 셀 수신율
(Fig. 6) Ratio of simultaneous cells accepted to output groups

3. 비충돌 스위칭 망의 설계

3.1 스위칭 망의 선택

스위치 내부 링크의 속도가 입출력 속도보다 빠르면 셀은 스위칭 망의 입력 포트에 도착하는 대로 출

력으로 전송할 수 있지만 느릴 때는 셀 손실 및 내부 폭주가 생기게 되는데 이러한 개념에서 ATM 스위치의 충돌(blocking) 개념을 도입한다. 즉, 스위치 입력 포트에서 2 이상의 입력 셀이 출력 포트 주소를 가지고 들어올 때 스위칭 구조(fabric) 내부에서 셀이 충돌로 인하여 출력 포트에 나갈 수 없을 때가 충돌이고, 이와 반대 개념이 비충돌이다(여기서 비충돌이라 해도 1 이상의 셀이 동일 출력 포트에 나간다면 충돌이 일어날 수는 있다). 충돌 스위치로는 Banyan 망과 같은 다단 스위치가 이에 속하고, 비충돌 스위치로는 공유 버퍼 메모리 스위치 외에도 Cross bar switch, Batcher-Banyan network, ATOM switch, Prelude switch, Starlite switch 및 Knockout switch 등이 이에 속한다.¹¹⁵⁾

2m × 2m의 용량을 갖는 시스템을 설계하고자 할 때 2이상의 기존의 m × m의 용량을 상호 연결하는 성장 방식으로 구현할 수 있는데 이 때의 구조는 m × m 스위치와 같지 않을 수 있으며, 따라서 스위칭 망 내부에서 몇 단의 큐잉 지연이 발생하고 그 결과 내부 모듈에서 폭주가 발생한다면 시스템 성능 저하를 피할 수 없다. 이는 스위치 성장 방식으로 대용량의 시스템을 설계할 때 어떤 방법으로 성장하는가가 대단히 중요한 문제가 된다는 것을 의미한다. ATM 스위칭 망은 셀 전송 및 호 설정 시에 여러 트래픽 제어 방법을 필요로 하며, 그 중에서도 다단 스위칭 망 구성을 위해서는 링크 자원 할당이 특히 중요하다. 자원 할당을 위한 알고리즘이 복잡하면 내부 폭주 문제가 발생하고 시스템 호 처리 능력이 감소하기 때문에 링크 자원 할당을 위해 복잡한 알고리즘을 필요로 하지 않는 비충돌 스위칭 망이 흔히 채택된다.^{116, 17)}

3.2 스위칭 망의 비충돌 방법

(그림 2)와 같은 다중화기와 역다중화기를 채용하는 공유 버퍼 ATM 스위치에서 데이터 속도는 인터페이스 속도의 N배이므로 직렬/병렬 변환 회로를 채용하여도 고속의 버퍼 메모리가 필요하며, 높은 비트 속도 인터페이스의 대용량 스위치를 설계할 때 셀 손실을 갖는다. 따라서 m × m의 공유 버퍼 메모리 스위치에서 m이 증가할 때 두 가지 심각한 문제, 즉 셀이 비록 비트 단위로 쪼개지고(bit sliced), 병렬 처리 되어도 셀 길이가 고정되어 있기 때문에 액세스 속도

에 제한이 따르게 되는 것과, 최악의 경우 한 셀 주기 동안 각 입력 포트가 전 출력 포트에 가는 셀을 수신해야 할 때가 생기는 것인데, 이러한 충돌 문제를 해결하기 위해서는 스위치 병렬 포트 수 성장, 내부 링크의 I/O 포트 수 성장 및 고속화가 필요하다.

먼저, 스위치 병렬 포트 수 성장 방법은 m × n(m ≥ n)의 단위 스위치를 이용하여 m × m의 성장 스위치를 구성하는 방법으로 1단의 호 전송속도와 내부 망 링크의 최대 호 속도를 동일한 속도로 운용하는 개념이며, 32 × 32, 150Mb/s 이상의 대용량을 위한 고성능의 단위 스위치의 개발이 더욱 요구되는 부분이다. 다음으로, 내부 링크의 I/O 포트 수 성장 방법은 성장된 스위치 총 출력 포트 수와 동일한 수로 링크 입출력 포트를 구성하여 논리적으로 가장 최적의 효과를 갖도록 하는 방법이다. 마지막으로, 단위 스위치의 내부 링크 속도 고속화 방법은 스위치 내부 링크 속도를 입력 회선 속도의 2~4배 수준으로 향상시키는 방법으로 (그림 5)에 나타내었다. 이 방법은 공유 버퍼 메모리 스위치의 버퍼 부(B-LSI)는 변경하지 않고, 주로 제어부(C-LSI)의 자원 할당 및 경로 표시 기능을 수정하고 여기에 다중화기와 역다중화기를 붙여 스위치 I/O 포트 및 내부 링크 속도를 변경하는 것이며, 망 내부 스위치는 동일한 I/O 포트를 갖는 단위 스위치의 출력 포트 수의 구성을 적절히 변경하는 방법이다. 실제로 T.Kozaki¹¹⁸⁾는 32 × 32, I/O 스위치로 3단 스위칭 망을 다단 구성하여 1,024 × 1,024 스위칭 망을 구현하였으나, 내부 링크 충돌 문제 때문에 ATM 대역폭의 호 설정에 실패하여 내부 링크 전송 속도가 입력 회선보다 2배 이상으로 할 것을 제안하였다. 대용량의 스위칭 망을 구성할 때 내부 링크의 비충돌 조건을 만족시키는 조건식은 다음 식(4)와 같다. (표 3)은 식(4)로부터 스위칭 내부 링크 망 충돌 조건을 만족하는 내부 링크 수준을 나타낸 것이다.

$$r \geq 2 \times \left(\frac{m}{n-1} \right) + 1 \tag{4}$$

여기서 r은 내부 링크 수, m은 단위 스위치의 I/O 수, 그리고 n은 링크 속도/회선 속도이다.

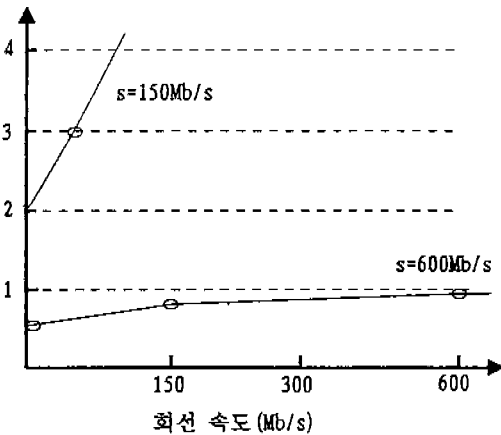
(그림 8)은 내부 링크 속도에서 링크 수 리던던시율(r/m)과 회선 속도(v)간의 관계를 나타내는 것으로 스위칭 망은 m = 32, v = 150Mb/s일 때 150Mb/s의 내

부 링크 속도를 위해 $m=3r$ 을 필요로 하고, 600Mb/s의 내부 링크 속도를 위해 $m \approx r$ 을 만족하는 수준에서 원하는 성능을 얻을 수 있다는 것을 확인하였다.



(그림 7) 스위치 링크 속도 향상 방법
(Fig. 7) Link speed-up of the switch

링크 수 리턴던서율 (r/m)



(그림 8) 3단 망의 비충돌 조건
(Fig. 8) Nonblocking condition for the three stage network

<표 3> 다단 망의 내부 충돌 조건
<Table 3> Internal blocking condition for multi-stage switching network

단위 스위치	리턴던서율	링크 속도	충돌 조건
32 × 32	1	600Mb/s	$r \geq 15$
32 × 96	3	150Mb/s	$r \geq 63$

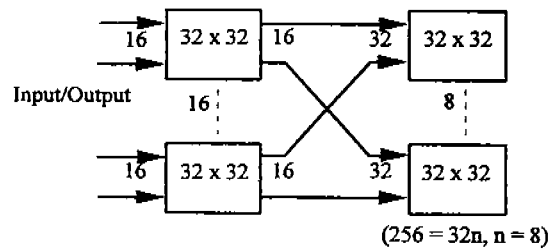
4. ATM 스위칭 망의 구성

4.1 소용량 ATM 스위칭 망의 구성

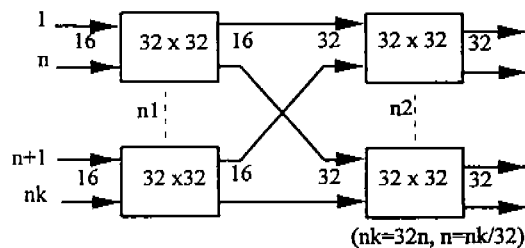
협대역 트래픽 요구가 현저한 경우 경제성, 소형 시스템을 위한 필요조건에 부합하는 다중 프로세서를 갖는 분산 처리 시스템과 소용량의 스위칭 망이 요구되는데 소용량의 스위칭 망에서 우수한 처리율과 셀 손실, 지연 및 비충돌 특성을 갖고, 높은 부하 조건에서도 높은 신뢰도, 양호한 고장 배제 능력을 갖는 동시에 경제적인 시스템 구축이 필요하다. 소용량을 위한 분산 처리 시스템 구조는 호 처리 기능을 갖는 광대역 회선 모듈을 채용하여 광대역 회선 모듈 수가 증가해도 처리 성능에 거의 영향을 미치지 않으며, 중앙 집중식 시스템 구조에 비해 제어 논리가 복잡하고 프로세서간 통신이 필요하므로 호 설정이 어려운 단점이 있다. 소용량의 ATM 스위칭 망으로서 일반적인 2단 폴드 망과 2단 크로스 망 등을 고려할 수 있는데 경제적으로 구성하기에 적합하고 쉬운 성장성을 위하여 2단 폴드 망을 채용한다. (그림 9)는 2단 폴드 망의 기본 구조이다. 이 구조는 1단에서 최단 경로를 제공하여 매우 큰 처리율을 갖는 스위칭 망의 구현이 가능하고 2단에 32 × 32 스위칭 모듈을 추가하여 폴드 구조로 계속 성장하며 시스템 클럭 발생기의 공통 클럭에 의해 매 스위칭 소자마다 비트와 셀 동기화가 수행되므로 모듈간의 동기도 요구되지 않는다. 신뢰도를 위해 이중화 구조로 구성할 수 있고, 충돌 영향을 고려할 필요가 있을 때 내부 단 링크 수를 추가함으로써 새로운 스위칭 망 구조를 구축할 수 있다. 여기서 스위치 포트 성장이 어려운 것이 단점이다. 스위치 모듈은 소용량 ATM 스위칭 망 구조에서 충돌 영향을 줄이기 위해서 가장 보편적이고 쉬운 방법인 8 × 8 또는 16 × 16 등의 단위 스위치를 이용한 링크 수 성장 모듈을 이용하고 용량 성장은 망의 둘째 단 모듈에서 “입력 최대 포트 수 = 2단 입력 포트 수 × 2단의 수” 형태로 결정한다. 즉, 목표로 하는 포트 수가 n 이면 32 × 2단 모듈 수로 이루어진다. 1단은 32 × 32 스위칭 매트릭스, 2단은 32 × 32 다중화기를 포트 성장 방법으로 구성한 폴드 망 구조로서 256 × 256 스위칭 망을 구성하는 경우 32 × 32의 양방향 링크 스위치 모듈을 사용하여 1단은 16개의 16 × 16 스위칭 모듈을 구성하고, 2단은 8개의 32 × 32 스위칭

모듈로 구성한다. 이 때 스위치는 $2,048(=8 \times 16 \times 16)$ 포트를 제공하며, 총 처리용 용량은 대략 $318\text{Gb/s}(2,048 \times 155.52\text{Mb/s}, 64\text{Kb/s}$ 동시 전화 호 $5 \times 106)$ 이다. 또한, 최대 512×512 스위칭 망을 구성하는 경우 1단은 32개의 16×16 스위칭 모듈을 구성하고, 2단은 16개의 32×32 스위칭 모듈로 구성한다. 2단 폴드 망 구조는 3단 크로스 망의 2단을 세로 축을 중심으로 절반 접은 형태가 될 수 있으며 이 구조에서 다시 단방향 또는 양방향 구조를 갖는다.

입력 링크 상의 트래픽 부하가 적을 때에는 가입자 액세스 스위치 모듈은 집선을 위해 비 대칭 방법으로 상호 접속하고, 점차 입력 링크 상의 트래픽 부하가 커질 수록 내부 링크에 버퍼 과부하를 초래하게 되므로 이 때에는 일반적으로 1단의 스위치 용량을 증가시켜 내부 링크 부하를 줄인다. W.Fisher^[2]는 소용량 시스템의 경제적 구축, 충돌 영향 감소 등의 목적으로 이 구조를 택하였으며, 512 양방향 포트 구조 이상의 중, 대용량 스위칭 망에서는 하드웨어 규모 및 경제적 측면에서 적절치 못한 구조로 서술하고 있다.



(그림 9) 256×256 폴드 스위칭 망
(Fig. 9) 256×256 folded switching network



(그림 10) 2단 크로스 망 구조
(Fig. 10) Two stage Clos Network structure

한편, (그림 10)은 2단 크로스 망 구조인데 3단 크로스 망에서 마지막 두 단과 같은 형태로 스위치에 상호 접속된다. 스위치 포트 성장이 용이하고 2단 폴드 구조와는 달리 2단 망 총 입력 포트의 수가 1단의 첫 번째 스위치 입력 포트 수의 자승과 같을 때, 논리적으로 최적 효과를 갖지만 2단 폴드 망에 비해 상대적으로 부적절하다.

4.2 대용량 ATM 스위치 망의 구성

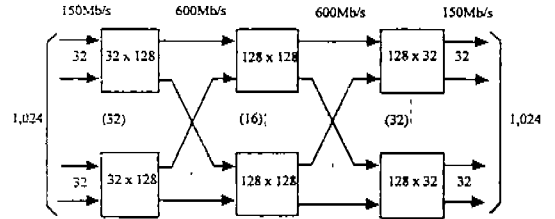
B-ISDN에서 광대역 트래픽 요구가 현저하거나 영상 가입자 비율이 10% 이상일 때 150Gb/s 처리용에 해당하는 1,000 포트 이상의 다단 스위칭 망이 필요하다. 보통 $1,000 \times 1,000$ I/O 포트 이상의 시스템에 대하여 대용량의 ATM 스위칭 망으로 규정하고 있다. 이러한 대용량의 스위칭 망을 구성하기 위하여 2단 또는 3단의 폴드 망과 크로스 망을 각각 고려할 수 있는데, 대용량을 위한 크로스 망의 처음 두 단은 내부 스위칭 망으로 하고 마지막 3단은 집선 장치 또는 고속 스위칭 장치로서 동작하며 스위칭 총 포트 수가 1단의 단위 스위치 입력 포트 수의 자승일 때 논리적으로 가장 최적의 효과를 갖는 망^[10]으로서 3단 크로스 망을 기초로 하는 비충돌 3단 망이 가장 일반적이다. 비충돌 3단 망은 2배 이상의 내부 링크 수를 제공하므로 내부 링크의 충돌 즉, 경로의 폭주를 의미하는 충돌 조건이 해소되고, 동시에 훌륭한 링크 자원 할당 능력을 가지므로 다양한 사용자 정보의 통계적 다중화가 가능하며 따라서 ATM의 용통성을 크게 향상시키게 된다. 따라서 본 논문에서는 ATM 시스템의 대용량화를 위한 3단 망의 비충돌 조건 및 스위칭 망을 고찰한다.

현재 ATM 단위 스위치 크기에 대한 기술 수준은 $8 \times 8, 600\text{Mb/s}, 16 \times 16, 150\text{Mb/s}$ 포트 수준이기 때문에 대용량의 ATM 스위칭 망을 구현하기 위해서 다양한 규모의 ATM 스위칭 망을 용통성 있게 구축할 수 있는 funnel 구조^[20]의 스위치 모듈에 의한 성장 방법을 이용하고 있다. 그 밖에 셀 손실 확률을 최소화하는 것이 주요 목표가 되는데, 1,000 포트 이상의 비충돌 3단 망에서 처음 두 단은 내부 접속 망으로 하고, 3단은 집선기 또는 고속 스위치 모듈로 동작하므로 폭주 될 가능성이 높는데, 공통 랜덤 액세스 메모리와 간단한 제어 논리로 수행되는 공유 버퍼 메모리

스위치를 채용하여 낮은 지연율과 셀 손실을 특성을 구현할 수 있어 ATM에 가장 적합한 스위치이다. (그림 11)은 대표적인 비충돌 3단 스위칭 망 구조로서, 첫째 단은 n 입력 포트와 m 출력 포트를 나타내고, 둘째 단은 $k \times k$ 규모의 m 모듈로 구성되며, 3단은 m 입력과 n 출력 포트를 제공한다. 즉, 첫째 단의 출력 포트 수는 $n_k \times n_1 \times (m/n)$, 중간 모듈의 단 수(n_2)는 첫째 단의 출력 포트 수를 둘째 단의 스위치 입력 포트 수로 나눈 값으로 평가된다. 이 구조는 스위치 I/O 모듈과 적절히 설계된 중간 모듈을 추가하여 2,048 또는 4,096 등의 대용량으로 성장된다. 대용량을 위한 스위칭 망에서 충돌 확률을 감소시키기 위한 방법으로 스위치 병렬 링크 수를 증가시키는 방법, 내부 링크 수를 증가시키는 방법 및 내부 링크 속도 향상 방법 등을 혼합한 구조가 제안된다.

(그림 12)는 충돌 조건을 만족하는 비충돌 3단 망 구조로서 32×32 , 150Mb/s의 단위 스위치 또는 32×32 , 155Mb/s 단위 스위치를 기본으로 하는 Funnel 구조의 스위칭 모듈을 이용하여 $1,024 \times 1,024$ 용량을 구성한 구조이며 링크 수를 증가시킨 128×128 내부 스위치 성장 모듈에 의해 하드웨어 공간을 크게 줄일 수 있다. 한편, 기존 방법은 기존 8×8 또는 16×16 단위 스위치를 이용하여 멀티 I/O 스위치를 개발하고 중간 모듈을 적절히 구성하여 대용량의 스위칭 망을 구현하는 것이었으나, 대용량으로 갈수록 높은 처

리율 및 고속의 링크 속도가 요구되고 시스템의 하드웨어의 공간이 커지는 단점이 있으므로 이를 고려하여 I/O 포트 수가 큰 단위 스위치를 적용한다. 이 구조의 또 다른 간단한 방법으로서 2단을 중심 축으로 하여 절반을 접은 구조 즉, 2단 폴드망 구조가 많이 채용된다.

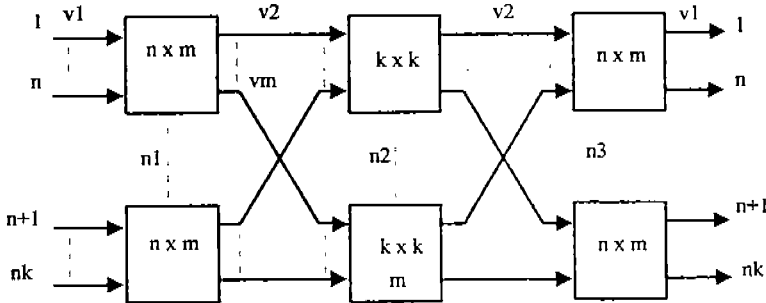


(그림 12) 공유 버퍼 메모리 스위치에 의한 $1,024 \times 1,024$ 비충돌 스위치 망

(Fig. 12) $1,024 \times 1,024$ nonblocking switch with shared buffer memory switches

5. 결 론

본 논문에서는 중 소용량 또는 대용량을 위한 ATM 스위칭 망에서 우수한 처리율, 셀 손실 및 지연을 등을 목표로 공유 버퍼 메모리 메커니즘을 채용한 32×32 ATM 단위 스위치의 구조와 스위칭 망에 대한 적



V_1 : transmission rate, v_2 : internal link rate
 1st stage output ports = $n \times n_1 \times (m/n)$
 2nd stages = 1st stage output ports/ k

(그림 11) 3단 비충돌 스위칭 망의 기본 구성
 (Fig. 11) Basic construction of the three stage nonblocking switching network

용 방법을 제시하였으며, 단위 스위치는 기존 공유 메모리 버퍼 방식의 장점을 최대한 이용하고 스위칭 속도를 포함한 성능 및 경제성에 관한 한계를 해결해 줄 수 있는 방안이라고 생각되며, 또한, 32×32 단위 스위치의 스위칭 망에 대한 응용은 트래픽이 어느 정도 균등하고 회선 점유율이 90% 이하일 경우에 충분한 성능을 보장할 수 있는 방안으로 생각된다.

멀티미디어 서비스가 본격화되는 2,000년 쯤에는 ATTH(ATM-based To The Home)로 CAD 데이터의 전송, 정보 재현 및 전자 메일(e-mail) 등이 가입자의 주요 서비스가 될 것이며, ATM 기반 망에서 7,000 가입자를 대상으로 서비스하기 위해서는 ATM 스위치는 각 포트가 155Mb/s에서 동작하는 128포트(20Gb/s)까지 필요할 것으로 예상^[21] 되기 때문에 고성능의 ATM 단위 스위치의 개발은 물론 다양한 매체의 멀티미디어 서비스를 수용하기 위한 회선 인터페이스 회로, 광전(opto-electronics) 변환, 셀 동기 및 VCI(Virtual Channel Identifier) 변환 및 SDH(Synchronous Digital Hierarchy) 프레임 종단 같은 부분의 더 많은 연구가 지속적으로 필요하다.

참 고 문 헌

- [1] Atsuo Itoh, "Practical Implementation and Packaging Technologies for a Large-Scale ATM Switching System", IEEE J. on Sel. Areas in Commun. Vol. 9, No. 8, Oct. 1991.
- [2] Wolfgang Fischer, "A Scaleable ATM Switching System Architecture", IEEE J. on Sel. Areas in Commun. Vol. 9, No. 8, pp. 1299~1307, Oct. 1991.
- [3] Kai Y. Eng, et al., "A Modular Broadband (ATM) Switching Architecture with Optimum Performance", proc. ISS, Vol. IV, A5. 2, 1990.
- [4] Nobuyuki et al, "STARCORE: A High Speed ATM Switching System", IEEE INFOCOM, pp. 139~143, 1994.
- [5] M. Collivignarelli, et al, "A Complete set of VLSI circuits for ATM Switching", IEEE INFOCOM, pp. 134~138, 1994.
- [6] Gayload W. Richards and Frank. Hwang, "A Two-Stage Rearrangeable Broadcast Switching Network", Vol. Com-33, No. 10, pp. 1025~1035, IEEE Tr. on Commun., Oct. 1985.
- [7] CCITT Recommend I. 431.
- [8] Soung Liew and Kevin Lu, "Performance Analysis of Asymmetric Packet Switch", IEEE INFOCOM, pp. 668~676, 1990.
- [9] Thomas C. Banwell, et al., "Physical Design Issues for Very Large ATM Switching Systems", IEEE J. on Sel. Areas in Commun. Vol. 9, No. 8, pp. 1255~1264, Oct. 1991.
- [10] Ingemar Gard, Jan Rooth, "An ATM Switch Implementation Technique and Technology", Proc. XIII Intern'l ISS, A5, 1990.
- [11] M. Saleh, "Queueing Analysis of Shared Buffered Switches for ATM Network", IEEE pp. 1070~1074. 1991.
- [12] Y. Shobatake, et al., "A One-chip Scaleable 8×8 ATM Switch LSI Employing Shared Buffer Architecture", IEEE J. on sel. Areas in Comm. Vol. 9, pp. 1248~1253, Oct. 1991.
- [13] P. Barri and J. A. O. Goubert, "Implementation of a 16×16 Switching Element for ATM Exchanges", IEEE J. on Sel. Areas in Commun., Vol. 9, No. 5, June 1991.
- [14] Kai Y. Eng, et al., "A Growable Packet(ATM) Switching Architecture: Design Principles and Applications", IEEE Tr. on Commun. Vol. 40, No. 2, Feb. 1992.
- [15] Hyong S. Kim, "Multinet Switch: Multistage ATM Switch Architecture with Partially Shared Buffer", IEEE INFOCOM '92, pp. 473~478, 1992.
- [16] Y. Sakurai, et al., "Large-scale ATM Multistage Switching Network with Shared Buffer memory Switches", IEEE Commun. Mag., pp. 90~96, Jan. 1991.
- [17] H. Kuwahara, et al., "A Shared Buffer memory Switches for an ATM exchange", proc. ICC 89, pp. 118~122, 1989.
- [18] Kozaki, et al., " 32×32 Shared Buffer Type

ATM Switch VLSI's for B-ISDN's", IEEE J. on Sel. Areas in Comm., Vol. 9, No. 8, Oct. 1991.

- [19] A. Jajszczyk, M. Roszkiewicz, "Optimum Structures and Growability of Shared-Buffer Fabrics", IEEE INFOCOM, pp. 309~313, 1994.
- [20] Yamanaka et al., "A Scaleable Nonblocking Shared Multibuffer ATM Switch with a New Concept of Searchable Queue", ISS '95, pp. 278~282, 1995.
- [21] Toshikazu Kodama, Takeo Fukuda, "Customer Premises Networks of the Future", IEEE Commun. Mag. pp. 96~98, Feb. 1994.



김진태

1954년 12월 7일생
 1980년 2월:인하대학교 전자공학
 학과(학사)
 1982년 8월:인하대학교 전자공
 학과(석사)
 1996년 2월:인하대학교 전자공
 학과(박사)

1988년~1989년:University of Missouri Kansas City 방문 연구원

1979년~현재:한국전자통신연구소 신호서비스 연구실 실장

관심분야:신호 및 서비스 시스템



양충렬

1983년 건국 대학교 전자공학
 과 졸업
 1991년 1월~1992년 10월 미국
 제너럴다이내믹스(GDLS)
 사 파견 연구원
 1986년 7월~1992년 6월 현대정
 공 기술연구소 연구원

1992년 6월~1995년 현재 한국전자통신연구소 신호 서비스 연구실 선임연구원

관심분야:통신 망 시스템, 신호 및 서비스 구조 및 설계