

論文96-33A-2-12

마이크로 머시닝을 위한 고농도로 붕소가 도핑된 실리콘 층의 부정합 전위의 억제

(Suppression of Misfit Dislocations in Heavily Boron-doped Silicon Layers for Micro-machining)

李昊駿*, 金夏洙*, 韓哲熙*, 金忠基*

(Ho Jun Lee, Ha Soo Kim, Chul Hi Han, and Choong Ki Kim)

요 약

고농도로 붕소가 도핑된 실리콘층 내에 존재하는 부정합 전위는 웨이퍼 가장자리에서 발생됨을 알았으며, 이 층을 도핑되지 않은 영역으로 둘러싸움으로써 부정합 전위가 억제된 고농도로 붕소가 도핑된 실리콘층을 형성할 수 있었다. 이를 이용하여 부정합 전위가 없는 고농도로 붕소가 도핑된 실리콘 멤브레인을 제작하였으며, 이 멤브레인의 표면 거칠기 및 파괴 강도 그리고 잔류 인장 응력은 각각 20 Å 1.39 × 10¹⁰ dyn/cm² 그리고 2.7 × 10⁹ dyn/cm²로 측정되었다. 반면에 부정합 전위를 포함하는 기존 멤브레인은 각각 500 Å 8.27 × 10⁹ dyn/cm² 그리고 9.3 × 10⁸ dyn/cm²로 측정되었으며, 두 멤브레인의 이러한 차이는 부정합 전위에서 기인함을 알았다. 측정된 두 멤브레인의 Young's modulus는 1.45 × 10¹² dyn/cm²로 동일하게 나타났다. 또, 도핑 농도 1.3 × 10²¹ /cm³에 대한 고농도로 붕소가 도핑된 실리콘의 유효 격자 상수 및 기존 멤브레인의 평면적 격자 상수 그리고 기존 멤브레인 내의 부정합 전위의 밀도는 각각 5.424 Å 5.426 Å 그리고 2.3 × 10⁴ /cm로 추출되었으며, 붕소가 도핑된 실리콘의 부정합 계수는 1.04 × 10⁻²³ /atom으로 추출되었다. 한편, 별도의 추가적인 공정없이 일반적인 에피 성장법을 사용하여 고농도로 붕소가 도핑된 실리콘층 위에 부정합 전위가 없는 에피 실리콘을 성장시켰으며, 이 에피 실리콘의 결정성은 매우 양호한 것으로 밝혀졌다. 또, 부정합 전위가 없는 에피 실리콘에 n+/p 게이트 다이오드를 제작하고 그 전압-전류 특성을 측정한 결과 5V의 역 바이어스에서 0.6nA/cm²의 작은 누설 전류값을 나타내었다.

Abstract

It has been found that the misfit dislocations in heavily boron-doped layers originate from wafer edges. Moreover, the propagation of the misfit dislocation into a heavily boron-doped region can be suppressed by placing a surrounding undoped region. Using a surrounding undoped region, the dislocation-free heavily boron-doped silicon membranes have been fabricated. The measured surface roughness, fracture strength, and residual tensile stress of the membrane are 20 Å peak-to-peak, 1.39×10¹⁰ and 2.7×10⁹ dyn/cm², while those of the conventional heavily boron-doped silicon membrane with high density of misfit dislocations are 500 peak-to-peak, 8.27×10⁹ and 9.3×10⁸ dyn/cm², respectively. The differences between these two membranes are due to the misfit dislocations. Young's modulus has been extracted as 1.45×10¹² dyn/cm² for both membranes. Also, the effective lattice constant of heavily boron-doped silicon, the in-plane lattice constant of the conventional membrane, and the density of misfit dislocation contained in the conventional membrane have been extracted as 5.424 Å 5.426 Å and 2.3×10⁴ /cm for the average boron concentration of 1.3×10²¹ /cm³, respectively. And the misfit coefficient of boron-doped silicon has been extracted as 1.04×10⁻²³ cm³/atom. Without any buffer layers, a dislocation-free lightly boron-doped epitaxial layer with good crystalline quality has been directly grown on the dislocation-free heavily boron-doped silicon layer. X-ray diffraction analysis revealed that the epitaxial silicon has good crystallinity, similar to that grown on lightly doped silicon substrate. The leakage current of the n+/p gated diode fabricated in the epitaxial silicon has been measured to be 0.6 nA/cm² at the reverse bias of 5V.

I. 서 론

고농도로 붕소가 도핑된 실리콘층(p+ 실리콘층)은 p 채널 MOSFET 소자의 소오스/드레인, npn 바이폴라 트랜지스터의 격리 영역 형성 등의 일반적인 용도로 전자 소자 제작에 있어서 오래전부터 사용되어 왔지만, 최근에는 전자 소자와 미소 기계 구조가 함께 집적되는 마이크로 머신의 제작(마이크로 머시닝)에도 자주 사용되고 있다. p+ 실리콘층이 마이크로 머시닝에서 유용한 이유로는, 실리콘 식각용액인 EPW 용액(Ethylenediamine-Pyrocatechol-Water mixture)에서 도핑 농도가 $7 \times 10^{19}/\text{cm}^3$ 이상인 p+ 실리콘은 거의 식각되지 않기때문에^{1,21}, EPW 용액을 사용하면 기계적 특성 및 전기적 특성이 우수한 단결정 실리콘층(p+ 실리콘층 또는 p+ 매몰층과 그 위의 저농도 실리콘층의 결합층)으로 마이크로 머시닝에서 요구하는 멤브레인 또는 캔틸레버 빔 등 미소 기계 구조를 쉽게 형성할 수 있기 때문이다.

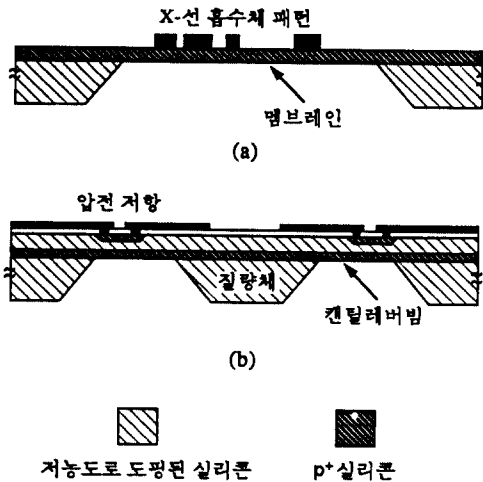


그림 1. p+ 실리콘층이 미소 기계 구조로 사용된 예. (a) X-선 마스크, (b) 마이크로 가속도계

Fig. 1. Use of p+ silicon layer in various micro-mechanical structures. (a) is a X-ray mask and (b) a micro-accelerometer.

그림 1에는 p+ 실리콘층이 미소 기계 구조로 사용된 예를 보여주고 있는데, (a)와 같이 $2 \mu\text{m}$ 이하의 두께와 1cm^2 이상의 넓은 면적이 요구되는 X 선 마스크용 기관으로 종종 사용되는 p+ 실리콘 멤브레인은

기관 표면에 p+ 실리콘층을 형성하고 기관 벌크를 기관 밑면에서부터 국부적으로 EPW 용액에서 식각하면 간단히 얻을 수 있다^{1,31}. 또, (b)와 같이 p+ 매몰층을 EPW용액에서 식각정지층으로 사용하면 가속도에 비례하는 힘을 발생하는 추와 캔틸레버 빔 그리고 발생된 힘을 전기 에너지로 변환하는 압전 저항(감지소자)이 함께 형성되어 있는 실리콘 마이크로 가속도계의 제작이 가능해진다^{1,41}. 마이크로 가속도계와 같은 일반적인 마이크로 머신은 그 주변회로가 함께 집적되기도 하는데, p+ 매몰층이 기관 벌크로부터의 열적으로 생성된 소수캐리어의 확산을 차단하여 전자 소자의 접합 누설 전류를 감소시킨다는^{1,5,61} 장점때문에 공정시 자동으로 형성되는 p+ 매몰층을 채택하여 그 주변 회로를 함께 제작하는 것이 보통이다.

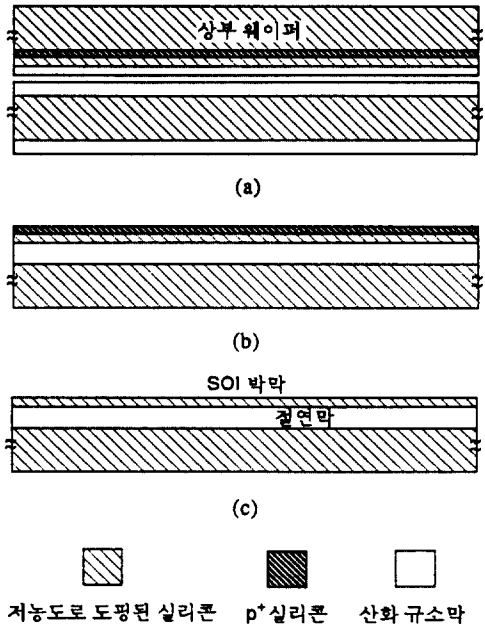


그림 2. p+ 매몰층을 사용하여 접합형 SOI 기관을 제작하는 공정순서 (a) 준비된 두 웨이퍼의 접합, (b) 상부 웨이퍼의 기관부 제거 (c) p+ 실리콘층의 식각

Fig. 2. Process sequence of the fabrication of a bonded silicon-on-insulator wafer using buried p+ silicon layer. (a) is the bonding of the two wafers, (b) the etching of the substrate of the upper wafer, and (c) the etching of the p+ silicon layer.

그림 2는 ULSI(Ultra-Large Scale Integrated

Circuit)에서 유망하게 취급될 뿐 만 아니라, 마이크로머시닝에서도 역시 유망한 기판으로 취급되는 절연층 위에 얇은 단결정 실리콘층이 형성되어 있는 silicon-on-insulator(SOI) 기판을 p+ 매몰층을 사용하여 제작하는 과정을 보여주고 있다. 접합형 SOI기판이라고 알려진 이 기판은 p+ 매몰층이 형성되어 있는 상부 기판을 산화하여 그림 2의 (a)와 같이 다른 기판과 접착한 후, (b) 및 (c)와 같이 저농도로 도핑되어 있는 상부 기판의 벌크와 p+ 실리콘층을 EPW 용액과 불산-질산-초산의 혼합용액으로 각각 식각함으로써 제작할 수 있다^{17,81}. 이미 SOI 기판을 사용하여 여러가지 마이크로 머신이 제작되었으며, 이 경우 단결정 실리콘층은 에브리인 또는 캔틸레버 빔 등의 기계구조와 그 주변회로를 형성하게 된다^{19,101}.

이상에서 설명한 바와 같이 p+실리콘층은 마이크로머시닝에 있어서 중요한 물질로 여겨지고 있지만, 저농도로 도핑되어 있는 기판 위에 형성된 p+ 실리콘층 및 p+ 매몰층 위의 저농도 실리콘층에는 항상 부정합 전위(misfit dislocation)라고 불리는 결정 결함이 발생하는 문제점이 뒤 따른다¹¹⁻¹³¹. 이러한 부정합 전위는 p+ 실리콘층 및 p+ 매몰층과 그 위의 저농도로 도핑된 실리콘층의 기계적, 전기적 특성을 열화시켜 p+ 실리콘층의 채택에 따른 장점에도 불구하고 그 효과를 감소시킨다. 즉, p+ 실리콘층 및 매몰층이 채택된 멤브레인 또는 캔틸레버 빔 등은 부정합 전위의 영향으로 인하여 파괴 강도가 감소되어 작은 외부충격에서도 쉽게 파괴되며, p+ 매몰층 위의 저농도로 도핑된 실리콘 및 접합형 SOI 기판에 형성된 감지소자 및 주변회로의 전기적 특성은 열화되어 결국 전체적인 마이크로 머신의 특성이 제한된다. 이러한 부정합 전위의 밀도는 p+ 실리콘층의 도핑 농도와 두께에 비례하므로 p+ 실리콘층의 도핑 농도가 높고 때로는 두께가 클수록 더욱 큰 장점을 갖게 되는 마이크로 머시닝에서는 매우 심각한 문제일 수 밖에 없다. 아직까지는 마이크로 머시닝에서의 p+ 실리콘층은 부정합 전위가 존재하는 상태로 사용하는 등의 소극적 방법을 추구하여 왔으나, p+ 실리콘층을 효과적으로 사용하기 위해서는 이 층에 발생하는 부정합 전위를 제거하거나 그 발생을 억제하는 등의 적극적 방법이 강하게 요구된다.

본 논문에서는 먼저 p+ 실리콘층의 부정합 전위를 억제하는 방법을 제안하고 이를 실험적으로 보임으로써 부정합 전위의 근원과 그 전과과정등을 알아낸다.

그리고 이 방법을 사용하여 부정합 전위가 억제된 p+ 실리콘 멤브레인을 제작한 다음 그 기계적 특성을 고찰한다. 이를 통하여 부정합 전위가 억제된 p+ 실리콘층은 마이크로 머시닝에 있어서 매우 유망하다는 것을 알게되며, 부정합 전위가 p+ 실리콘 층의 여러가지 기계적 성질에 미치는 악영향을 알게 된다. 또한, 지금까지는 부정합 전위에 차단되어 정확한 값이 알려져 있지 않은 p+ 실리콘층의 여러가지 격자상수 및 부정합 계수(misfit coefficient) 등의 탄성 특성을 정량적으로 추출한다. 마지막으로 본 논문에서는 부정합 전위의 억제 방법을 p+ 매몰층에도 적용하여 부정합 전위가 없는 p+ 매몰층과 그 위의 저농도 실리콘층을 형성하게 되며, 부정합 전위가 없는 p+ 매몰층과 그 위의 저농도 실리콘층의 결정성과 전기적 성질을 고찰함으로써 마이크로 머신의 감지소자 및 주변회로 제작에 있어서도 유용함을 보인다.

II. p+ 실리콘층의 부정합 전위의 억제

1. 부정합 전위

단결정 기판위에 형성된 평면적으로 기판과 동일한 결정구조를 갖는 단결정 박막 (이종 에피층, 동종 에피층, 불순물이 치환형으로 도핑된 층 등) 이 평면적으로 응력을 받게되면, 주로 그 박막과 기판사이의 계면에는 이 응력을 감소시키는 선결함이 발생하게 되는데 이를 부정합 전위라고 한다. 즉, 그림 3의 (a)와 같이 이 박막에 인장 응력이 존재하면 양성 전위가 계면에 발생하게 되고 그에 따르는 잉여 반면(extra-half plane)이 그 박막에 삽입되어 결국 인장 응력이 감소한다. 반대로, 그림 3의 (b)와 같이 이 박막에 압축응력이 발생하면 음성 전위가 계면에 발생하게 되고 그에 따르는 잉여 반면이 그 박막에서 제거되어 결국 압축 응력이 감소한다.

일반적으로 기판 위에 성장된 에피층에 존재하는 응력은 에피층의 평면적 고유 격자 크기가 기판의 격자 크기와 다른 데에서 기인한다. 즉, 에피성장 초기에는 에피층의 평면적 격자 크기는 기판의 평면적 격자 크기와 일치하게 되므로, 에피층의 평면적 고유 격자 크기가 기판의 평면적 격자 크기보다 클 경우에는 에피층의 격자가 기판에 의해 눌리게 되어 에피층에는 압축응력이 발생한다. 반대로 에피층을 형성하는 물질의 평면적 고유 격자 크기가 기판의 평면적 격자 크기보

다 작을 경우에는 에피층의 격자는 기판에 의해 남겨 지게 되어 에피층에는 인장 응력이 발생한다. 이러한 응력은 에피층의 두께가 일정 두께(임계 두께)를 넘게 되면 큰 힘으로 작용하게 되며, 결국 부정합 전위의 발생과 함께 완화된다.

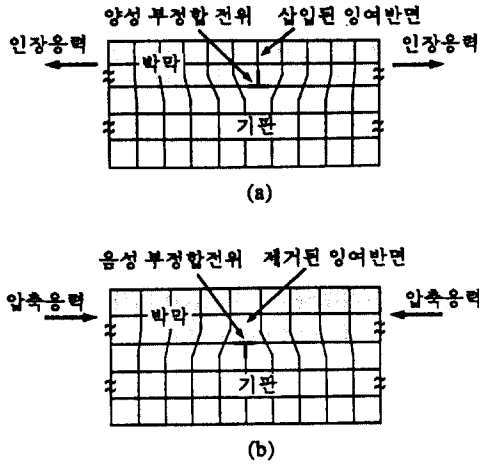


그림 3. 박막의 응력에 의한 부정합전위의 발생 (a) 인장응력에 의한 양성 부정합전위 (b) 압축 응력에 의한 음성 부정합전위

Fig. 3. Generation of misfit dislocations due to the stress in a film on a substrate. (a) is the positive misfit dislocation due to the tensile stress and (b) the negative misfit dislocation due to the compressive stress.

따라서 에피층에 부정합 전위가 발생되지 않고 기판이 충분히 두꺼워서 에피층의 응력에 의하여 기판이 변형 되지 않는다면, 에피층에 발생된 응력은 다음과 같이 기판의 평면적 격자 상수와 에피층의 평면적 고유 격자 상수로 표현할 수 있다¹⁴⁾.

$$\sigma = Y \frac{a_s - a_f}{a_s} = Y \epsilon \text{ (dyn / cm}^2\text{)} \quad (1)$$

여기서 Y는 에피층의 Young's 모듈러스, a_s 는 기판의 평면적 격자 상수, a_f 는 에피층의 평면적 고유 격자 상수이다. 또 ϵ 는 에피층이 응력이 없는 고유 상태로 응력을 받고 있는 상태로 변형된 정도를 나타내는 평면적 변형으로서 순수하게 기판의 평면적 격자 상수와 에피층의 고유 격자 상수에만 관계됨을 알 수 있다. 또한 식(1)로부터 a_f 가 a_s 와 같으면 응력은 없지

만, a_f 가 a_s 보다 크면 응력은 음의 값, 즉 압축 응력을 갖게 되며, a_f 가 a_s 보다 작으면 응력은 양의 값인 인장 응력을 갖게됨을 알 수 있다.

한편, 치환형 불순물이 도핑된 층의 응력은 다음과 같은 과정으로 발생된다. 모재를 형성하고 있는 원자에 비하여 원자 반경이 작은 치환형 불순물이 모재에 도핑되면 모재의 유효 격자 크기는 원래 상태보다 작아 지게 되며, 반대로 모재에 비하여 원자 반경이 큰 불순물이 모재에 도핑되면 모재의 유효 격자 크기는 원래 상태보다 커지게 된다. 이러한 치환형 불순물의 도핑에 따른 유효 격자 크기의 변화는 불순물 도핑 농도에 정비례하는 것으로 알려져 있다. 만약 원자 반경이 기판에 비하여 작은 치환형 불순물이 기판의 표면에 도핑된다면 불순물이 도핑된 기판 표면은 두꺼운 기판 벌크에 의하여 고정되어 있으므로 평면적 격자 크기가 유효 격자 크기로 줄어들지 못하게 되는데, 이것이 결국 원자와 원자간의 당기는 힘으로 나타나게 되어 불순물이 도핑된 층에는 인장 응력이 발생한다. 반대로 기판보다 원자 반경이 큰 치환형 불순물이 기판 표면에 도핑될 경우에는 원자와 원자간에 척력이 발생하게 되어 불순물이 도핑된 층에는 압축 응력이 발생하게 된다. 치환형 불순물이 도핑된 층의 경우도 에피층의 경우와 마찬가지로 임계두께 이상의 두께로 형성되면 부정합 전위의 발생과 함께 그 응력이 완화된다. 부정합 전위가 발생되지 않은 불순물 도핑층의 응력은 에피층의 응력과 마찬가지로 식 (1)에 따르며, 이 경우 a_f 는 불순물 도핑층의 평면적 유효 격자 상수이다. 한편, 불순물 도핑층의 평면적 유효 격자 상수는 불순물 도핑 농도와 정비례하므로, 불순물 도핑층의 평면적 변형 e 는 다음과 같이 표현될 수 있다¹⁵⁾.

$$\epsilon = \beta N_d \quad (2)$$

여기서 β 는 불순물의 종류에 따른 상수로서 부정합 계수로 불리우며 N_d 는 도핑된 불순물의 농도이다. 부정합 계수 β 는 이론적으로 다음과 같이 표현된다¹⁶⁾.

$$\beta = [1 - (R_d/R_s)^3] N_s^{-1} \text{ (cm}^3 \text{ / atom)} \quad (3)$$

여기서 R_d 는 치환형 불순물의 원자 반경, R_s 는 기판 물질의 원자 반경, 그리고 N_s 는 기판 물질의 원자의 밀도이다. 부정합 계수 β 가 의미하는 것은 치환형 불순물이 도핑된 층에서 불순물 한 개당이 발생시키는 변형값이다.

부정합 전위가 발생하기 위해서는 에피층 또는 불순물 도핑층의 두께가 임계두께 이상인 동시에 부정합 전위가 발생되기 시작하는 곳, 즉 근원이 존재하여야 한다. 현재까지 부정합 전위의 근원에 대한 이론은 대체로 다음 두가지가 있다^[14]. 첫째, 에피층 또는 불순물 도핑층 형성과정 동안 금속 침전 등에 의하여 에피층 또는 불순물 도핑층 표면에서 전위 핵이 형성될 수 있는데, 에피층 또는 불순물 도핑층의 두께가 임계두께를 넘어서면 이 핵이 응력에 의하여 부정합 전위로 성장한다는 이론이다. 둘째, 기판에 원래부터 존재하는 전위가 에피층 또는 불순물 도핑층의 두께가 임계두께를 넘어서면 이들 층 내에서 부정합 전위로 성장한다는 이론이다.

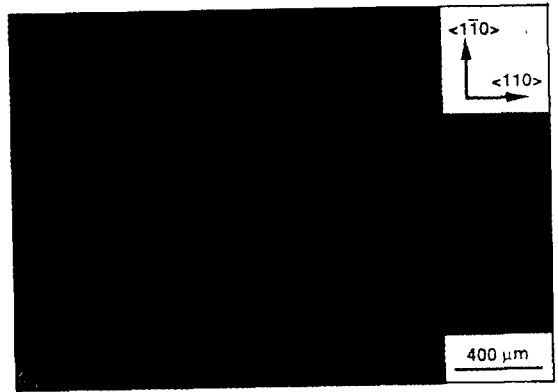
2. p+실리콘층의 부정합 전위의 억제

표 1 에는 실리콘에서 치환형 불순물로 작용하는 여러 가지 원자들의 원자 반경이 나타나 있다^[17,18]. 붕소 및 인은 실리콘에 비하여 원자 반경이 작으므로 이들 불순물이 도핑된 실리콘층에는 인장 응력이 발생하며, 실리콘에 비하여 원자 반경이 큰 안티몬 및 갈륨이 도핑된 실리콘층에는 압축 응력이 발생함을 알 수 있다. 이들 불순물이 도핑된 실리콘층의 도핑 농도 및 두께(즉, 불순물 주입량)가 커지게 되면 이 층의 응력에 기인한 힘이 크게 되어, 결국 부정합 전위가 발생하게 된다. 그림 4 는 (001) 실리콘 기판위의 p+ 실리콘층에 발생된 전형적인 부정합 전위를 보여준다. 부정합 전위들은 [110] 방향의 긴 선 형태로 존재하고 있으며, 그 밀도는 p+ 실리콘층의 붕소 주입량에 비례함을 볼 수 있다. 이러한 (001) 실리콘 기판 위에서의 부정합 전위는 (001) 활주면(slip plane)과 1/2 [110] 의 버거스 벡터(Burgers' vector)를 갖는 순수한 칼날 전위의 특성을 갖는 것으로 알려져 있다^[11]. 다이아몬드 격자구조인 실리콘의 활주면은 {111}면이므로 이 부정합 전위는 좀처럼 활주하지 못함을 알 수 있다.

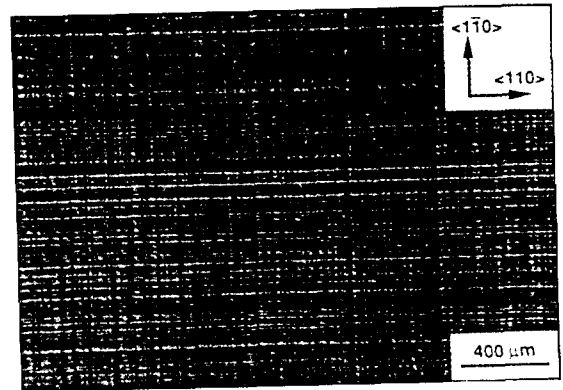
표 1. 실리콘에서 치환형으로 작용하는 여러 가지 불순물들의 원자 반경

Table 1. Radii of the various atoms act as substitutional dopants in silicon.

불순물	P	As	Sb	B	Al	Ga	Ge	Si
반경 (nm)	0.107	0.117	0.136	0.088	0.129	0.127	0.122	0.117



(a)



(b)

그림 4. (001) 실리콘 웨이퍼의 p+ 실리콘층에 발생하는 부정합 전위의 패턴들(검은 선들)을 보여주는 웨이퍼 표면사진 (a) 1100°C 온도에서 1 시간 동안 붕소를 확산하여 형성한 p+ 실리콘층 (b) 1100°C 온도에서 5 시간 동안 붕소를 확산하여 형성한 p+ 실리콘층. 5 시간에 의한 p+ 실리콘층의 부정합 전위의 밀도가 1 시간에 의한 것에 비해 큼을 볼 수 있다.

Fig. 4. Photomicrographs of the p+ silicon layers on (001) silicon wafers which show the misfit dislocation patterns(dark lines). (a) is the p+ silicon layer formed by boron diffusion at 1100°C for 1 hour and (b) the p+ silicon layer formed by boron diffusion at 1100°C for 5 hours. It can be seen that the density of the misfit dislocation for 5 hours is higher than that for 1 hour.

p+실리콘층에 발생하는 부정합 전위는 붕소 도핑에 따른 인장 응력에 의해 발생되고 증식되는 것이 분명

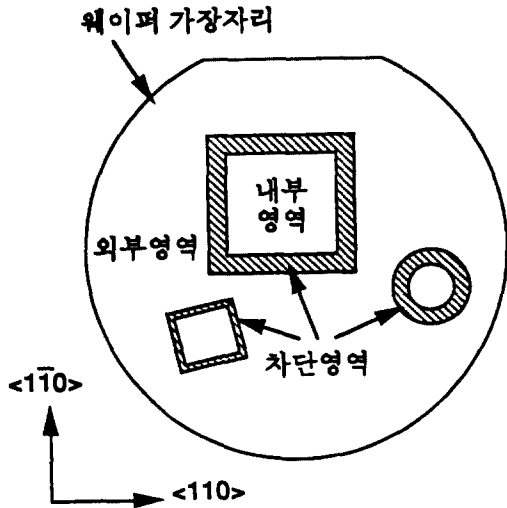


그림 5. p+ 실리콘층의 부정합 전위의 전파를 차단하기 위하여 실리콘 웨이퍼 위에 형성한 링 형태의 차단 영역. 내부영역은 차단영역에 의하여 둘러싸여 있으며, 외부영역은 웨이퍼 가장자리에 노출되어 있다.

Fig. 5. Surrounding protection regions formed on silicon wafer to prevent the propagation of misfit dislocations in a p+ silicon layer. The interior region is surrounded by the protection region and the exterior region is open to the wafer edge.

하지만, 그 근원은 확실하지 않다. (1)질의 첫번째 이론은 금속 오염이 배제되는 매우 깨끗한 실리콘 공정에 적용하기가 적합하지 않다. 또 집적회로 발전과 더불어 최근에 제공되는 실리콘 웨이퍼는 전위를 거의 포함하지 않는다는 사실때문에 (1)질의 두번째 이론으로도 p+ 실리콘층의 수많은 부정합 전위의 발생과정을 설명하기가 어렵다. 그러므로 본 연구에서는 p+ 실리콘층의 부정합 전위의 근원을 설명하기 위하여 “기계적으로 손상되어 있고 불완전한 원자구조를 가지고 있는 웨이퍼 가장자리에서 p+ 실리콘층의 인장 응력에 의하여 부정합 전위는 발생되고 결국 웨이퍼 중심부를 향하여 전파된다.” 라는 가설을 제안하였다. 만약 제안된 가설이 맞다면, 웨이퍼 내에 붕소가 도핑되지 않아 근본적으로 응력이 존재하지 않는 영역이 있다면 웨이퍼 가장자리로부터 p+ 실리콘층을 따라 전파하는 부정합 전위는 이 영역에서 멈추어야 한다. 따라서, 그림 5와 같이 붕소가 도핑되지 않은 링 형태의

영역(차단 영역)을 형성한다면 이 영역의 위치에 관계없이 웨이퍼 가장자리에 노출되어 있는 차단 영역 외부의 p+ 실리콘 영역(외부 영역)에는 부정합 전위가 존재하여야 하지만, 차단 영역 내부의 p+ 실리콘 영역(내부 영역)에는 부정합 전위의 근원이 없고 외부 영역으로부터 전파되는 부정합 전위가 차단 영역에 의하여 차단되므로 부정합 전위가 존재하지 않아야 한다.

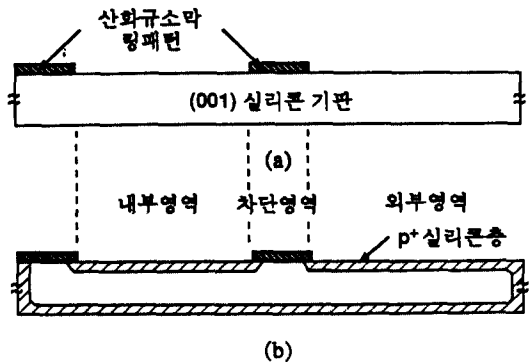


그림 6. 부정합 전위가 억제된 p+ 실리콘층을 형성하기 위한 실험의 공정 순서 (a) 산화 규소막 링 패턴의 형성 (b) 붕소확산

Fig. 6. Process sequence of the experiments for the formation of the misfit dislocation-free p+ silicon layer. (a) is the formation of the surrounding ring patterns of silicon oxide and (b) the boron diffusion.

그림 6은 위에서 제안된 가설을 입증하기 위한 링 형태의 차단영역을 형성하는 실험의 공정 순서를 보여주고 있다. 실험에 사용된 기판은 저항률이 2~10Ωcm 인 p형의 (001)방향 Cz실리콘 웨이퍼이며, 이 웨이퍼에 포함된 전위의 밀도는 1~2개/cm² 이다. 준비된 기판에 상압 화학기상 증착법(APCVD)으로 375℃의 온도에서 SiH₄ 와 O₂의 혼합가스를 사용하여 1 μm 두께의 산화규소막을 증착하고, 그림 6의 (a)와 같이 이 산화규소막으로 링 형태의 패턴을 형성한다. 그 다음 RCA 세척 방법으로 이 기판을 세척하고 질화붕소(boron-nitride)를 사용하여 1100℃의 질소 분위기에서 붕소 열확산을 실시하였다. 산화규소막은 실리콘 기판으로의 붕소 확산을 차단하므로 그림 6의 (b)와 같이 링 형태의 패턴의 외부 영역과 내부 영역에는 p+ 실리콘층이 형성되지만, 링 형태의 산화규소막 패

턴 아래에는 붕소가 도핑되지 않아 응력이 없는 차단 영역이 형성된다. 본 실험에서 붕소 확산을 차단하기 위한 물질로서 화학기상증착된 산화규소막을 사용하는 것은 매우 중요한데, 그 이유는 산화규소막이 1000°C 이상의 온도에서는 점성을 갖게되어 기판에 열적 응력을 주지 않으며^[19], 또 화학 기상 증착된 산화규소막은 열적으로 성장된 산화규소막과는 달리 적층 결함(stacking fault)과 같은 격자 결함을 기판에 발생시키지 않기 때문이다^[20].

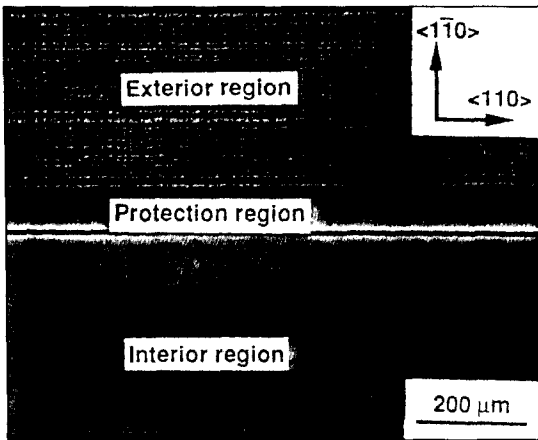


그림 7. 붕소확산 후의 결함 실각된 웨이퍼의 표면 사진. 외부영역에는 많은 부정합 전위들(검은 선들)이 존재하나, 차단영역에 의하여 둘러싸인 내부영역에는 부정합 전위가 없음을 볼 수 있다.

Fig. 7. Photomicrograph of the defect-etched surface of the wafer after the boron diffusion. It can be seen that there is no dislocations in the interior region surrounded by the protection region, while many misfit dislocations(dark lines)in the exterior region.

그림 7은 위의 공정을 마친 기판에 발생한 부정합 전위의 분포를 관찰하기 위하여 iodine-용액(110ml CH₃COOH + 100ml HNO₃ + 50ml HF + 3g I₂)에서 결함 식각한 기판의 평면 사진이며, 부정합 전위가 외부 영역에만 존재하고 차단 영역과 내부 영역에는 존재하지 않음을 볼 수 있다. 이로부터 제안된 가설과 같이 p+ 실리콘층의 부정합 전위는 웨이퍼의 가장자리에서 발생되어 p+ 실리콘층의 인장 응력에 의

하여 웨이퍼 내부로 전파된 것임을 알 수 있다. 뿐만 아니라, 지금까지는 부정합 전위가 항상 발생하는 것으로 여겨지던 매우 큰 붕소주입량으로 형성된 p+ 실리콘층을 링 형태의 차단 영역으로 둘러싸음으로써 부정합 전위가 발생되지 않도록 할 수 있음을 알 수 있다.

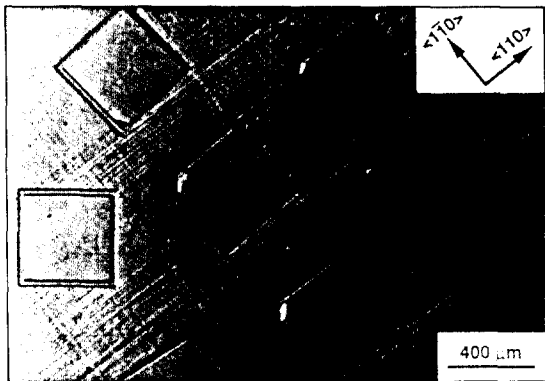
p+ 실리콘층의 부정합 전위의 발생을 억제하는 위의 방법을 효과적으로 이용하기 위해서는 붕소 주입량과 내부영역의 넓이 그리고 차단영역의 평면적 형태 등에 따른 내부영역에서의 부정합 전위가 억제되는 정도를 살펴보는 것은 매우 중요하다. 그림 8은 내부영역의 면적이 400 μm x 400 μm 이고 폭이 25 μm 과 50 μm인 여러개의 정사각형 링 형태의 차단 영역이 형성된 기판 표면의 여러가지 붕소 확산 조건에 따른 부정합 전위의 분포를 보여주고 있다. 붕소 열확산은 질소분위기에서 질화 붕소를 사용하여 각각 1100°C에서 2시간, 5시간, 10시간, 그리고 20시간동안 행하였으며, 분포저항 측정법(spreading resistance profile)으로 측정된 각 조건에 따른 붕소 확산 깊이와 붕소주입량이 표 2에 정리되어 있다. 1100°C에서 2시간동안 붕소를 열확산한 기판에는 모든 내부영역에서 부정합 전위가 억제되었지만, 1100°C에서 5시간동안 붕소를 열확산한 기판에서는 [110] 방향에 약 45도 기울어져 있는 25 μm의 폭의 차단영역에 둘러싸인 내부영역에서 부정합 전위가 존재함을 볼 수 있다. 또, 붕소의 열확산 시간이 10 시간으로 증가하면 [110] 방향에 약 10도 정도의 작은 각도로 기울어져 있는 25 μm의 폭의 차단영역에 둘러싸인 내부영역에도 부정합 전위가 존재하며, 붕소의 열확산 시간이 20 시간으로 증가하면 [110] 방향에 완전하게 정렬되어 있는 25 μm의 폭의 차단영역에 둘러싸인 내부영역과 50 μm의 폭의 차단영역에 둘러싸인 내부영역에만 부정합 전위가 존재하지 않음을 볼 수 있다. 이러한 결과를 자세하게 설명하는 것은 매우 복잡하지만, 각 내부영역에 존재하는 부정합 전위들은 각 내부 영역 내에서 발생된 것이 아니라, 외부영역으로부터 상승운동(climb)으로 차단영역을 통과하여 전파된 것이다. 이 결과로부터 p+ 실리콘층의 부정합 전위를 효율적으로 억제하기 위해서는 차단영역의 폭을 가능한 넓게 하고 [110] 방향에 정확하게 정렬하는 것이 바람직하며, 이는 붕소 주입량이 증가할 수록 더욱 중요함을 알 수 있다. 또, 그림 8에서는 보이지 않았지만 내부영역이 넓은

수록 차단영역의 폭을 더욱 크게하고 [110] 방향에 더욱 정확하게 정렬하여야만 그 내부 영역에서 부정합 전위를 효율적으로 억제할 수 있다. 본 실험에서는 5mm 폭의 차단 영역으로 1100℃에서 10시간 동안 붕소 열확산으로 형성된 2cm x 2cm 넓이의 부정합 전위가 억제된 p+ 실리콘층을 얻었으며, 이 정도의 넓이는 대부분의 마이크로 머시닝에서 사용하기에 충분한 것이다.

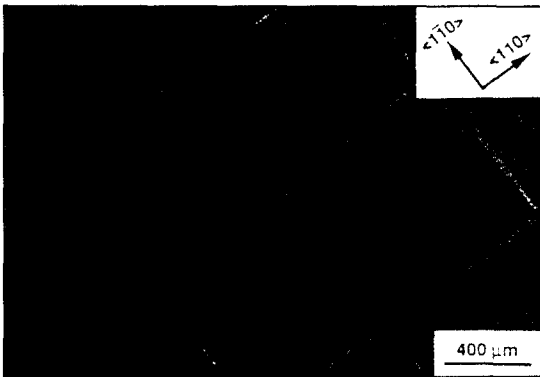
표 2. 측정된 붕소 열확산 조건에 따른 접합 깊이와 붕소 주입량

Table 2. Measured junction depths and boron doses of the various boron diffusion conditions.

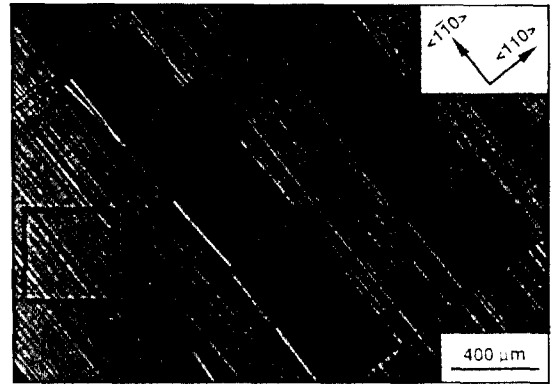
확산온도(℃)	1100	1100	1100	1100
확산시간(horus)	2	5	10	20
확산깊이(μm)	3.5	4.7	5.8	9.0
주입량($\times 10^{16}$ atoms/cm ²)	3.8	4.6	5.4	7.6



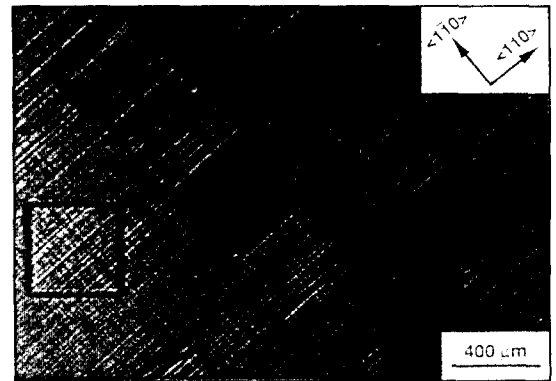
(a)



(b)



(c)



(d)

그림 8. 결함 식각된 붕소 확산 조건에 따른 웨이퍼의 표면 사진 (a)1100℃에서 2시간 확산 (b)1100℃에서 5시간 확산 (c)1100℃에서 10시간 확산 (d)1100℃에서 20시간 확산

Fig. 8. Photomicrographs of the defect-etched surfaces of the wafers prepared by various boron diffusion conditions. (a) is the diffusion at 1100℃ for 2 hours, (b) the diffusion at 1100℃ for 5 hours, (c) the diffusion at 1100℃ for 10 hours, and (d) the diffusion at 1100℃ for 20 hours.

III. 부정합 전위의 발생이 억제된 p+ 실리콘층의 성질

1. p+ 실리콘층의 기계적 성질

본 절에서는 이미 고안된 부정합 전위 억제 방법을 사용하여 부정합 전위가 없는 p+ 실리콘 멤브레인을

제작하고 이의 기계적 특성을 측정한다. 이로부터 부정합 전위가 p+ 실리콘 멤브레인의 기계적 특성에 어떠한 영향을 미치는지를 알 수 있을 뿐만 아니라 p+ 실리콘층의 여러가지 탄성 특성 등을 정량적으로 해석하게 된다.

p+ 실리콘 멤브레인을 만드는 과정은 다음과 같다. 그림 6의 (b)의 공정까지 마친 실리콘 기판의 뒷면의 p+ 실리콘층을 그림 9의 (a)와 같이 국부적으로 식각한 다음 약 110°C의 E:P:W = 230ml : 230g : 63ml 로 조성된 EPW 용액에 기판을 담근다. 이 조건의 EPW 용액은 작은 농도의 불순물을 포함한 실리콘은 분당 1μm 의 속도로 식각하지만, p+ 실리콘은 거의 식각하지 못하므로 그림 9의 (b)와 같이 p+ 실리콘층만 남게되어 p+ 실리콘 멤브레인이 형성된다. 본 실험에서는 붕소 열확산을 1080°C에서 2시간 동안 실시하였으며, p+ 실리콘 멤브레인은 부정합 전위가 억제된 내부 영역과 부정합 전위가 존재하는 외부 영역에서 각각 1.5 μm 의 두께와 5 x 5 mm²의 넓이로 동시에 제작하였다.

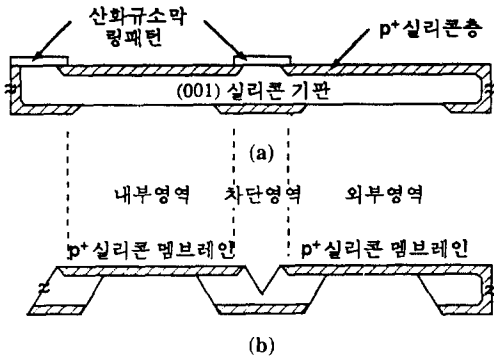
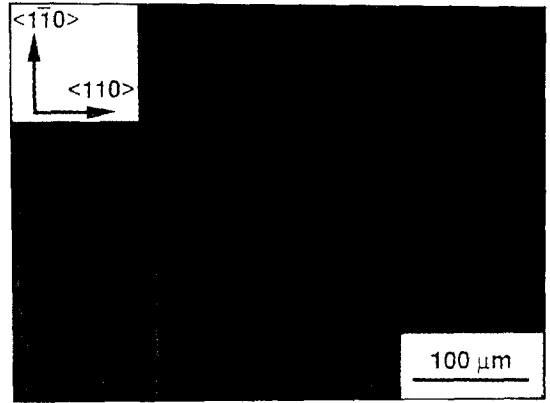


그림 9. p+ 실리콘 멤브레인의 제작 공정 순서 (a) 웨이퍼 밑면의 p+ 실리콘층의 국부적인 식각 (b) EPW 용액에서의 기판식각

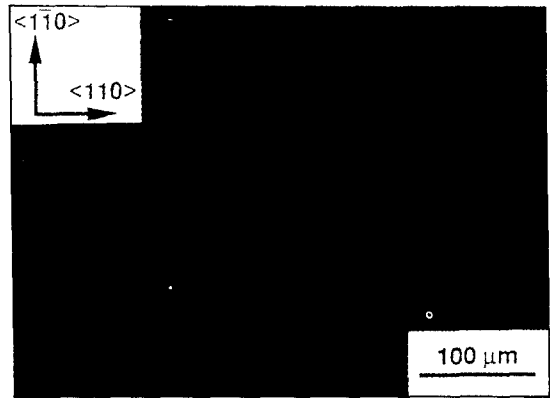
Fig. 9. Process sequence of the fabrication of the p+ silicon membranes. (a) is the etching of the p+ silicon layers on the bottom surface of the wafer and (b) the etching of the wafer substrate in EPW mixture.

그림 10은 제작된 멤브레인의 밑면에서 빛을 비추는 상태의 사진이며 외부 영역의 p+ 실리콘 멤브레인에는 [110] 방향의 많은 선들이 보이나 내부 영역의 멤브레인은 깨끗한 것을 볼 수 있다. 이러한 선들은 외부

영역의 멤브레인의 식각정지면이 거칠기 때문에 생긴 것이며, 그림 11과 같이 식각 정지면의 거칠기는 내부 영역의 멤브레인이 약 20Å 정도로 작은 반면, 외부 영역의 멤브레인은 약 500Å 임을 알 수 있다.



(a)



(b)

그림 10. 밑면에서 빛을 비추는 상태의 제작된 p+ 실리콘 멤브레인의 사진. 어두운 영역은 멤브레인을 지지하고 있는 벌크 실리콘임. (a) 내부영역에서 제작된 멤브레인, (b) 외부영역에서 제작된 멤브레인. 외부영역에서 제작된 멤브레인에는 많은 [110] 방향의 선들이 보이고 있다.

Fig. 10. Back-illuminated photomicrographs of the fabricated p+ silicon membranes. The dark areas are the bulk silicons suspending the membranes. (a) is the membrane fabricated in the interior region and (b) the membrane fabricated in the exterior region. There are many lines with [110] direction in the membrane fabricated in the exterior region.

선 형태의 표면 거칠기는 지금까지 보고된 모든 p+ 실리콘 멤브레인에 항상 포함되어 있었지만 그 발생 원인은 정확하게 알려져 있지는 않았다. 그러나 부정합 전위에는 불순물이 침전된다는 보고와^[13] 본 실험에서 제작된 부정합 전위가 억제된 내부 영역의 p+ 실리콘 멤브레인에는 이러한 선 형태의 표면 거칠기가 존재하지 않는다는 결과로 미루어 보아, 부정합 전위에 침전된 불순물이 그 원인인 것으로 생각된다. 매끈한 표면일수록 피로 저항(fatigue resistance)이 증가하기 때문에^[21] 부정합 전위가 억제된 p+ 실리콘 멤브레인은 일반적인 부정합 전위가 포함된 p+ 멤브레인에 비하여 높은 피로 저항을 갖고 있음을 알 수 있다.

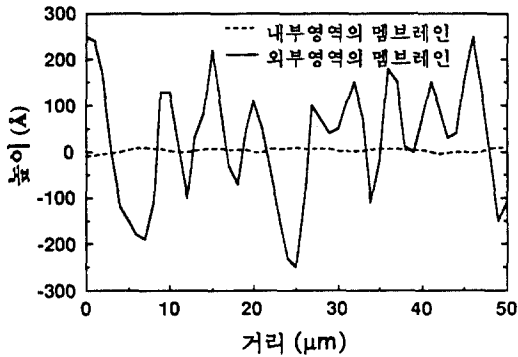


그림 11. 측정된 p+ 실리콘 멤브레인의 식각 정지층에서의 거칠기. 내부영역에서 제작된 멤브레인의 표면이 매끄러움을 알 수 있다.

Fig. 11. Measured roughnesses of the etch-stopped surfaces of the p+ silicon membranes. It can be known that the surface finish of the membrane fabricated in the exterior region is very good.

이와같이 제작된 p+ 실리콘 멤브레인들의 여러가지 기계적 특성을 blister 방법^[22]이라고 알려진 기계적 측정법을 사용하여 조사하였다. 이 방법은 멤브레인에 가해지는 공기압(부하)에 따른 멤브레인의 중심부가 변형된 정도를 측정함으로써 멤브레인의 Young's 모듈러스와 잔류 응력(인장 응력), 그리고 파괴 강도 등을 추출할 수 있기 때문에 멤브레인의 기계적 특성을 추출하는데 자주 이용된다. 본 실험에서는 현미경 관찰을 통하여 핀홀, 크랙, 힐록 등의 결함이 없는 각각 20 개씩의 내부 영역 및 외부 영역의 멤브레인을 추출하여 멤브레인이 파괴될 때까지 부하-변형 특성을 측정

하였다.

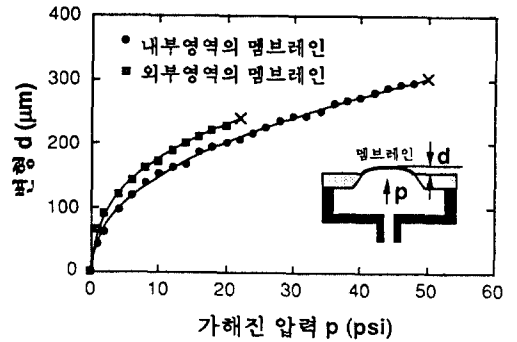


그림 12. 측정된 p+ 실리콘 멤브레인의 부하-변형 곡선. 내부영역에서 제작된 멤브레인은 외부영역에서 제작된 멤브레인보다 같은 압력에서 덜 변형되고 보다 큰 압력에서 파괴됨을 볼 수 있다.

Fig. 12. Measured load-deflection curves of the p+ silicon membranes. It can be seen that the membrane fabricated in the interior region is less deflected in a given applied pressure and more endure than the membrane fabricated in the exterior region.

그림 12는 blister 방법에 의해 측정된 내부 영역과 외부 영역의 멤브레인들의 전형적인 부하-변형 곡선을 보여주고 있다. 이 곡선으로부터 동일한 압력에 대해 부정합 전위가 억제된 내부 영역에서 제작된 멤브레인이 외부 영역에서 제작된 일반적인 멤브레인보다 작게 변형되며, 더 높은 압력까지 파괴되지 않음을 알 수 있다. 이는 내부 영역의 p+ 실리콘 멤브레인이 외부 영역의 멤브레인에 비하여 잔류 응력 및 파괴 강도가 더 크다는 것을 의미한다. 각각의 멤브레인의 Young's 모듈러스, 잔류응력, 그리고 파괴 강도의 정량적인 값은 다음의 blister 방법에 대한 일반적인 모델을 이용하면 추출할 수 있다.

$$\frac{Pa^2}{C_1 dt} = \sigma_0 + \frac{C_2}{C_1} Y \frac{a^2}{d^2} \text{ (dyn / cm}^2\text{)} \quad (4)$$

여기서 a는 멤브레인의 반변의 길이(2.5mm), t는 멤브레인의 두께(1.5 μm), P는 멤브레인에 가해진 압력, d는 가해진 압력에 대한 멤브레인 중심의 변형된 높이, Y는 멤브레인의 Young's 모듈러스, 그리고

C_1, C_2 는 각각 상수이다. 식 (4)에서 좌변은 멤브레인의 전체적인 응력을 나타내며, 우변의 첫번째 항인 σ_0 는 멤브레인의 잔류 응력 그리고 두번째 항은 가해진 압력에 의하여 추가로 발생된 멤브레인의 응력을 나타내고 있다. Tabata^[23]는 정사각형 멤브레인에 있어서 $C_1 = 3.04$ 이고 C_2 는 멤브레인의 포아송(Poisson)의 비 ν 의 함수로 표현된다는 것을 계산하였는데, 포아송의 비가 0.28인 실리콘 멤브레인에^[24] 대한 C_2 값은 3.89로 계산된다. Tabata의 모델을 사용하여 계산한 각각 20개씩의 두 멤브레인에 대한 평균적인 Young's 모듈러스는 1.45×10^{12} dyn/cm²으로 동일하나, 평균 잔류 인장 응력은 부정합 전위가 억제된 내부 영역의 멤브레인이 2.7×10^9 dyn/cm², 그리고 부정합 전위를 포함하는 외부 영역의 멤브레인은 9.3×10^8 dyn/cm²으로 계산되었다. 그러므로 p+ 실리콘 멤브레인의 Young's 모듈러스는 부정합 전위에 의해 영향을 거의 받지 않지만, 이미 예측된 바와 같이 잔류 인장 응력은 부정합 전위에 항상 동반하는 잉여 반면의 삽입으로 인하여 감소됨을 알 수 있다. 식 (4)의 좌변에 멤브레인이 파괴되는 순간의 압력과 그때의 멤브레인의 변형값을 대입하면 멤브레인의 파괴 강도가 계산되는데, 그림 13에는 내부영역 및 외부영역의 멤브레인 20개씩에 대한 파괴 강도 분포가 나타나 있다. 부정합 전위가 억제된 내부 영역의 멤브레인의 경우 평균 파괴 강도가 1.39×10^{10} dyn/cm² (9.1×10^8 dyn/cm²의 표준편차)로서 부정합 전위가 포함된 외부 영역의 멤브레인의 평균 파괴 강도인 8.27×10^9 dyn/cm² (7.3×10^8 dyn/cm²의 표준편차)보다 크게 나타났다. 두 멤브레인은 그림 6과 그림 9에서 보인 바와 같이 동일한 공정으로 제작되었고, 부정합 전위의 유무를 제외하고는 동일한 구조를 갖기 때문에 외부 영역의 멤브레인에서의 멤브레인 파괴시 크랙이 발생하는 지점인 임계 응력 집중점(critical stress concentrator)은 결국 이 멤브레인에 포함되어 있는 부정합 전위로부터 기인한다고 할 수 있다.

부하-변형 특성으로부터 추출된 두 멤브레인의 Young's 모듈러스와 잔류 응력 값을 이용하면 두 멤브레인의 여러가지 탄성 특성 및 부정합 전위에 관한 정보를 분석할 수 있다. 먼저, 내부 영역 및 외부 영역의 두 멤브레인의 평면적 잔류 변형(residual strain)은 다음 공식으로부터 각각 $\epsilon_A = 1.34 \times 10^{-3}$ 및

$\epsilon_B = 0.46 \times 10^{-3}$ 으로 계산된다^[14].

$$\epsilon = \frac{\sigma(1-\nu)}{Y} \tag{5}$$

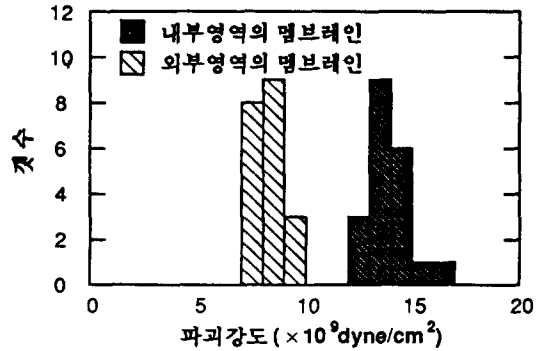


그림 13. 추출된 p+ 실리콘 멤브레인의 파괴 강도 분포. 모든 내부영역에서 제작된 멤브레인은 외부영역에서 제작된 멤브레인보다 큰 파괴강도를 나타낸다.

Fig. 13. Distribution of the extracted fracture strengths of the p+ silicon membranes. All the membranes fabricated in the interior region have higher fracture strengths than the membranes fabricated in the exterior region.

만약 제작된 p+ 실리콘 멤브레인이 두께에 따라 균일하게 붕소가 도핑되었다고 가정하면, 제 II장에서 이미 고찰한 바와 같이 부정합 전위가 없는 p+ 실리콘 층의 평면적 격자 상수는 실리콘 기판의 격자 상수인 5.431 Å과 같기 때문에 식 (1)을 이용하면 부정합 전위가 없는 내부 영역의 p+ 실리콘 멤브레인의 격자 상수는 $a_i = 5.424$ Å로 계산된다. 마찬가지로 식 (1)에 외부 영역의 p+ 실리콘 멤브레인의 잔류 변형과 계산된 af 를 대입하면 외부 영역의 p+ 실리콘 멤브레인의 평면적 격자상수는 $a_e = 5.426$ Å임을 알 수 있다. 이 때, 분포저항 측정법에 의하여 추출된 멤브레인의 붕소 평균농도는 1.3×10^{20} /cm³로 나타났다. 따라서, 이 농도로 붕소가 도핑된 p+ 실리콘의 고유 격자 상수는 5.424 Å임을 알 수 있으며, 외부 영역의 p+ 실리콘층은 부정합 전위에 동반하는 잉여 반면의 삽입으로 인하여 평면적 격자 상수가 5.431 Å으로부터 5.426 Å으로 감소되었음을 알 수 있다.

부정합 전위가 억제된 내부 영역의 멤브레인과 부정

합 전위를 포함하는 외부 영역의 멤브레인의 평면적 격자 상수의 차이, 또는 평면적 잔류 변형의 차이는 부정합 전위에 동반하는 잉여 반면의 삽입에 의한 것이므로 외부 영역의 멤브레인에 포함된 잉여 반면 또는 부정합 전위의 밀도는 다음과 같이 계산된다^[25].

$$N = \frac{\epsilon_A - \epsilon_B}{b} \approx 2.3 \times 10^4 / \text{cm} \quad (6)$$

여기서 b는 (001) 실리콘 웨이퍼에서의 부정합 전위의 버거스 벡터의 크기로 1/2 [110]의 절대값인 3.840 Å이다^[13]. p+ 실리콘층의 응력이 완전히 제거되기 위한 최대의 부정합 전위의 밀도는 식 (6)에 단지 $\epsilon_B=0$ 를 대입하면 약 3.5×10^4 개/cm임을 또한 알 수 있다. 2.3×10^4 개/cm의 밀도로 분포되어 있는 전위는 전위 간격이 수천 Å으로 넓기 때문에 전위 밀도를 투과 전자현미경법(TEM)으로 결정하기에는 매우 어렵다. 그러므로 본 실험은 p+ 실리콘층의 부정합 전위밀도를 추출함에 있어서 또다른 유용성을 제공한다.

한편, 불순물이 치환형으로 도핑된 실리콘층의 또다른 중요한 상수로서 이미 소개된 치환형 불순물 한 개당 실리콘의 변형을 나타내는 부정합 계수가 있다. 이미 고찰한 바와 같이 p+ 실리콘층의 변형은 부정합 전위에 의하여 차단되므로 지금까지는 p+ 실리콘층의 부정합 계수가 실험적으로 정확하게 측정되지 못하였다. 그러나 본 실험에서 추출한 부정합 전위가 억제된 p+실리콘 멤브레인의 평면적 잔류 변형을 멤브레인의 평균 붕소 도핑 농도로 나누게 되면 p+ 실리콘의 부정합 계수는 1.04×10^{-23} cm³/atom으로 계산되며, 이 값은 식 (3)에 표 1에 정리된 붕소와 실리콘의 원

자 반경과 실리콘 원자의 밀도 5.0×10^{22} atom/cm³를 대입하여 계산한 이론적인 값 1.14×10^{-23} cm³/atom과 비슷하다. 표 3에는 본 절에서 실험적으로 추출한 p+ 실리콘층의 기계적 상수값과 탄성에 관련된 여러 상수가 정리되어 있다.

2. p+ 매몰층이 형성된 기판의 결정성 및 전기적 성질

본 절에서는 제 II장에서 고안된 p+ 실리콘층의 부정합 전위를 억제하는 방법을 이용하여 부정합 전위가 없는 p+ 매몰층과 그 위의 저농도로 도핑된 실리콘층을 형성한다. 서론에서 고찰한 바와 같이 p+층 위의 저농도로 도핑된 실리콘층은 마이크로 머시닝에 있어서 감지 소자 및 주변 회로가 제작되므로 부정합 전위가 억제된 p+ 매몰층과 그 위의 저농도로 도핑된 실리콘층의 전기적 특성을 고찰하는 것은 중요하다.

본 논문에서는 p+ 실리콘층 위에 에피 실리콘을 성장시킴으로써 p+ 매몰층과 그 위의 저농도로 도핑된 실리콘층을 형성하였으며, 그 실험과정은 다음과 같다. 그림 6 (b)의 공정까지 마친 기판을 그림 14의 (a)와 같이 850°C의 온도에서 약 30분간 습식 산화한 후 기판의 모든 산화 규소막을 불산 용액으로 제거한다. 본 실험에서는 붕소 열확산을 액체 소스인 BBr₃를 사용하여 1100°C에서 3시간동안 실시하였다. 그 다음 웨이퍼 표면을 깨끗이 하기 위해 barrel 형 에피 반응로에서 1120°C 온도로 2분간 HCl 가스를 흘리면서 기판의 표면을 0.3μm 두께만큼 식각한 다음, 그림 14의 (b)와 같이 SiHCl₃ 가스를 사용하여 이 기판에 에피 실리콘을 1130°C에서 분당 0.5μm의 속도로 8μm 두께로 성장시켰다.

표 3. 추출된 p+ 실리콘 멤브레인의 여러가지 기계 및 탄성값

Table 1. Extracted mechanical and elastic parameters of the p+ silicon membranes.

	Young's 모듈러스 (dyne/cm)	잔류 인장응력 (dyne/cm)	파괴강도 (dyne/cm)	잔류 변형 ($\times 10^{-3}$)	평면적 격자상수 (Å)	부정합 전위밀도 ($\times 10^4$ /cm)	고유 격자상수 (Å)	최대 부정합 전위밀도 ($\times 10^4$ /cm)	부정합 계수 ($\times 10^{-23}$ cm ³ /atom)
내부영역의 멤브레인	1.45×10^{12}	2.7×10^9	1.39×10^{10}	1.34	5.431	0	5.424	3.5	1.03
외부영역의 멤브레인	1.45×10^{12}	9.3×10^8	8.27×10^9	0.46	5.426	2.3			

* p+ 실리콘 멤브레인의 평균 붕소도핑농도는 1.3×10^{20} /cm³ 임.

이미 고찰한 바와 같이 내부 영역에서는 p+ 매몰층과 기판 사이에 부정합 전위가 발생하지 않게 되어 p+ 매몰층의 평면적 격자 크기는 실리콘의 고유 격자 크기와 동일하므로, 그 위에 실리콘의 고유 격자 크기를 갖고 성장되는 에피 실리콘에는 역시 부정합 전위가 존재하지 않을 것으로 예측된다. 그러나 외부 영역에서 형성된 p+ 매몰층은 부정합 전위에 의해서 평면적 격자 크기가 실리콘의 고유 격자 크기보다 작게 되므로, 그 위에 성장되는 에피 실리콘은 고유 격자 크기보다 작은 격자 크기를 갖고 성장되다가 음성 부정합 전위가 발생되면서 격자 크기가 고유 격자 크기를 향하여 증가하게 된다. 그러므로, 내부 영역에서 성장된 에피 실리콘은 고유 격자 크기를 갖고 있으므로 응력이 존재하지 않게 되지만, 외부 영역에서 성장된 에피 실리콘은 평면적 격자 크기가 고유 격자 크기보다 작으므로 압축 응력을 갖게 됨을 예측할 수 있다. 이러한 사실은 마이크로 머시닝에 있어서 또한 중요한데, 그 이유는 내부 영역의 에피 실리콘으로 제작된 캔틸레버 빔 및 멤브레인은 응력이 없이 평평한 상태를 유지하지만, 외부 영역의 에피 실리콘으로 제작된 캔틸레버 빔 및 멤브레인은 압축 응력에 의해 와굴(buckling)된 상태로 제작되기 때문이다.

프로파일을 보여준다. p+ 매몰층의 두께는 약 7 μ m 이고 최대 붕소 도핑 농도는 약 $1.0 \times 10^{20} / \text{cm}^3$ 임을 볼 수 있는데, 이는 EPW 용액에서 식각 정지층으로 사용하기에 충분한 값들이다.

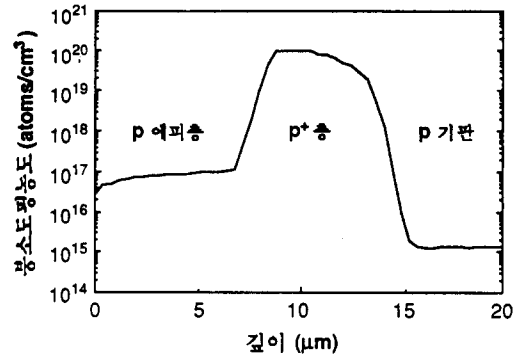


그림 15. 측정된 에피 웨이퍼의 붕소 도핑 프로파일. p+ 매몰층의 도핑농도는 약 $1.0 \times 10^{20} / \text{cm}^3$ 로서 EPW용액에서 식각정지층으로 사용할 수 있을 정도로 매우 높다.

Fig. 15. Measured boron doping profile of the epi-wafer. The doping concentration of about $1.0 \times 10^{20} / \text{cm}^3$ in the buried p+ silicon layer is so high as to be used as etch-stop layer in EPW mixture.

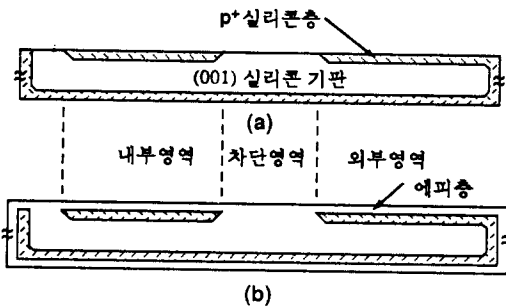


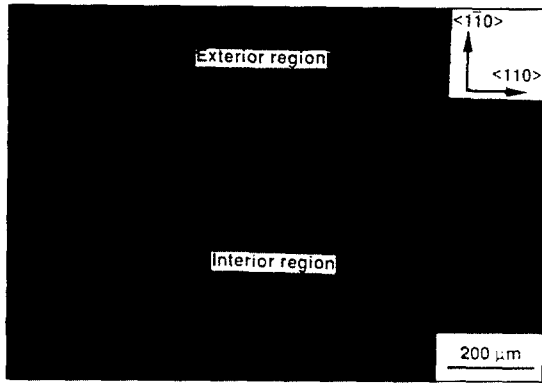
그림 14. p+ 매몰층이 형성된 에피 웨이퍼의 제작 공정 순서 (a) p+ 실리콘 층의 형성 (b) 에피 실리콘의 성장

Fig. 14. Process sequence of the fabrication of the epi-wafer with buried p+ silicon layers. (a) is the formation of p+ silicon layers and (b) the growing of epitaxial silicon on the wafer.

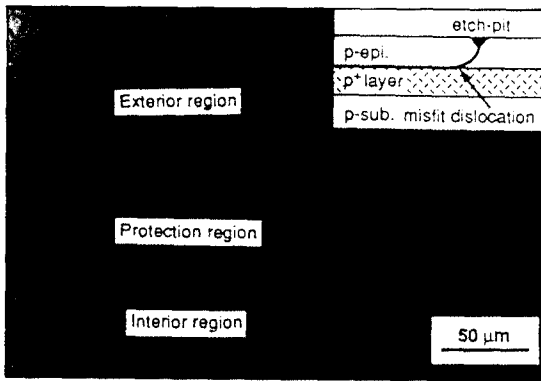
그림 15에는 분포 저항 측정법으로 측정된 본 실험에서 제작된 p+ 매몰층이 형성된 기판의 붕소 도핑

에피 성장된 기판의 부정합 전위의 분포를 관찰하기 위하여 기판을 Secco 식각액(200ml HF + 100ml H₂O + 4.4g K₂Cr₂O₇)에서 30초간 결함 식각하였다. 그림 16은 결함 식각된 에피 층의 표면사진이다. 외부 영역에는 [110] 방향의 선들이 보이는데, 이러한 선들은 결함 식각 전부터 존재하며 에피 성장 도중에 발생한 부정합 전위 주변의 불균일한 응력의 분포에 의해 에피층이 국부적으로 불균일하게 성장되어 표면이 거칠어졌기 때문에 형성된 것이다^[26]. 또, 외부 영역, 특히 차단 영역 근처에는 많은 부식공(etch-pit)이 보이나 차단 영역과 내부 영역에는 부식공이 존재하지 않음을 볼 수 있는데, 이러한 부식공들은 그림 16에 묘사된 바와 같이 에피층에 존재하는 부정합 전위들이 표면으로 도출된 것이다. 이 관찰로부터 내부 영역에서는 부정합 전위가 없는 에피 실리콘층이 p+매몰층 위에서 형성되었음을 알 수 있다. 에피층에 존재하는 부정합 전위의 발생 근원은 자세히 알 수 없으나, p+ 실리콘층의 부정합 전위와 마찬가지로 웨이퍼 가장자

리에서 발생되어 전파되었거나 p+ 매몰층의 윗 면으로 도출된 부정합 전위가 에피층에서 성장된 것으로 추측된다.



(a)



(b)

그림 16. 결함 식각된 에피 웨이퍼의 표면 사진. 외부 영역에는 많은 부식공과 [110] 방향의 선들이 (a)에 보이고 있다. (a)의 확대된 사진 (b)에는 부식공들이 더욱 자세히 보이고 있으며 에피층의 부정합 전위와 이러한 부식공과의 관계는 사진 내의 외부 영역 단면도에 나타나 있다.

Fig. 16. Photomicrographs of the defect-etched surface of the epi-wafer. There are many etch-pits(dark dots) and lines on [110] direction in the exterior region. The etch-pits are shown more apparently in (b) which is enlarged photomicrograph of (a). The relation between the misfit dislocation in the epitaxial layer and the etch-pit is illustrated at the inset which shows vertical structure of the exterior region.

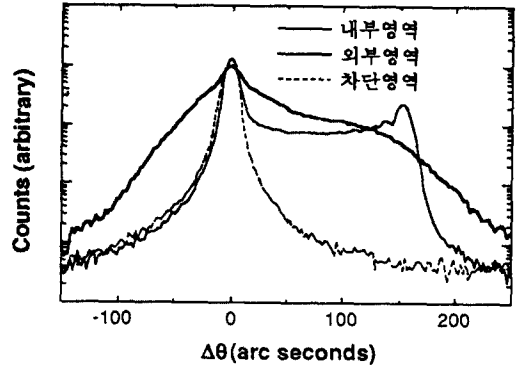


그림 17. 측정된 에피 웨이퍼의 (400) 이중 결정 X-선 rocking 곡선. 내부영역의 주피크 ($\Delta\theta=0$ 인 곳)와 위성피크($\Delta\theta=150$ 초인 곳)가 예리함을 볼 수 있다.

Fig. 17. Measured (400) double-crystal X-ray rocking curves of the epi-wafer. It can be seen that the main peak (at $\Delta\theta=0$) and satellite peak(at $\Delta\theta=150$ arc seconds) of the interior region are sharp.

그림 17은 제작된 에피 웨이퍼의 결정성 (crystallinity)을 알아보기 위하여 $CuK\alpha_1$ 복사를 이용하는 이중 결정 X선 회절장치(double crystal X-ray diffractometer)를 사용하여 측정된 내부 영역과 외부 영역, 그리고 차단 영역에 대한 (400) rocking 곡선을 보여준다. 각 곡선에서 $\Delta\theta=0$ 인 곳에 위치하는 주 피크(main peak)는 기판과 에피층으로부터 기인한 것이다. 내부 영역의 주 피크는, p+ 매몰층이 형성되어 있지 않아 에피층의 결정성이 매우 양호할 것으로 예상되는 차단 영역의 주 피크와 거의 같게 예리함을 볼 수 있다. 따라서, 내부 영역의 에피층의 결정성은 차단 영역에서 성장된 에피층의 결정성과 거의 같게 우수함을 알 수 있다. 그러나 외부 영역의 주 피크는 완만하며, 이로부터 이 영역에서 형성된 에피층의 결정성은 상당히 열화되어 있음을 알 수 있다. 또한, 내부 영역에서는 p+ 매몰층에 의한 위성 피크(satellite peak)는 예리한 반면, 외부 영역의 위성 피크는 그 형태가 거의 무너져 있음을 볼 수 있으며, 이는 내부 영역의 p+ 매몰층은 결정성이 우수한 반면 외부 영역의 p+ 매몰층은 결정성이 매우 열화되었음을 의미한다. 결국, 외부 영역의 p- 매몰층과 그위에 성장된 에피 실리콘은 부정합 전위에 의하여 결정성이

열화되었지만, 내부 영역의 p+ 매몰층과 그 위에 성장된 에피 실리콘은 매우 큰 p+매몰층의 붕소 농도에 불구하고 부정합 전위없이 그 결정성이 잘 유지되어 있음을 알 수 있다.

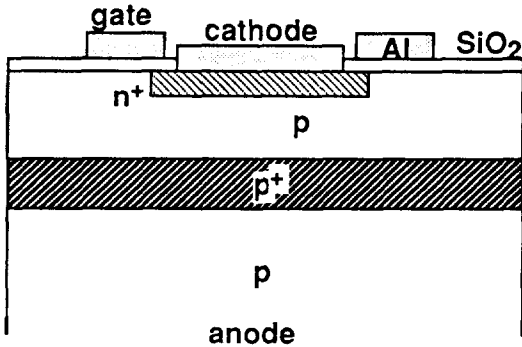


그림 18. 에피 웨이퍼에 제작된 n+/p 게이트 다이오드의 단면 구조. 다이오드의 음극의 면적은 200 μm x 200 μm 이며 100 μm 폭의 게이트에 의하여 둘러싸여 있다.

Fig. 18. Vertical structure of the fabricated n+/p gated diodes on the epi-wafer. The cathode of the diode has the area of 200 μm x 200 μm and is surrounded by the 100 μm wide gate.

p+ 매몰층 위의 에피 실리콘층에는 최종적으로 마이크로 머시닝에서 감지 소자 및 주변 회로가 제작되므로 제작된 에피 웨이퍼의 전기적 성질을 살펴 보는 것은 매우 중요하다. 일반적으로, 반도체 결정의 전기적 특성을 고찰하기 위하여 가장 많이 사용되는 방법은 다이오드를 제작하여 역방향 전압-전류 특성을 살펴보는 것이다. 본 실험에서는 내부 영역과 외부 영역의 에피 실리콘층에 그림 18과 같은 단면 구조를 갖는 각각 200 x 200 μm² 면적의 n+/p 게이트 다이오드(gated diode)를 제작하여 역방향 전압-전류 특성을 조사하였다. 양극(anode)를 접지하고 게이트에 음의 전압을 가하여 게이트 아래에 약하게 정공을 축적시킴으로써 기판 표면에 의한 누설 전류를 억제하고, 음극(cathode)에 양의 전압을 가하면서 상온에서 측정한다. 각 다이오드의 역방향 전압-전류 특성이 그림 19에 나와 있다. 예상한 대로 내부 영역에서 제작된 n+/p 다이오드의 누설전류는 외부 영역의 다이오드에 비하여 작음을 알 수 있으며, 5V 에서 약 0.6 nA/cm²를 나타낸다. 이 정도의 누설 전류는 ULSI에서의 요구조건도 만족할만큼 충분히 작은 값이므로, 본 연구에서 형

성한 부정합 전위가 없는 p+ 매몰층 위의 에피 실리콘 층은 마이크로 머시닝에서의 감지 소자 및 주변 회로를 제작하기에 충분하다.

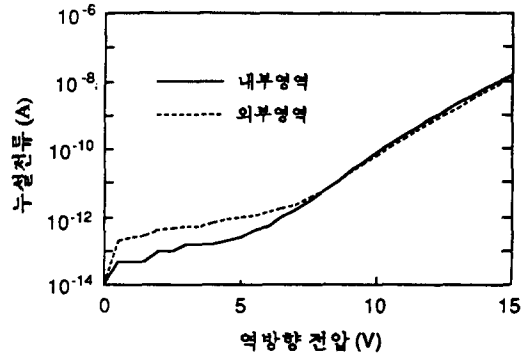


그림 19. 에피 웨이퍼에 제작된 n+/p 게이트 다이오드의 역방향 전압-전류 특성. 측정은 상온에서 실시하였다.

Fig. 19. Reverse I/V characteristics of the n+/p gated diodes fabricated on the epi-wafer. The measurement was performed at room temperature.

IV. 결 론

본 논문에서는 마이크로 머시닝에서 유용성이 큰 p+ 실리콘층 및 p+ 매몰층과 그 위의 저농도로 도핑된 실리콘층에서의 부정합 전위의 발생을 억제함으로써 이들 층의 기계적, 전기적 특성을 향상시켰다.

먼저, p+ 실리콘층의 부정합 전위는 웨이퍼 가장자리에서 발생된다는 것과 p+ 층을 따라 전파하는 부정합 전위는 도핑되지 않은 영역에서 그 전파가 차단된다는 것을 실험적으로 증명하였다. 결국, 링 형태의 도핑되지 않은 영역으로 p+ 영역을 둘러싸면 웨이퍼 가장자리로부터 발생되어 웨이퍼 내부로 전파하는 부정합 전위가 도핑되지 않은 영역에서 차단되어 부정합 전위가 억제된 p+ 실리콘층을 형성할 수 있게 되었다.

이와 같이 제안된 부정합 전위 억제 방법을 사용하여 부정합 전위가 없으면서 표면 거칠기가 매우 작은 p+ 실리콘 멤브레인을 제작할 수 있었으며, 이 멤브레인은 부정합 전위를 포함하는 기존의 p+ 실리콘 멤브레인에 비하여 Young's 모듈러스는 동일하나 잔류인장 응력과 파괴 강도가 큼을 기계적 측정을 통하여 알 수 있었다. 또한, 본 논문에서 추출한 부정합 전위

가 억제된 p+ 실리콘 멤브레인의 잔류 변형값으로부터 지금까지 실험적으로 정확히 추출하지 못하였던 p+ 실리콘의 고유 격자 상수 및 부정합 전위의 밀도 그리고 부정합 계수 등 여러가지 격자에 관련된 고유 성질을 알 수 있었다.

마지막으로 부정합 전위가 억제된 p+ 실리콘층 위에 성장된 에피 실리콘은 역시 부정합 전위가 발생되지 않음을 실험적으로 보였으며, 이와같은 p+ 매몰층 및 에피 실리콘층은 양호한 결정성 및 전기적 특성을 가지고 있음을 X선 회절 분석과 에피층에 제작된 다이오드의 전기적특성을 통하여 알 수 있었다.

따라서, 본 연구에서 고안된 부정합 전위가 억제된 p+ 실리콘층은 부정합 전위를 포함하는 기존의 p+ 실리콘층에 비하여 기계적 성질이 우수하고 잔류 응력이 정확하게 예측되며, p+ 매몰층 및 그 위의 실리콘층은 기존의 것보다 우수한 결정성과 전기적 특성을 가지고 있으므로 마이크로 머시닝에 있어서 그 용도가 매우 유망하다. 뿐만 아니라, 본 연구를 통해 추출된 여러가지 p+ 실리콘에 관한 상수들은 앞으로 p+ 실리콘을 연구하는데 있어서도 유익한 정보가 될 것으로 생각된다.

감사의 글

* 본 연구의 실험을 도와주신 삼성전자의 이종민씨와 박승호씨, 그리고 신민철씨, 한국표준연구소의 김창수 박사님, 현대전자 반도체 제 1연구소의 고유환 박사님께 감사드립니다.

참 고 문 헌

- [1] A. Bohg, "thylene Diamine-Pyrocatechol-water Mixture shows Etching Anomaly in Boron-Doped Silicon," J. Electrochem. soc., Vol. 118, No. 2, p 401, 1971.
- [2] H. Seidel, "The Mechanism of Anisotropic, Electrochemical Silicon Etching in Alkaline Solution," IEEE Solid-State Sensor and Actuator Workshop, p 86, 1990.
- [3] R. E. Acosta, J. R. Maldonado, and L. K. Towart, "B-Si Masks for Storage Ring X-Ray Lithography," Solid-State Technol., Oct., p 205, 1984.
- [4] K. H. Kim, "Fabrication of Accelerometer for Automotive Airbag System Using Micromachining," Thesis for Master Degree in KAIST, 1994.
- [5] J. W. Slotboom, M. J. J. Theunissen and A. J. R. de Kock, "Impact of Silicon Substrates on Leakage Current," IEEE Electron Devices Lett. EDL-4, p 403, 1983.
- [6] D. S. Yaney and C.W. Pearce, "The Use of Thin Epitaxial Silicon Layers for MOS ULSI," IEDM Tech. Dig., p 236, 1981.
- [7] K. Mitani and U. M. Gosele, "Wafer Bonding Technology for Silicon-On-Insulator Application: A Review," J. Electro. Mater., Vol. 21, p 669, 1992.
- [8] W. P. Maszara, "Silicon-On-Insulator by Wafer Bonding : A Review," J. Electrochem. Soc., Vol. B8, p 341, 1991.
- [9] P. M. Zavracky, "ISE Technology : A Flexible SOI Solution," in Proc. 4th Int. Symp. Silicon-on-Insulator Technology and Devices, edited by D. N. Schmidt, Electrochem. Soc., p 49, 1990.
- [10] F. Secco d' Aragona and Lj. Ristic, in Sensor Technology and Devices, edited by Lj. Ristic (Artech, London, 1994), p 192.
- [11] H. J. Queisser, "Slip Patterns on Boron-Doped Silicon Surfaces," J. Appl. Phys., Vol. 32, p 1776, 1961.
- [12] G. H. Schwuttke and H. J. Queisser, "X-ray Observations of Diffusion-Induced Dislocations in Silicon," J. Appl. Phys., Vol. 33, p1540, 1962.
- [13] J. Washburn, G. Thomas and H. J. Queisser, "Diffusion-Induced Dislocations in Silicon," J. Appl. Phys., Vol. 35, p 1909, 1964.
- [14] W. D. Nix, "Mechanical Properties of Thin Films," Metal. Trans., Vol. 20A, p 2217, 1989.
- [15] B. O. Kolbesen and H. P. Strunk, in

- VLSI Electronics Microstructure Science, Vol. 12 : Silicon Materials*, edited by N. G. Einspruch and H. Huff (Academic press, New York, 1985), p 170.
- [16] J. E. Lawrence. "Diffusion-Induced Stress and Lattice Disorders in Silicon," *J. Electrochem. soc.*, Vol. 113, p 819, 1966.
- [17] H.-J. Herzog, L. Csepregi, and H. Seidel. "X-ray Investigation of Boron- and Germanium-Doped Silicon Epitaxial Layers," *J. Electrochem. Soc.*, Vol. 131, p 2969, 1984.
- [18] B. O. Kolbesen and H. P. Strunk, in *VLSI Electronics Microstructure Science, Vol. 12 : Silicon Materials*, edited by N. G. Einspruch and H. Huff (Academic press, New York, 1985), p 173.
- [19] P. Balk, *The Si-SiO₂ System* (Elsevier, New York, 1988), p 131.
- [20] S. M. Hu, "Anomalous Temperature Effect of Oxidation Stacking Faults in Silicon," *Appl. Phys. Lett.*, Vol. 27, p 165, 1975.
- [21] W. Hayden, W. G. Moffatt and J. Wulff, *The Structure and Properties of Materials : Mechanical Behavior* (Wiley, New York, 1965), p 16.
- [22] J. W. Beams, in *Structure and Properties of Thin Films*, edited by C. A. Neugebauer, J. B. Newkirk and D. A. Vermilyea (Wiley, New York, 1959), p 183.
- [23] O. Tabata, K. Kawahata, S. Sugiyama and I. Igarashi. "Technical Property Measurements of Thin Films Using Load-Deflection of Composite Rectangular Membrane," in *Micro Electro Mechanical Systems : An Investigation of Micro Structures, Sensors, Actuators, Mechanics and Robots* (IEEE, New York, 1989), p 152.
- [24] See, e.g., *Properties of Silicon*, edited by T. H. Ning and C. Hilsum (INSPEC, New York, 1988), p 654.
- [25] E. A. Fitzgerald, "Dislocations in Strained-Layer Epitaxy : Theory, Experiment and Applications," *Mat. Sci. Rep.*, Vol. 7, p 87, 1991.
- [26] W. Lin, D. W. Hill, C. L. Paulnack, M. J. Kelly and K. E. Benson. "Misfit Stress and Dislocations in p/p+ Epitaxial Silicon Wafers : Effect and Elimination," in *Defect in Silicon II*, edited by W. M. Bullis, U. Goesele and F. Shimura, p 163.

— 저 자 소 개 —



李昊駿(正會員)

1963년 4월 28일생. 1986년 1월 한국항공대학 통신공학과 졸업 공학사. 1991년 2월 한국과학기술원 전기 및 전자공학과 졸업 공학석사. 1996년 2월 현재 한국과학기술원 전기 및 전자공학과 졸업 공학박사. 현재 현대전자(주) 전장사업본부에 선임연구원. 주관심분야는 SOI 및 마이크로 머신 등임



金夏洙(正會員)

1972년 11월 14일생. 1994년 2월 한국과학기술원 전기 및 전자공학과 졸업 공학사. 1994년 3월 ~ 현재 한국과학기술원 전기 및 전자공학과 석사 과정에 재학. 주관심분야는 적외선 감지소자, 마이크로 머신 등임



韓喆熙(正會員)

1954년 8월 12일생. 1977년 2월 서울대학교 전기공학과 졸업 공학사. 1979년 8월 한국과학기술원 전기 및 전자공학과 졸업 공학석사. 1983년 8월 한국과학기술원 전기 및 전자공학과 졸업 공학박사. 1983년 8월 ~ 1987년 8월 금성사 중앙연구소 책임연구원. 1987년 8월 ~ 1990년 한국과학기술대학 조교수. 1990년 ~ 현재 한국과학기술원 부교수. 주관심분야는 고속반도체 소자설계 및 회로 설계, 다결정실리콘 박막 소자, 마이크로 머신 등임



金忠基(正會員)

1942년 10월 1일생. 1965년 2월 서울대학교 전기공학과 졸업 공학사. 1967년 Columbia University 전기공학과 졸업 공학석사. 1967년 Columbia University 전기공학과 졸업 공학박사. 1970년 ~ 1973년 Fairchild U.S.A. Technical Staff. 1973년 ~ 1975년 Fairchild U.S.A. Section Head. 1975년 ~ 1979년 한국과학원 부교수. 1979년 ~ 현재 한국과학기술원 교수. 1982년 ~ 1983년 한국전자기술연구소 연구부장. 1975년 ~ 1979년 MCNC, U.S.A. 연구원. 주관심분야는 적외선 감지소자 제작 및 열영상 구현, 다결정실리콘 박막 소자, 마이크로 머신 등임