

論文96-33A-2-15

Single-Poly EEPROM의 프로그램 특성

(Programming Characteristics of Single-Poly EEPROM)

韓載天*, 羅基烈*, 李聖哲**, 金永碩*

(Jaechun Han, Keeyeol Na, Sungchul Lee, and Yeongseuk Kim)

요 약

본 논문에서는 표준 CMOS 공정으로 제작된 single-poly EEPROM의 컨트롤 게이트 구조 및 드레인 구조의 변화에 따른 channel-hot-electron 프로그램 특성을 분석하였다. Double-poly EEPROM에서 수직으로 배치된 컨트롤 게이트를 수평으로 펼쳐 놓은 single-poly EEPROM의 프로그램 및 소거 특성을 2차원 소자 시뮬레이터인 MEDICI를 이용하여 확인하였다. Single-poly EEPROM은 $0.8\mu\text{m}$ ASIC CMOS 공정을 이용하여 제작되었으며, HP4155 semiconductor parametric analyzer와 HP8110 pulse generator를 사용하여 프로그램 및 소거 특성을 측정하였다. 특히, 컨트롤 게이트가 $n^+/n\text{-well}$ 과 $p^+/n\text{-well}$ 로 구성된 경우에 대하여, 드레인 구조가 LDD와 single-drain인 경우에 대하여 프로그램 특성을 비교 및 분석하였다. $p^+/n\text{-well}$ 컨트롤 게이트, single-drain 구조의 single-poly EEPROM의 경우 드레인 전압 6V, 컨트롤 게이트 전압 12V(펄스 폭 1ms)로써 $V_T \approx 5V$ 를 실현하였다.

Abstract

In this paper we analyzed the channel-hot-electron programming characteristics of the single-poly EEPROM with different control gate and drain structures. The single-poly EEPROM uses the p^+/n^+ -diffusion in the n-well as a control gate instead of the second poly-silicon. The program and erase characteristics of the single-poly EEPROM were verified using the two-dimensional device simulator, MEDICI. The single-poly EEPROM was fabricated using $0.8\mu\text{m}$ ASIC CMOS process, and its CHE programming characteristics were measured using HP4155 parametric analyzer and HP8110 pulse generator. Especially we investigated the CHE programming characteristics of the single-poly EEPROM with the p^+ -diffusion or n^+ -diffusion in the n-well as a control gate and the LDD or single-drain structure. The single-poly EEPROM with p^+ -diffusion in the n-well as a control gate and single-drain structure was programmed to about $V_T \approx 5V$ with $V_{DS} = 6V$, $V_{CG} = 12V$ (1ms pulse width).

* 正會員, 忠北大學校 半導體 科學科

(Dept. of Semiconductor Science, Chungbuk Nat'l Univ.)

** 正會員, LG半導體 MCU 製品開發3室

(Device Development Dept. 3, LG Semicon Co., Ltd.)

接受日字: 1995年10月13日, 수정완료일: 1995年12月28日

1. 서 론

최근 EEPROM을 내장한 마이크로 프로세서 IC 등이 많이 요구되고 있는데 이의 실현을 위해서는 마이크로 프로세서에 필요한 기존의 저전압 CMOS 공정과 고전압 EEPROM 공정을 결합해야 한다. 기존의 저전

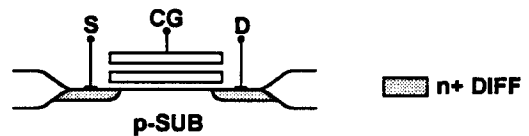
압 CMOS 공정은 single-poly 실리콘 게이트와 이중 배선 기술을 사용하는데 비하여 EEPROM 공정은 double-poly 실리콘 게이트 공정과 interpoly 실리콘 절연막을 만들기 위한 고온 산화 공정, CVD 막 제조 기술, 플라즈마 에칭 등과 같은 복잡한 공정을 필요로 한다. 따라서 EEPROM 내장 마이크로 프로세서 IC는 5개 이상의 추가 마스크와 20회 이상의 추가 공정 과정을 필요로 하기 때문에 공정 개발에 추가 시간 소요, 공정 단가 상승, 수율 하락 등과 같은 문제점이 발생한다. 이에 대한 해결책으로서 기존의 표준 CMOS 공정을 그대로 이용한 EEPROM 소자가 제안되었다^{11, 112)}. 이 구조는 수직으로 배열된 double-poly EEPROM 구조를 수평으로 펼쳐 놓았기 때문에 면적이 2배 이상 증가하는 단점이 있으나 많은 메모리 용량을 필요로 하지 않는 EEPROM 내장 마이크로 프로세서 등에 적합하다.

그러나 이제까지 single-poly EEPROM의 최적 구조가 연구되지 않았고 또한 프로그램 특성이 알려지지 않았기 때문에 실용화가 어려웠다. 본 논문에서는 여러 가지 single-poly EEPROM 구조에 대하여 프로그램 특성을 조사하여 논리회로나 마이크로 프로세서에 직접 활용될 수 있도록 하였다. 먼저 single-poly EEPROM의 프로그램 특성을 확인하기 위하여 2차원 소자 시뮬레이터인 MEDICI를 이용하여 모의실험을 하였다. 이를 바탕으로 레이아웃 및 마스크를 완성하였으며 0.8 μ m ASIC CMOS 공정(155Å 게이트 산화막)을 이용하여 single-poly EEPROM을 제작하였다. 프로그램 특성은 HP4155 semiconductor parametric analyzer와 HP8110 pulse generator를 사용하여 측정하였다. 첫째로 컨트롤 게이트가 n^+ / n -well로 구성된 경우와 p^+ / n -well로 구성된 경우에 대해서 프로그램 특성을 비교하였으며, 둘째로 컨트롤 게이트 전압, 커플링 비율, 그리고 드레인 전압의 변화에 따른 프로그램 특성을 측정하였고, 셋째로 드레인이 LDD(Lightly Doped Drain)인 경우와 SD(Single Drain)인 경우에 대해서 프로그램 특성을 비교, 분석하였다.

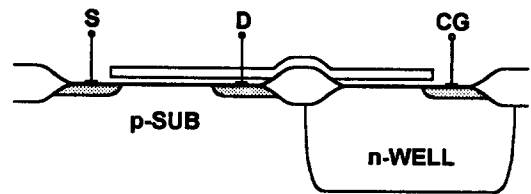
II. 소자 구조 및 시뮬레이션

Double-poly EEPROM(NOR형 Flash¹³⁾)은 Channel Hot Electron(CHE) 프로그램 방식과

Fowler-Nordheim Tunneling(FNT) 소거 방식을 이용한 반도체 비휘발성 기억 소자로서 그림 1 (a)에 나와 있다. 맨 위의 게이트는 "컨트롤 게이트"로서 셀 어레이의 워드 라인에 연결되고 그 아래의 게이트는 "플로팅 게이트"로서 외부 어떤 노드와의 연결이 없이 전하를 보관한다. 플로팅 게이트와 컨트롤 게이트 사이에 있는 중간 절연막은 보통 ONO(Oxide-Nitride-Oxide) 박막으로 되어 있어 플로팅 게이트에 들어온 전하의 보관 특성(data retention)을 결정한다. 플로팅 게이트 아래의 터널 산화막은 약 100Å 정도라서 그 신뢰성이 개서 회수(endurance)를 결정한다¹⁴⁾.



(a) Double-Poly EEPROM



(b) Single-Poly EEPROM

그림 1. (a)Double-Poly EEPROM과 (b)Single-Poly EEPROM 셀의 구조.

Fig. 1. Cross-Sectional view of (a)Double-Poly EEPROM (b)Single-Poly EEPROM cells.

Single-poly EEPROM은 double-poly EEPROM에서 "2차 폴리실리콘"으로 구성된 컨트롤 게이트가 n^+ / n -well로 구성되어 있다(그림 1(b) 참조). 즉, 수직으로 배열된 게이트 구조가 수평으로 펼쳐진 구조이다. 플로팅 게이트는 NMOS에서부터 field oxide 위를 통과하여 n^+ / n -well 컨트롤 게이트 위로 이어져 있다. 컨트롤 게이트의 인가 전압 중에서 터널 산화막(NMOS 게이트 산화막)에 걸리는 전압을 나타내는 커플링 비율(coupling ratio)은 NMOS 게이트 캐패시턴스와 n -well 컨트롤 게이트 캐패시턴스 비율로 결정된다. 즉, n -well 캐패시턴스가 클수록 커플링 비율이 증가하여 터널 산화막 인가 전압은 증가한다.

Single-poly EEPROM에서의 프로그램은 CHE 방

식과 FNT 방식이 있다^[2]. 그런데 0.8 μ m 표준 CMOS 공정으로 제작된 소자의 경우 n⁺/p-sub의 항복 전압은 약 14V정도이므로 이보다 낮은 전압에서 FNT 방식으로 프로그램 할 경우 프로그램 펄스 폭이 상당히 커야 하므로 CHE 방식을 이용한 프로그램 방식이 보다 효과적이라 할 수 있다. CHE 프로그램 방식은 컨트롤 게이트에 약 12V, 드레인에 약 6V를 인가한다. 즉, 드레인 전압에 의해서 드레인 접합 근처에서 수평 전계가 증가하여 hot electron이 발생하고 이 중의 일부는 플로팅 게이트 전압(컨트롤 게이트 전압 \times 커플링 비율)의 도움을 받아 플로팅 게이트로 주입된다. 플로팅 게이트로 모여든 전자에 의하여 문턱 전압은 증가하게 된다($V_T > 5$ V). 소거는 소스를 통한 FNT를 이용한다. 컨트롤 게이트는 접지하고 소스에 높은 전압(12V)을 인가하게 되면 캐패시턴스 커플링에 의해 플로팅 게이트와 소스 사이의 게이트 산화막에는 높은 전압이 유지 된다. 이 높은 전압은 FNT를 일으켜 플로팅 게이트의 전자들이 소스로 방출되게 된다. 플로팅 게이트의 전자들이 빠지게 되면 문턱 전압은 약 1V 정도로 낮아진다.

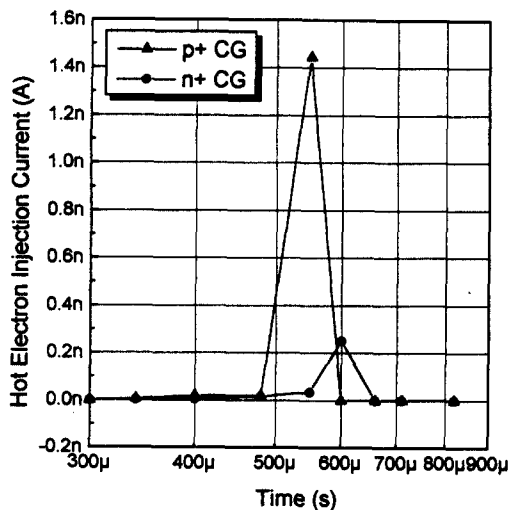


그림 2. 프로그램 동안 CHE 주입 전류 변화 (MEDICI 시뮬레이션).
 Fig. 2. CHE injection current during programming(MEDICI simulation).

Single-poly EEPROM 구조에 대해서 프로그램 및 소거 동작의 확인을 위해서 2차원 소자 시뮬레이션을 하였다. 이 시뮬레이션은 FNT와 CHE 모델을 가지고 있는 MEDICI^[5]라는 프로그램을 이용하였다.

n-well의 표면 농도를 $6 \times 10^{16} \text{cm}^{-3}$, 접합 깊이를 3.0 μm 으로 하였으며, n⁺ S/D 및 p⁺ S/D의 표면 농도를 $2 \times 10^{20} \text{cm}^{-3}$, 접합 깊이를 0.3 μm 로 하였다. 시뮬레이션 동안 numerical convergence 문제를 최소화하기 위해 플로팅 게이트의 경계 조건을 전위가 아닌 전하로 하였다.

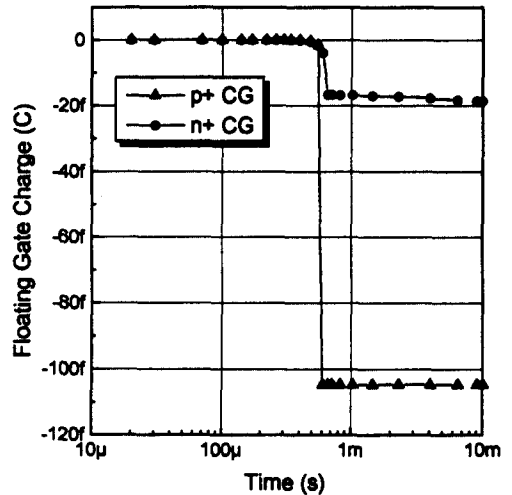


그림 3. 프로그램 동안 플로팅 게이트 전하 변화 (MEDICI 시뮬레이션).
 Fig. 3. Floating gate charge during programming(MEDICI simulation).

p⁺/n-well 컨트롤 게이트와 n⁺/n-well 컨트롤 게이트인 경우에 대하여 single-poly EEPROM의 CHE 프로그램 특성을 시뮬레이션 하였다. 셀의 프로그램을 위하여 컨트롤 게이트와 드레인에 각각 12V, 7V를 인가하고, transient simulation 동안 "게이트 전류"를 선택하여 CHE 모델이 사용되게 하였다.(소거 시에는 "FN 전류"를 선택하여 FNT 모델이 사용되게 해야 한다.) 셀의 프로그램 동안 hot electron injection 전류의 변화가 그림 2에 나와 있다. p⁺/n-well 컨트롤 게이트로 구성된 single-poly EEPROM 셀의 hot electron injection 전류가 n⁺/n-well 컨트롤 게이트로 구성된 single-poly EEPROM 셀보다 7배정도 더 많이 흐르고 있음을 알 수 있다. 그림 3에는 프로그램 동안 플로팅 게이트의 전하 변화가 나와 있다. 플로팅 게이트로 CHE 주입에 의해 플로팅 게이트는 점점 음의 전하가 증가함을 알 수 있다. p⁺/n-well 컨트롤 게이트 single-poly EEPROM 셀이 CHE 주입 전류가 많기 때문에 전하

변화량이 더 많음을 알 수 있다. p^+/n -well 컨트롤 게이트 single-poly EEPROM 셀이 CHE 주입 전류가 많은 이유를 알기 위하여 플로팅 게이트 아래 n-well의 전자 및 정공 분포를 조사해 보았다(그림 4). 이 그림에서 Si-SiO₂ 계면에서 반전(inversion)이 일어나 정공이 많이 있음을 알 수 있다. 이는 셀의 프로그램 동안 컨트롤 게이트에 비하여 플로팅 게이트의 전압이 더 낮기 때문이다. 따라서 p^+/n -well 컨트롤 게이트를 사용하면 n^+/n -well 컨트롤 게이트인 경우에 비해서 컨트롤 게이트와 플로팅 게이트 사이의 정전 용량이 증가하기 때문에 커플링 비율이 증가한다. 이는 플로팅 게이트에 더 많은 전압이 걸리게 하여 플로팅 게이트로의 CHE 주입을 더 많이 일어나게 한다. 이는 실험에서도 확인되었다.

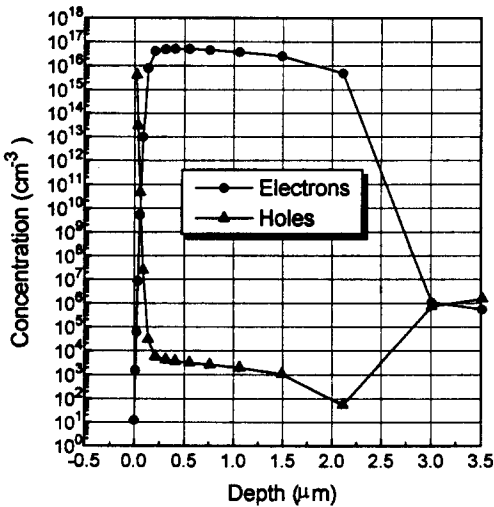


그림 4. 프로그램 동안 n-well의 전자 및 정공 분포(MEDICI 시뮬레이션).

Fig. 4. Electron and hole carrier distributions in n-well during programming(MEDICI simulation).

III. 소자 제작

Single-poly EEPROM의 레이아웃은 충북대학교에서 개발된 "GEX"^[6]란 CAD 도구를 사용하여 완성된 후 GDSII로 변환하였다. 전체 칩의 크기는 4mm × 4mm로 40개의 pad를 포함하고 있다. 이 칩은 CHE 프로그램 특성을 평가하기 위해 커플링 비율을 변화시킨 셀, 컨트롤 게이트 구조를 변화시킨 셀 등을

포함한 여러 가지 테스트 구조를 가지고 있다. 커플링 비율이 0.8인 single-poly EEPROM 셀의 레이아웃이 그림 5와 같다. n^+ 드레인/소스와 n-well edge 및 n^+/p^+ 컨트롤 게이트와 n-well edge 사이의 거리는 항복 전압의 증대를 위하여 충분한 거리를 유지하였다. n^+/p^+ 컨트롤 게이트의 폭과 NMOS 폭은 커플링 비율에 의하여 결정된다. 커플링 비율을 증가시키기 위해서는 NMOS 트랜지스터의 크기는 최소로 하고 컨트롤 게이트의 면적은 최대로 해야 한다. n-well 모서리의 각도는 90° 대신에 45°를 유지하여 될 수 있는 한 항복 전압이 증가할 수 있도록 하였다. Single-poly EEPROM의 셀면적은 double-poly EEPROM에 비해서 n-well 때문에 2배 이상 증가하므로 레이아웃시 최적설계가 필요하다.

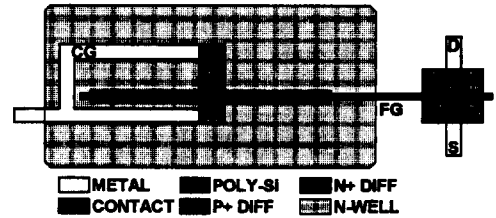


그림 5. Single-poly EEPROM 셀의 레이아웃.
Fig. 5. Layout of the single-poly EEPROM cell.

Single-poly EEPROM은 0.8μm 표준 CMOS 공정으로 제작되었는데 공정 flow 및 split 실험은 그림 6과 같다. CMOS 공정을 이용한 single-poly EEPROM의 제작을 위하여 9-12 ohm-cm의 p-type 기판 위에 n-well을 형성하였다. 컨트롤 게이트가 이 n-well과 n^+/p^+ -확산으로 형성되기 때문에 아주 높은 항복 전압을 가진다. 다음으로 게이트 산화막 성장 공정을 한다. 이때 터널 산화막 및 컨트롤 게이트 산화막이 동시에 길러진다. 그후 플로팅 게이트는 다결정 실리콘 증착, POCl₃ 도핑(n^+), 게이트 photolithography로 완성된다. 다음 공정이 LDD 제작 공정인데 여기서 split 실험을 한다. Single-poly EEPROM의 CHE 프로그램 방식은 abrupt 드레인 접합이 요구된다. 그러나 표준 CMOS공정은 hot carrier injection 방지를 위하여 LDD를 가지고 있는데, 이의 CHE 프로그램에 대한 영향을 조사하기 위한 실험이다. 일부의 웨이퍼는 n^- photo, n^- I/I, LDD spacer 증착 및 LDD spacer etch 공정을 생략하였다. 마치

막으로 소스/드레인 n^+ 이온 주입 공정으로 single-poly EEPROM 소자가 완성된다.

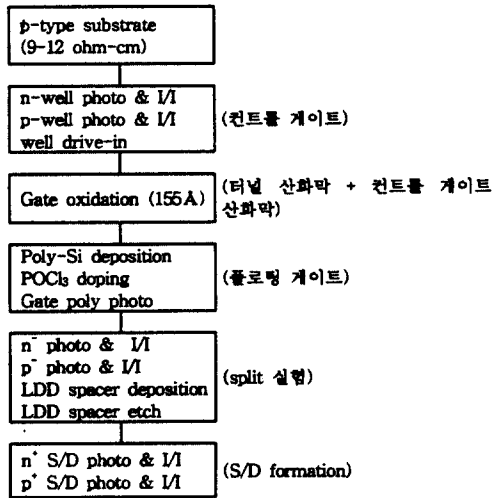


그림 6. Single-poly EEPROM 공정 flow 및 split 실험.

Fig. 6. Process flow of the single-poly EEPROM.

IV. 소자 측정 결과 및 분석

0.8 μ m ASIC CMOS 공정으로 완성된 single-poly EEPROM을 HP4155 semiconductor parametric analyzer 및 HP8110 pulse generator를 이용하여 측정 및 분석하였다. LDD 구조와 single 드레인 구조 외 single-poly EEPROM의 one-shot 프로그램 특성이 그림 7에 나와 있다. 컨트롤 게이트에 12V를 인가한 상태에서 드레인 전압을 증가시키면서 드레인 전류를 관찰한 것이다. 드레인 전압이 증가하면 선형 영역에서 포화 영역으로 들어가면서 전류가 포화된다. 그런데 LDD 구조 셀의 경우 드레인 전압이 5.8V(SD 구조 셀의 경우 5.0V)가 되면 드레인 접합에는 충분히 높은 수평 전계가 걸리기 때문에 hot-electron이 발생한다. 이 중 일부는 플로팅 게이트로 주입되어 문턱 전압이 급격히 상승한다. 따라서 드레인 전류는 그림에서처럼 급격히 감소한다. 그런데 LDD 구조 셀의 경우 드레인 전압이 8.7V(SD 구조 셀의 경우 6.7V)가 되면 드레인 접합에서 avalanche 항복이 일어나서 소자가 파괴됨을 알 수 있다. 프로그램시 드레인 전압은 항상 이 항복 전압보다 낮게 걸려야 한다. SD 구조 셀은

더 낮은 드레인 전압에서 프로그램 되지만 그만큼 항복 전압도 낮아진다. SD 구조 셀은 다음의 두 가지 점에서 CHE 프로그램이 유리하다. 첫째로, SD 구조 셀은 n^- 확산, LDD spacer가 없기 때문에 유효 채널 길이가 짧다. 따라서 그림 7에서처럼 드레인 전류가 높다. CHE 프로그램은 채널 전류 밀도, 드레인 접합 근처에서의 수평 전계 크기에 상관된다. 둘째로, SD 구조 셀은 유효 채널 길이가 짧을 뿐만 아니라 드레인 접합의 n^+ 농도가 높기 때문에 수평 전계 크기가 크다. 이러한 이유 때문에 CHE 프로그램이 일어나는 드레인 전압이 약 1V 감소함을 그림 7에서 알 수 있다.

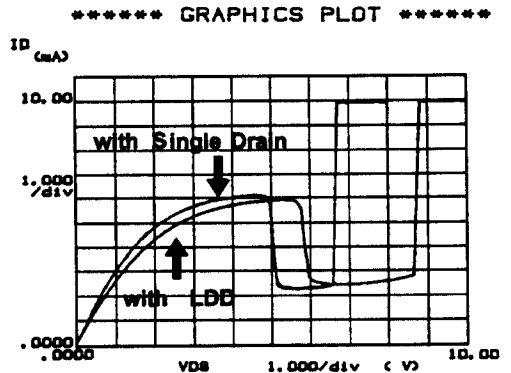


그림 7. LDD와 SD 구조를 가진 Single-poly EEPROM의 one-shot 프로그램 특성. P^+/n^- well 컨트롤 게이트, $K=0.8$, $V_{CG}=12V$.

Fig. 7. One-shot programming characteristics of the single-poly EEPROM with LDD and SD structure. P^+/n^- well control gate, $K=0.8$, $V_{CG}=12V$.

그림 8은 single-poly EEPROM의 (1) virgin cell, (2) 프로그램 후, (3) 소거 후의 I_D-V_{GS} 특성을 보여준다. 약 1.5V의 문턱 전압을 갖는 virgin 셀의 프로그램을 위하여 컨트롤 게이트에 12V를 인가한 상태에서 드레인 전압을 0V에서 8V까지 증가시켰다. 프로그램 된 셀은 약 8.0V의 문턱 전압을 나타내고 있다. 셀의 소거를 위하여 소스에 12V, 컨트롤 게이트에 0V, 드레인은 연결하지 않았다. 소거 후 문턱 전압이 약 0.5V로 됨을 알 수 있다. 소거 및 프로그램이 완벽하게 되었음을 보여주고 있다. 이 그림에서 누설 전류가 약 10pA정도 흐르고 있는데 이는 측정 장치에서의 누설 전류이다.

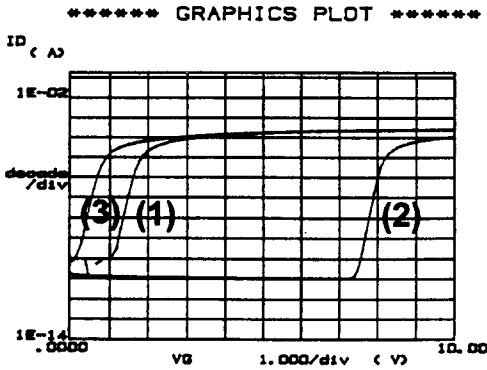


그림 8. Single-poly EEPROM의 I_D - V_{GS} 특성: (1) virgin 셀, (2) 프로그램 후, (3) 소거 후. P^+/n -well 컨트롤 게이트, SD, $K=0.8$

Fig. 8. I_D - V_{GS} characteristics of the single-poly EEPROM cell: (1) virgin cell, (2) programmed cell, (3) erased cell. P^+/n -well control gate, SD, $K=0.8$.

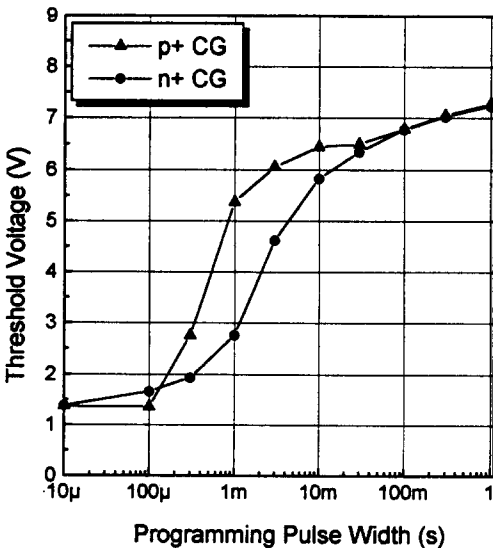


그림 9. P^+/n -well 컨트롤 게이트 구조와 n^+/n -well 컨트롤 게이트 구조의 single-poly EEPROM 셀의 CHE 프로그램 특성. SD, $K=0.8$, $V_{CG}=12V$, $V_{DS}=6V$.

Fig. 9. CHE Programming characteristics of the single-poly EEPROM with p^+/n -well control gate and n^+/n -well control gate. SD, $K=0.8$, $V_{DS}=6V$.

그림 9는 single-poly EEPROM의 컨트롤 게이트

가 p^+/n -well로 구성된 경우와 n^+/n -well로 구성된 경우에 대해서 펄스 폭의 변화에 따른 프로그램 특성을 보여준다. 이 실험에서 컨트롤 게이트 펄스의 rise/fall time의 영향을 없애기 위하여 모두 rise/fall time을 10ns로 고정하였다. 드레인과 소스 사이에 6V를 가하고 컨트롤 게이트에 12V 펄스를 인가했다. 그림에서 알 수 있듯이 p^+/n -well 컨트롤 게이트 구조를 가지고 있는 셀이 n^+/n -well 컨트롤 게이트 구조를 가진 셀보다 프로그램 속도가 더 빠르다. 이는 프로그램 동안 n^+/n -well인 경우, 플로팅 게이트 아래의 n-well이 공핍되어 커플링 비율이 감소하기 때문이다(그림 4 참조). 그러나 소거인 경우는 이와 반대이므로 컨트롤 게이트는 $n^+/p^+/n$ -well로 구성하는 것이 가장 이상적이다. p^+/n -well 컨트롤 게이트의 경우 프로그램을 위해서 1ms 정도의 펄스 폭이 필요하다는 것을 알 수 있다.

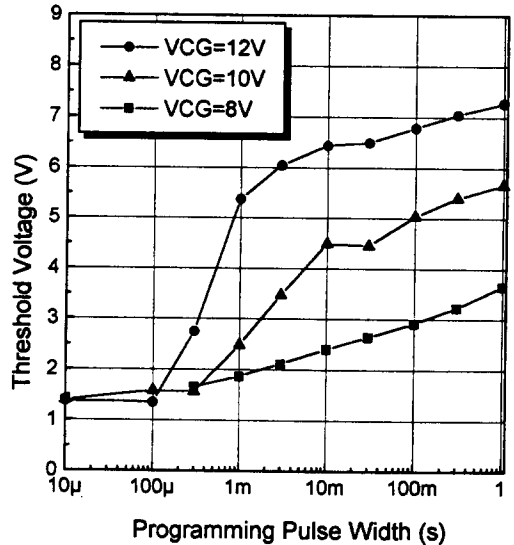


그림 10. 컨트롤 게이트 전압의 변화에 따른 single-poly EEPROM의 CHE 프로그램 특성. p^+/n -well 컨트롤 게이트, SD, $K=0.8$, $V_{DS}=6V$.

Fig. 10. Programming characteristics of the single-poly EEPROM with different control-gate voltages. P^+/n -well control gate, SD, $K=0.8$, $V_{DS}=6V$.

다음으로 p^+/n -well 컨트롤 게이트의 경우 컨트롤 게이트에 펄스 크기를 변화시켜 인가했을 경우 프로그

램 특성을 비교했다(그림 10). 컨트롤 게이트에 10V 펄스를 인가했을 때보다 12V 펄스를 인가했을 때 프로그램 속도가 더 빠르다. CHE 프로그램 방식은 수평 전계뿐 아니라 수직 전계에도 크게 의존하기 때문이다.

커플링 비율(K)의 변화에 따른 single-poly EEPROM의 CHE 프로그램 특성이 그림 11에 나와 있다. K=0.8 일 때 1ms 이하의 프로그램 펄스로써 문턱 전압 5V를 실현할 수 있음을 보여준다. K=0.6 일 때는 문턱 전압 5V를 얻기 위해서 수 ms의 프로그램 펄스가 필요함을 알 수 있다. 커플링 비율이 증가하면 면적이 증가하기 때문에 K=0.6 이상을 유지하는 것이 최적이라고 생각된다. K=0.4 일 때는 프로그램 속도가 너무 느리기 때문에(수십 ms) 사용할 수가 없다.

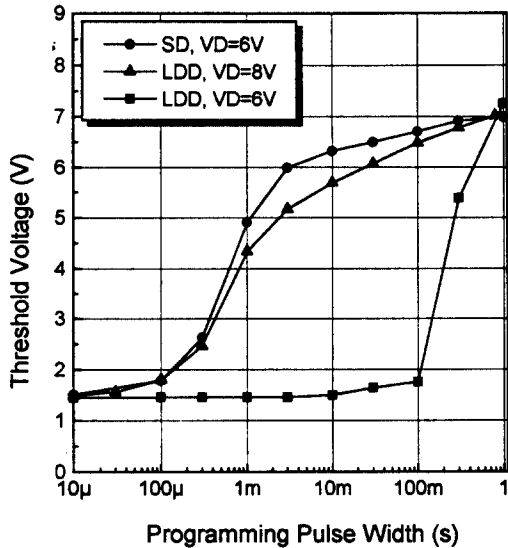


그림 11. 커플링 비율의 변화에 따른 single-poly EEPROM의 CHE 프로그램 특성. p⁺/n-well 컨트롤 게이트, SD, V_{CG}=12V, V_{DS}=6V.

Fig. 11. CHE programming characteristics of the single-poly EEPROM with different coupling ratios. p⁺/n-well control gate. SD, V_{CG}=12V, V_{DS}=6V.

커플링 비율과 컨트롤 게이트 전압은 채널의 hot electron을 플로팅 게이트에 주입하기 위해 필요한 수직 전계에 영향을 미쳐서 CHE 프로그램 특성을 변화시킨다. 또한 드레인 전압의 크기는 수평 전계의 크기

를 바꾸어서 CHE 프로그램에 영향을 미친다(그림 12 참조). 이 그림은 V_D=5.0V, 5.5V, 6.0V 일 때의 CHE 프로그램 특성을 보여준다. V_D=6.0V 일 때 제일 빨리 프로그램 됨을 알 수 있다.

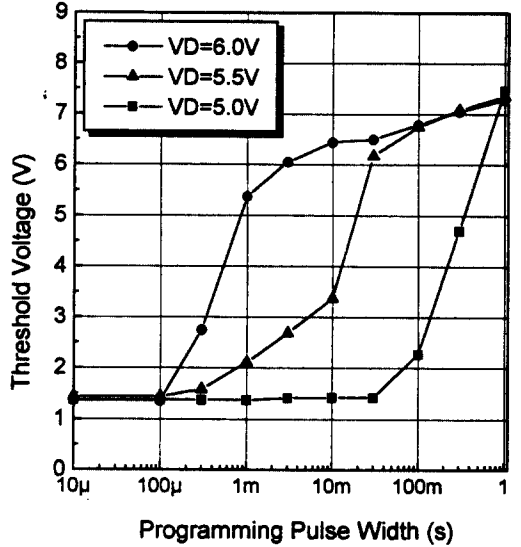


그림 12. 드레인 전압의 변화에 따른 single-poly EEPROM의 CHE 프로그램 특성. p⁺/n-well 컨트롤 게이트, SD, K=0.8, V_{CG}=12V.

Fig. 12. CHE programming characteristics of the single-poly EEPROM with different drain voltages. p⁺/n-well control gate. SD, k=0.8, V_{CG}=12V.

LDD 구조와 SD 구조의 single-poly EEPROM의 CHE 프로그램 특성 비교가 그림 13에 나와 있다. 드레인에 6V, 컨트롤 게이트에 12V 펄스를 가해서 프로그램 했을 때 SD 구조의 single-poly EEPROM 셀이 LDD 구조의 single-poly EEPROM 보다 수백 배정도 CHE 프로그램이 훨씬 빠르게 되는 것을 알 수 있다. 왜냐하면, LDD 구조에서 드레인 접합 근처의 수평 전계가 SD 구조보다 낮기 때문이다. LDD 구조의 single-poly EEPROM 셀이 SD 구조 셀과 비슷한 프로그램 특성을 갖기 위해서는 더 높은 드레인 전압(V_D=8V)이 요구된다. 그러나 LDD를 포함한 표준 CMOS 공정을 사용할 경우 SD 구조 셀의 제작을 위해서는 LDD 공정을 피하기 위한 추가 마스크가 필요하다. 참고로 SD single-poly EEPROM은 double-

poly EEPROM에 비해서 드레인 접합이 최적설계가 되지 않았기 때문에 프로그램 속도는 훨씬 느리다.

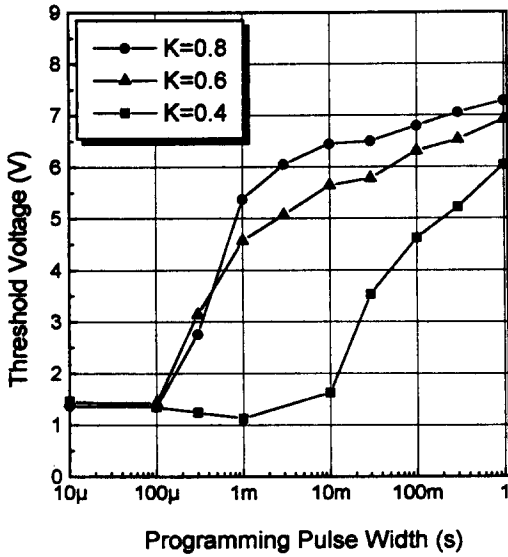


그림 13. SD 과 LDD 구조를 가진 single-poly EEPROM의 CHE 프로그램 특성. p⁺/n-well 컨트롤 게이트, K=0.8, V_{CG}=12V.

Fig. 13. CHE Programming characteristics of the single-poly EEPROM with SD and LDD structure. p⁺/n-well control gate, K=0.8, V_{CG}=12V.

V. 결 론

0.8µm 표준 CMOS공정으로 single-poly EEPROM을 제작하였으며, 이의 프로그램 특성을 측정하고 분석하였다. p⁺/n-well(또는 n⁺/n-well) 컨트롤 게이트와 NMOS로 구성된 이 셀은 V_{CG}=12V, V_D=6V에서 CHE 프로그램 됐을 때, 7~8V의 문턱 전압을 가지고 V_S=12V, V_{CG}=0V에서 FNT로 소거된다. 즉, 전원 전압 5V에서 EEPROM으로서의 기능을 가지고 있다. 컨트롤 게이트로 p⁺/n-well을 사용한 구조가 n⁺/n-well을 사용한 구조보다 더 좋은 프로그램 특성을 가지고 있다. SD 소자가 LDD의 경우 보다 프로그램 속도가 훨씬 빠르나 동일한 칩상의 다른 논리회로 소자에는 LDD공정을 사용하여야 하므로 SD 구조의 single-poly EEPROM을 위하여 추가 마스크가 필요하게 된다. 그러나 LDD구조에서도 드레인에

8V를 가지고 p⁺/n-well 컨트롤 게이트 구조를 사용하면 SD 소자와 비슷한 특성을 가질 수 있다. 비록 single-poly EEPROM 셀의 면적이 double-poly EEPROM 셀보다 약 2배 이상 크지만 작은 용량의 메모리를 내장한 one-chip 마이크로 컨트롤러 제작이나 ASIC에 유용할 것이다. Single-poly EEPROM 소자의 회로 동작을 보기 위하여 single-poly EEPROM을 내장한 FPLD(Field Programmable Logic Device)를 설계하였다.

감사의 글

※ 본 연구는 한국과학재단 핵심전문연구(941-0900-019-2)에 의해 연구되었음.

참 고 문 헌

- [1] K. Yoshikawa, S. Mori, and N. Arai, "An EPROM cell structure for EPLD's compatible with single poly-Si gate process," IEEE Trans. Electron Devices, vol. 37, no. 3, p. 675, 1990.
- [2] K. Ohsaki, N. Asamoto, and S. Takagaki "A single poly EEPROM cell structure for use in standard CMOS process," IEEE J. Solid-state circuits, vol. 29, no. 3, p. 311, 1994.
- [3] 서강덕, 임형규, "Flash Memory 기술 동향 및 향후 전망," 전자공학회지 제19권 제5호, p. 371, 1992
- [4] Yeongseuk Kim et al., "Low-Defect-Density and High-Reliability FETMOS EEPROM's Fabricated Using Furnace N₂O Oxynitride," IEEE Electron Device Lett., vol. 14, no. 7, p. 342, 1993.
- [5] TMA, MEDICI Manual, 1993.
- [6] 조경록, "CBUIC VLSI 설계 시스템", User Manual, 1994

— 저 자 소 개 —

韓 載 天(學生會員) 1996년 충북대학교 반도체학과
졸업예정

李 聖 哲(正會員)

1982년 서울대 전기공학과 졸업(공학사). 1984년 과학기술원 전기 및 전자공학과 석사. 1993년 Univ. of Arizona 전기공학과 박사. 1983년 ~ 현재 LG 반도체 M3BU 제품개발 3실 책임연구원. 주관심분야는 Flash Memory, 강유전체응용 등임

羅 基 烈(準會員)

1995년 충북대학교 반도체학과 졸업 (이학사). 현재 충북대학교 전자공학과 대학원 석사과정

金 永 碩(正會員)

1980년 서울대학교 전자공학과 졸업 (공학사). 1982년 서울대학교 전자공학과 석사. 1990년 Univ. of Florida 대학 전기공학과 박사. 1982년-1985년 금성사 중앙연구소. 1990년-1993년 Motorola APRDL 연구원. 1993년-현재 충북대학교 반도체학과 조교수. 주관심 분야는 Flash EEPROM, HBT, Power 반도체 소자 등임