

論文96-33A-2-21

전류 경로 그래프를 이용한 BiCMOS회로의 단락고장 검출

(On the Detection of Short Faults in
BiCMOS Circuits using Current Path Graph)

申載興*, 林寅七*

(Jae-Heung Shin and In-Chil Lim)

요 약

BiCMOS회로는 논리를 구성하는 CMOS부분과 출력 부하를 구동하는 바이폴라 부분으로 구성되기 때문에, BiCMOS회로에서 발생하는 단락고장의 효과는 CMOS에서 발생하는 단락고장의 효과와는 다른 형태로 나타난다. 본 논문에서는 전류 경로 그래프를 이용하여 BiCMOS회로에서 발생하는 단락고장을 검출하는 테스트 방법을 제안한다. 제안된 방법은 확장된 스위치-레벨 모델(Extended Switch-level Model)을 이용하여 BiCMOS 회로를 노드(node)와 에지(edge)로 구성된 그래프로 변환하고, 변환된 그래프를 풀-업측(pull-up part)와 풀-다운측(pull-down part)으로 분할한다. 분할된 그래프에서 단락고장이 발생한 트랜지스터에 따라 에지를 제거하거나 새로운 에지를 추가하고, 입력 패턴(input pattern)에 의한 트랜지스터의 on, off관계로 생성된 전류 경로 그래프(current path graph)를 이용하여 단락고장을 검출한다. 제안된 방법의 타당성을 Spice 시뮬레이션 결과와 비교하여 입증한다.

Abstract

Because BiCMOS logic circuits consist of CMOS part which constructs logic function and bipolar part which drives output load, the effect of short faults on BiCMOS logic circuits represented different types from that on CMOS. This paper proposes new test method which detects short faults on BiCMOS logic circuits using current path graph. Proposed method transforms BiCMOS circuits into graph constructed by nodes and edges using extended switch-level model and separates the transformed graph into pull-up part and pull-down part. Also, proposed method eliminates edge or add new edge, according to short faults on terminals of transistor, and can detect short faults using current path graph that generated from on- or off-relations of transistor by input patterns. Properness of proposed method is verified by comparing it with results of Spice simulation.

I. 서 론

BiCMOS회로는 CMOS의 저전력소비와 고집적도의 장점, 그리고 바이폴라의 큰 부하구동 능력의 장점을 결합하여 구성한 회로로 디지털 시스템에서 출력구동기(output driver)를 설계하기 위해 주로 사용된다.^{1) 12) 13)} CMOS와 바이폴라를 결합한 BiCMOS 회

로는 복잡한 제조공정으로 인하여 수율이 떨어지기 때문에 테스트가 중요한 문제로 대두되고 있다.

BiCMOS회로는 동일한 기판(substrate)위에 바이폴라와 MOS 트랜지스터를 집적하기 때문에 바이폴라와 MOS 트랜지스터에서 발생하는 모든 결함이 발생 가능하다. 바이폴라에서 주로 발생하는 물리적인 결함은 트랜지스터 터미널 연결선의 개방(open), 연결선들 사이의 단락(short), 그리고 콜렉터(collector)에서 에미터(emitter)로 과도한 누설전류(leakage current)가 흐르는 트랜지스터 파이프(piped) 등이 발

* 正會員, 漢陽大學校 工科學科 電子工學科

(Dept. of Elec. Engineering, Hanyang Univ.)

接受日字: 1995年12月5日, 수정완료일: 1996年1月27日

생활 수 있으며, CMOS에서는 단락과 개방, 그리고 회로의 성능을 저하시키는 결함이 발생할 수 있다.^[4]
[5] [6] [7]

BiCMOS회로에서 발생하는 물리적인 결함들을 신호선(signal line) stuck-at 고장으로는 모두 모델링할 수 없기 때문에 stuck-at 고장 모델뿐만아니라, stuck-open, stuck-on, 단락고장, 개방고장, 지연고장(delay fault) 모델등을 사용해야 하며, CMOS에서 발생한 고장을 검출하기 위해 사용한 고장 모델링과 시뮬레이션은 전기적 동작에서의 차이점 때문에 BiCMOS에 그대로 적용할 수 없다. 따라서 게이트의 논리적 기능의 변화처럼 간단히 모델링되지 않을 뿐만 아니라 전기적 영향으로 stuck-at 고장 모델로 기술할 수 없는 동적 성능 저하를 초래하는 BiCMOS회로의 단락고장의 경우에 고장 모델링과 고장 시뮬레이션에 대한 새로운 연구가 필요하다.

단락고장은 트랜지스터의 제조공정상에서 트랜지스터 터미널 사이의 연결로서, IC결합의 중요한 형태로 인식되어 왔다. BiCMOS회로 내부에서 발생하는 단락고장은 단락된 노드의 저항 값에 따라 CMOS에서 발생하는 단락고장보다 훨씬 더 복잡한 전기적 특성을 나타낸다. 단락된 노드 사이의 저항 값이 매우 작을 때 ($R_{short} < 10\Omega$), 단락고장의 효과가 회로의 출력에 영향을 미치고, 저항 값이 매우 큰 경우에는 회로의 출력에서 논리적인 오류를 발생시키지 않는다.^{[8] [9]} 단락고장의 가장 일반적인 결과는 VDD와 GND사이의 정적 전류경로(static current path)를 형성한다.^{[10] [11]}

단락 고장이 없는 회로의 IDDQ (Quiescent power supply current)는 약간의 누설전류에 기인하기 때문에 크기는 수 나노-암페어(nano-ampere)이지만 정적 전류 경로가 존재하면 IDDQ는 수 밀리-암페어(mili-ampere)의 크기로 증가하게 된다. 단락고장이 존재하는 회로는 정적 회로 동작이 정상일지라도, 동적 회로 동작이 영향을 받을 수 있다. 또한, 정적 전류 경로상에 중간 전압 레벨의 초래는 신호 전파 지연과 같은 회로의 동적응답에 직접적인 영향을 미칠 수 있다. 단락고장을 검출하기 위한 이전의 연구는 대부분 회로에 내장 전류 센서(BICS : Built-In Current Sensor)를 추가하여 정상 상태 전류를 검사하는 IDDQ 테스트가 주류를 이루었다.^{[12] [13] [14]}

본 논문에서는 확장된 스위치-레벨 모델(Extended Switch-level Model)을 이용하여 BiCMOS 회로를

노드(node)와 에지(edge)로 구성된 그래프로 변환하고, 에지 값(edge value)에 의해 생성된 전류 경로 그래프(current path graph)를 이용하여 BiCMOS회로에서 발생한 단락고장을 효율적으로 검출하는 테스트 방법을 제안한다. 제안된 방법은 단락고장으로 인한 BiCMOS회로의 트랜지스터 on, off 관계를 이용하여 단락이 발생한 노드 사이의 에지를 제거하거나 새로운 에지를 연결한 후, 주 입력(primary input)에서 인가된 패턴에 의해 경로의 형성 여부에 따라 출력을 결정한다. 트랜지스터-레벨에서의 물리적인 결함을 스위치-레벨에서 고장 시뮬레이션을 수행하면 해상도가 떨어지는 단점이 있지만, BiCMOS회로를 구성하는 트랜지스터 터미널들 사이에 발생하는 단락고장들에 대하여 트랜지스터-레벨에서 시간이 많이 걸리는 Spice 시뮬레이션을 수행하지 않고, 본 논문에서 제안된 확장된 스위치-레벨 모델을 이용하여 단락고장 시뮬레이션을 수행하였을 때, 발생한 단락고장의 대부분의 경우에는 Spice 시뮬레이션을 수행한 것과 동일한 결과를 얻을 수 있었다. 제안된 방법의 타당성을 BiCMOS NAND 회로와 BiCMOS NOR회로, 그리고 풀-업측에만 바이폴라 트랜지스터를 사용하는 BiNMOS INVERTER 회로에 적용하여 Spice 시뮬레이션 결과와 비교하여 입증한다.

II. BiCMOS 회로 단락고장

BiCMOS 회로의 기본적인 구성은 논리를 실현하는 CMOS 부분과 출력을 증폭시켜 부하를 구동하는 바이폴라로 구성된다. 그림 1은 두개의 바이폴라 트랜지스터를 사용한 BiCMOS NAND회로를 나타낸 것이다.

BiCMOS 회로에서 단락고장의 가능성은 IC의 생산 공정, 회로선들의 물리적인 위치, 동작 조건등과 같은 많은 요소에 의해 제한된다. 따라서 어떤 두 신호선사이의 모든 단락고장이 발생 가능한 것은 아니다. 본 논문에서는 그림 2에 나타낸 것처럼 MOS 트랜지스터의 세 터미널(gate, drain, source)사이의 단락고장과 바이폴라 트랜지스터의 세 터미널(base, collector, emitter)사이의 단락고장등 6가지 형태의 단락고장을 고려한다.

BiCMOS 회로에서 단락고장이 존재할 때의 효과를 관측하기 위하여 Spice 시뮬레이션을 수행하였다. 본 연구에서 BiCMOS 회로에 사용한 시뮬레이션 파라미

터는 pMOS(Lp, Wp)와 nMOS(Ln, Wn)의 길이와 폭은 pMOS(Lp = 1.5 μ m, Wp = 30 μ m)와 nMOS(Ln = 1.5 μ m, Wn = 26 μ m)을 사용하였다. BiCMOS 회로상에서 팬-아웃을 고려하기위해 부하는 0.85pF로 하였으며, 단락고장이 발생한 트랜지스터 터미널 사이에는 10 Ω 저항을 연결하고 시뮬레이션을 수행하였다.

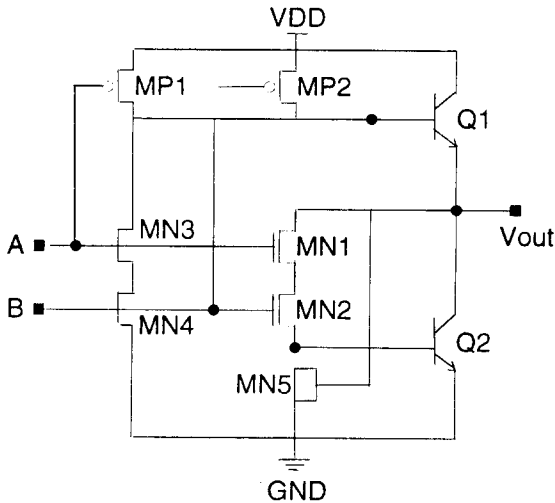


그림 1. BiCMOS NAND 회로
Fig. 1. BiCMOS NAND circuit.

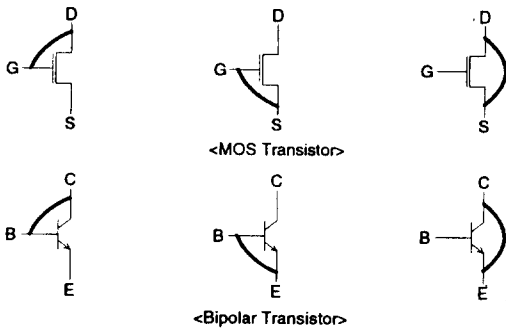


그림 2. BiCMOS 회로의 단락고장 형태
Fig. 2. Short fault types of BiCMOS circuit.

그림 3은 그림 1의 MOS 트랜지스터 MP1의 드레인과 소스 사이에 단락고장이 발생한 경우와 바이폴라 트랜지스터 Q2의 베이스와 에미터 사이에 단락고장이 발생한 경우의 SPICE 시뮬레이션 결과를 나타낸 것이다.

MOS 트랜지스터 MP1의 드레인과 소스 사이에 단

락고장이 발생하면, MP1이 항상 on상태가 된다. 따라서 그림 3에 나타난 것과 같이 입력 AB = '11'때에도 출력은 '1'값을 갖게 된다. 또한, 바이폴라 트랜지스터는 일반적으로 $V_{BE} > 0.7V$ 일때 on되기 때문에 Q2의 베이스와 에미터 사이에 단락고장이 발생하면 $V_{BE} = 0V$ 가 되어 Q2가 off된다. CMOS는 논리를 구성하고 바이폴라는 고속으로 부하를 구성하는 BiCMOS회로의 동작특성 때문에 바이폴라 트랜지스터가 off되면, 출력은 고장이 없는 경우와 동일하지만 바이폴라 트랜지스터가 출력을 구동하지 못하기 때문에 지연고장이 발생한다.

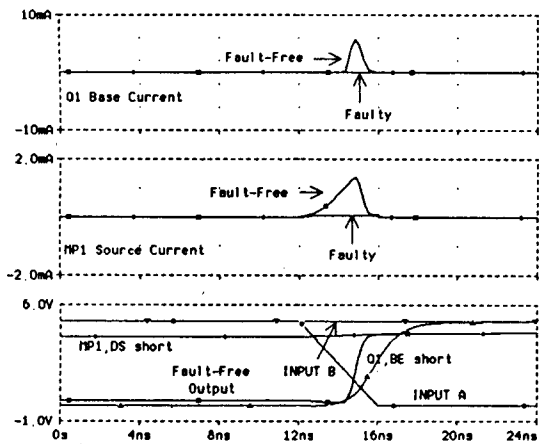


그림 3. Spice 시뮬레이션 결과
Fig. 3. Spice simulation result.

단락고장의 존재 효과는 입력 패턴에 따라 출력에서 관측될 수 있다. 예를 들면, MP1의 게이트와 소스 사이에 단락고장이 발생하면, 입력 AB = '01'일 때 정상출력 값은 '1'이지만 '0'이 출력된다. 나머지 입력은 정상 값과 동일한 값이 출력되기 때문에 고장의 유무를 알 수 없다. 이와 같이 고장의 효과가 입력 패턴과 내부 신호에 의존하는 것을 패턴 의존성(pattern dependance)이라고 말한다.

그림 1의 BiCMOS NAND 회로의 고장이 없는 경우와 단락고장이 발생했을 때의 입력 패턴에 대한 출력을 표 1에 정리하였다.

위의 표 1에서 MP1, GS는 그림 1의 회로에서 MOS 트랜지스터 MP1의 게이트와 소스 사이의 단락고장을, MP1, GD는 MP1의 게이트와 드레인 사이의 단락고장을, 그리고 MP1, DS는 드레인과 소스 사이의 단락고장을 각각 의미한다. 나머지도 각 MOS 트랜

표 1. 단락고장이 있는 BiCMOS NAND 회로의 시뮬레이션 결과
Table 1. Simulation results of BiCMOS NAND circuit with short fault.

입력 고장	00	01	10	11	입력 고장	00	01	10	11
정상 출력	1	1	1	0	정상출력	1	1	1	0
Pull-up Part					Pull-down Part				
MP1. GD	N	IP. A	N	IP. A	MN1. GD	IP. A	N	N	IP. A
MP1. GS	N	SA0	N	N	MN1. GS	N	N	N	N
MP1. DS	N	N	N	SA1	MN1. DS	N	X	N	N
MP2. GD	N	N	IP. B	IP. B	MN2. GD	N	X	N	N
MP2. GS	N	N	SA0	N	MN2. GS	N	X	N	N
MP2. DS	N	N	N	SA1	MN2. DS	N	N	X	N
MN5. GD	SA0	SA0	SA0	N	MN3. GD	N	IP. A	N	IP. A
MN5. GS	SOP	SOP	SOP	SOP	MN3. GS	N	N	N	N
MN5. DS	STR	STR	STR	N	MN3. DS	N	N	N	N
Q1. BC	N	N	N	SA1	MN4. GD	N	N	N	N
Q1. BE	STR	STR	STR	N	MN4. GS	N	N	N	SA1
Q1. CE	N	N	N	SA1	MN4. DS	N	N	N	N
					Q2. BC	SA0	SA0	SA0	N
					Q2. BE	N	N	N	STF
					Q2. CE	SA0	SA0	SA0	N

지스터에 대한 게이트와 소스, 게이트와 드레인, 드레인과 소스사이의 단락고장을 의미한다. Q1. BC는 그림 1의 회로에서 바이폴라 트랜지스터 Q1의 베이스와 콜렉터 사이의 단락고장을, Q1. BE는 베이스와 에미터 사이의 단락고장을, 그리고 Q1. CE는 콜렉터와 베이스 사이의 단락고장을 의미한다. 또한, IP. A(B)는 입력 A(B)의 입력 값이 그대로 출력으로 나오는 것을 의미하고, SA1(SA0)는 출력이 stuck-at 1(0)을 나타내는 것을 의미하고, X는 출력이 중간 값을 가지는 것을 의미하고, STR(STF)는 출력이 상승지연(하강지연)을 나타내는 것을 의미하고, SOP는 게이트가 floating되는 것을 의미하고, N은 정상동작할 때의 출력 값과 동일한 것을 의미한다.

III. BiCMOS 회로의 그래프 표현

BiCMOS회로의 그래프 표현은 확장된 스위치 레벨 모델(extended switch-level model)을 이용하여 표현한다.^{[15][16]} BiCMOS회로를 그래프로 표현할 때,

BiCMOS회로의 각 노드 i 는 그래프에서 벡터 v_i 로 표현된다. 그리고 각 디바이스(device)는 하나이상의 에지(edge)로 표현된다. 에지 $e(v_i, v_j)$ 는 벡터 v_i 에서 벡터 v_j 까지의 직접 연결선으로 전류가 노드 i 에서 노드 j 로 전류가 흐를 수 있음을 의미한다. 노드 i 는 원 노드(source node)라고 하고 노드 j 를 목적노드(sink node)라고 한다. 경로(path)는 노드 0에서 노드 s 까지 에지들의 집합 $\{e_0(v_0, v_1), e_1(v_1, v_2), \dots, e_{i-1}(v_{i-1}, v_s)\}$ 을 의미한다. 여기서 $i \neq j$ 이면, $v_i \neq v_j$ 이다. 벡터 v_i 는 경로의 소스라고 부르고 벡터 v_s 는 경로의 싱크라고 부른다. 임의의 노드 i 에서 전압 값은 v_i 의 논리 값에 의해 결정된다. 또한, 원 노드의 논리 값은 에지의 제어 값이 '1'일때 목적노드로 전달된다.

BiCMOS 회로의 각 디바이스를 그래프로 표현하는 방법은 다음과 같다.(그림 4)

MOS 트랜지스터는 소스 노드와 드레인 노드사이의 에지의 쌍, 즉 $e(v_{source}, v_{drain})$ 과 $e(v_{drain}, v_{source})$ 으로 나타낸다. NMOS 트랜지스터의 에지 제어 값

(control value)은 '1'이고 PMOS 트랜지스터의 에지의 제어 값은 '0'이다. 바이폴라 트랜지스터는 일반적으로 설계될 때 순방향 활성 영역(forward active region)에서 동작하도록 설계된다. 따라서 바이폴라 트랜지스터는 두 개의 에지에 의해 표현된다. 베이스 노드에서 에미터 노드 사이의 에지, 콜렉터 노드에서 에미터 노드사이의 에지이다.

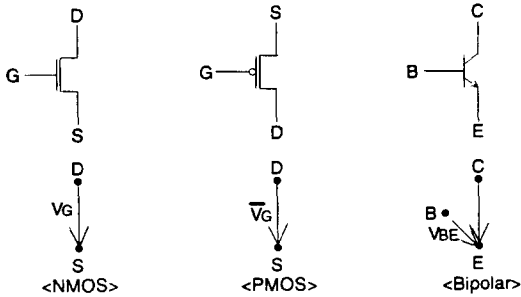


그림 4. 트랜지스터의 그래프 표현
Fig. 4. Graph representation of transistor.

MN5을 표현하는 에지를 제거한 후, VDD에서 출력까지 경로를 형성하는 풀업 경로(pull-up path)와 출력에서 GND까지 경로를 형성하는 풀다운 경로(pull-down path)의 서브 그래프를 만든다. 그림 1의 BiCMOS NAND 회로를 그래프로 표현하면 그림 5처럼 표현할 수 있다.

IV. 단락고장 시뮬레이션

BiCMOS회로를 스위치-레벨 모델을 이용하여 변환한 그래프에서 단락고장을 검출하기 위한 고장 시뮬레이션은 단락고장이 발생한 트랜지스터가 포함된 서브 그래프를 이용하고, 단락고장이 발생한 BiCMOS회로의 트랜지스터는 아래와 같이 그래프를 변형한다.

- 1) MOS 트랜지스터(NMOS, PMOS)의 게이트와 드레인 노드 사이에 단락 고장이 발생하면, 두 노드 사이를 연결하는 새로운 에지를 생성한다.
- 2) MOS 트랜지스터(NMOS, PMOS)의 드레인과 소스 노드 사이에 단락고장이 발생하면, 두 노드 사이를 연결하는 새로운 에지를 생성한다.
- 3) MOS 트랜지스터(NMOS, PMOS)의 게이트와 소스 노드 사이에 단락고장이 발생하면, 해당 트랜지스터의 드레인과 소스 노드를 연결하는 에지를 제거하고 두 노드사이를 연결하는 새로운 에지를 생성한다.
- 4) 바이폴라 트랜지스터의 베이스와 콜렉터 노드 사이에 단락고장이 발생하면, 두 노드 사이를 연결하는 새로운 에지를 생성한다.
- 5) 바이폴라 트랜지스터의 콜렉터와 베이스 노드 사이에 단락고장이 발생하면, 두 노드 사이를 연결하는 새로운 에지를 생성한다.
- 6) 바이폴라 트랜지스터의 베이스와 에미터 노드 사이에 단락고장이 발생하면, 해당 트랜지스터의 콜렉터와 에미터 사이의 노드를 제거하고 두 노드 사이를 연결하는 새로운 에지를 생성한다.

그래프에서 각 에지는 에지의 제어 값이 '1'이면, 에지 원 노드의 논리 값은 목적 노드로 전파된다. 또한, 단락고장으로 새로 생성된 에지의 원 노드와 목적 노드는 동일한 논리 값을 갖는 것으로 간주하고, 이때의 논리 값은 논리 값이 높은 쪽의 것을 따른다. 예를 들

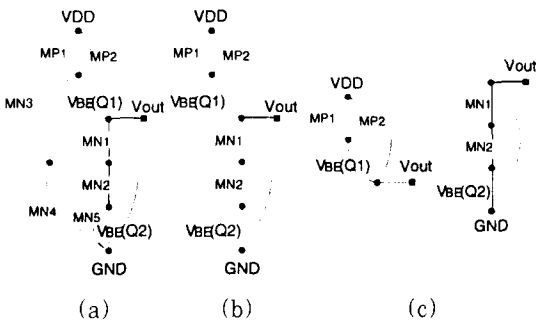


그림 5. 그림 1의 BiCMOS NAND 회로의 그래프 표현 (a) BiCMOS NAND회로에 대한 그래프 (b) (a)에서 MN3, MN4, MN5을 제거한 그래프 (c) BiCMOS NAND회로의 서브 그래프

Fig. 5. Graph representation of BiCMOS NAND circuit at Fig. 1.
(a) Graph for BiCMOS NAND circuit
(b) Graph eliminated MN3, MN4, MN5 from (a) (c) Sub-graph of BiCMOS NAND circuit

그림 1의 회로에서 MN3, MN4, MN5은 논리 구성하는 소자로 사용된 것이 아니라 바이폴라 트랜지스터의 베이스 전류를 방전하기 위해 사용된 것이다. 따라서 그래프로 표현된 BiCMOS회로에서 MN3, MN4,

면, 그림 1의 회로에서 MP1 트랜지스터의 소스-와 드레인 사이에 단락고장이 발생하면, MP1 소스 논리 값은 '1'이고 드레인의 논리 값은 '0'이기 때문에 소스와 드레인은 동일한 논리 값 '1'이 된다.

단락고장이 발생한 BiCMOS회로의 출력에서 논리 값은 다음과 같이 결정한다.

- 1) VDD(VOUT)에서 VOUT(GND)까지 경로가 적어도 하나 존재하면 출력 논리 값(output logic value)은 '1'(0)이 된다. 단락고장에 의해 위의 경로가 형성되면 출력 stuck-at 1(stuck-at 0)고장이 된다.
- 2) 단락고장에 의해 VDD에서 GND까지 적어도 하나의 경로가 존재하거나 또는, VDD(VOUT)에서 VOUT(GND)까지 연결된 경로가 존재하지 않으면 중간 값이 된다.
- 3) 바이폴라 트랜지스터의 베이스와 에미터 사이에 단락고장이 발생하면, 지연고장이 된다.

BiCMOS회로에서 발생한 단락고장을 검출하는 과정은 다음과 같다.

- 1) BiCMOS회로를 확장된 스위치-레벨 모델(Extended Switch-level Model)을 이용하여 노드(node)와 에지(edge)로 구성된 그래프로 변환
- 2) 변환된 그래프에서 바이폴라 트랜지스터 Q1과 Q2의 베이스 전하를 방전 하기위한 MOS 트랜지스터를 나타내는 에지들의 제거
- 3) VDD에서 출력까지의 풀업 경로(pull-up path)와 출력에서 GND까지의 풀다운 경로(pull-down path)로 분할된 서브 그래프 생성
- 4) BiCMOS회로를 구성하는 트랜지스터중 단락고장이 발생한 트랜지스터의 터미널에 따라 그래프 변형
- 5) 단락고장이 발생한 트랜지스터를 포함하고 있는 경로만 활성화시킬 수 있는 패턴 인가
- 6) 단락고장 검출

일반적으로 BiCMOS회로의 기본적인 구조는 그림 6와 같이 논리를 구성하는 P-블럭과 N1-블럭, 출력을 구동하는 Q1과 Q2의 바이폴라 트랜지스터, 그리고 Q1과 Q2의 베이스 전류를 방전하는 N2-블럭과 MN1

트랜지스터로 구성된다.

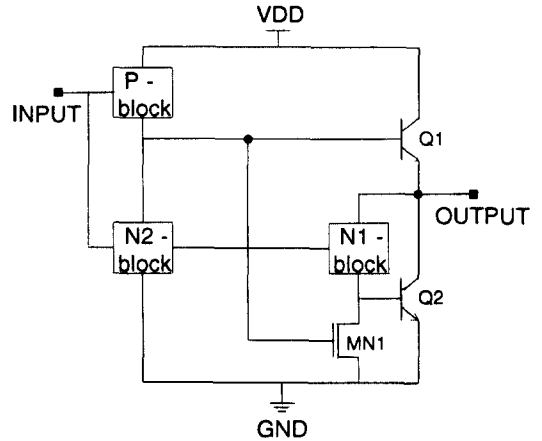


그림 6. BiCMOS 회로의 기본 구조
Fig. 6. Basic structure of BiCMOS circuit.

모든 BiCMOS회로는 그림 6의 기본 구조에서 P-블럭과 N-블럭 내부의 논리 구성에 따라 NAND, NOR, INVERTER등의 회로가 된다. 예를 들면, 그림 1의 BiCMOS NAND회로는 P-블럭에 두 개의 PMOS 트랜지스터를 병렬로 연결하고 N-블럭에는 두 개의 NMOS 트랜지스터를 직렬로 연결하여 구성한 것이다. 따라서 일반적인 BiCMOS회로를 확장된 스위치-레벨 모델을 사용하여 전류 경로 그래프를 구성하면 그림 7의 (a)와 같이 되고, (b)는 바이폴라 트랜지스터의 베이스 전하를 방전하는 에지를 제거한 그래프이며, (c)는 시뮬레이션을 위해 풀업측과 풀다운측의 서브 그래프로 나타낸 것이다.

그림 1의 BiCMOS NAND회로의 MP1 트랜지스터의 게이트와 소스 사이에 단락고장이 발생하면 고장이 없을 때의 풀업측의 그래프 그림 8의 (a)는 MP1의 게이트와 소스 사이에 새로운 에지를 생성하고 원래 소스-와 드레인 사이의 에지는 제거되어 그림 8의 (b)처럼 변형된다. 따라서 회로의 출력은 MP1 게이트의 입력에 관계없이 MP2의 게이트 입력에 의해 결정된다. MP1의 게이트와 소스 사이의 단락고장을 검출하기 위한 테스트 패턴은 AB = '01'이 된다. 입력 AB = '01'인 경우 정상출력은 '1'이지만 단락고장이 발생한 경우에는 MP1의 $V_{GS} = '0'$ 이 되기 때문에 MP1은 항상 off되어 출력은 '0'이 된다. 나머지 입력 AB = {00, 10, 11}은 정상 출력과 동일한 값을 갖는다.

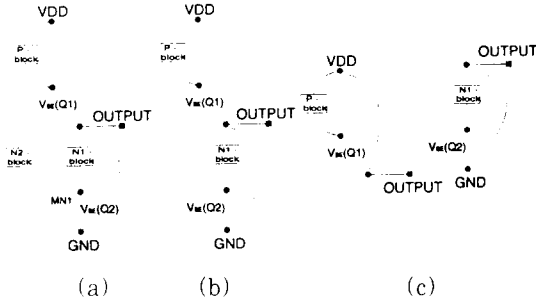


그림 7. BiCMOS회로의 그래프 표현
 (a) BiCMOS회로에 대한 그래프 (b) (a)에서 N2-블럭과 MN1을 제거한 그래프
 (c) BiCMOS회로의 서브 그래프

Fig. 7. Graph representation of BiCMOS circuit. (a) Graph for BiCMOS circuit (b) Graph eliminated N2-block and MN1 from (a) (c) Sub-graph of BiCMOS circuit

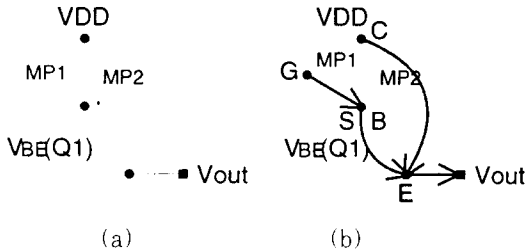


그림 8. 그림 1 회로의 MP1에서 게이트와 소스 사이에 단락고장
 (a) 고장이 없을 때의 그래프 (b) 단락고장이 발생했을 때의 그래프

Fig. 8. Short fault between gate and source at MP1 of Fig. 1 circuit. (a) Fault-free graph (b) Graph when occurred short fault

고장이 없는 경우, 입력 $AB = '10'$ 이면 정상출력은 '1'이 되지만, 드레인과 소스 사이에 단락고장이 발생하면, MN1가 on되므로 MN1 소스의 논리 값은 '1'이 되고 MN2 소스도 동일한 논리 값을 갖게되어 VOUT에서 GND까지 경로를 형성한다. 따라서 MN2의 드레인과 소스 사이에 단락고장이 발생했을 때, 입력 $AB = '10'$ 이면 VDD에서 GND까지 경로가 형성되어 출력은 중간 값을 가지게 된다.

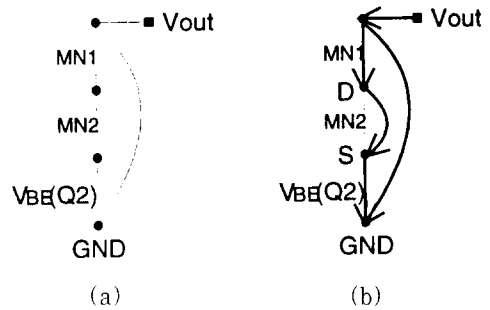


그림 9. 그림 1 회로의 MN2에서 드레인과 소스 사이에 단락고장
 (a) 고장이 없을 때의 그래프 (b) 단락고장이 발생했을 때의 그래프

Fig. 9. Short fault between drain and source at MN2 of Fig. 1 circuit. (a) Fault-free graph (b) Graph when occurred short fault

그림 1 BiCMOS NAND회로의 풀업측 바이폴라 트랜지스터 Q1의 베이스와 에미터 사이에 단락고장이 발생하면 바이폴라 트랜지스터의 동작특성($V_{BE} > 0.7V$ 이면 on)으로 인하여 Q1이 off된 다. BiCMOS 회로에서 바이폴라 트랜지스터는 출력을 고속으로 구동하는 역할을 한다. 따라서 바이폴라 트랜지스터의 베이스와 에미터 사이에 단락고장이 발생하여 바이폴라 트랜지스터가 off되면, 지연고장이 발생한다. 바이폴라 트랜지스터의 베이스와 에미터 사이에 단락 고장이 발생하면, 고장이 없는 경우의 풀업측 그래프를 그림 10 (b)처럼 콜렉터와 에미터를 연결하는 에지를 제거하고 베이스와 에미터는 동일한 논리 값을 갖기 때문에 지연고장을 검출할 수 있다.

이상의 예에서 본 것처럼 BiCMOS NAND회로의 논리를 구성하는 부분에서 발생하는 단락고장은 전류 경로 그래프를 이용하여 검출할 수 있지만, 서브 그래프를 구성하면서 바이폴라 트랜지스터 Q1과 Q2의 베

그림 1 회로의 MN2의 드레인과 소스 사이에 단락 고장이 발생하면, 고장이 없을 때의 그림 9 (a)의 풀다운측 그래프가 그림 9 (b)와 같이 MN2의 드레인과 소스 사이에 새로운 에지가 생성된다. 그러므로 MN2의 입력에 관계없이 MN2 소스의 논리 값은 MN1의 소스 논리 값과 동일하다. MN2의 드레인과 소스 사이의 단락고장을 검출하기 위한 테스트 패턴은 $AB = '10'$ 이 된다. $AB = '11'$ 의 경우의 출력 값은 입력 저항과 GND와 MP1의 소스사이의 저항에 의존한다.

이스 전하를 방전하는 MOS 트랜지스터 MN3, MN4, MN5를 나타내는 에지가 전류 경로 그래프에서 제거되었기 때문에 여기서 발생한 단락고장은 검출할 수 없다. 그러나 BiCMOS회로구조의 특성때문에, 이 곳에서 발생한 단락고장은 표 1의 Spice 시뮬레이션 결과에서 나타난 것처럼 대부분이 정상동작을 한다. 따라서 출력에서 효과를 관측할 수 있는 고장 가운데 대부분은 시간이 많이 걸리는 Spice 시뮬레이션을 수행하지 않고 본 논문에서 제안된 전류 경로 그래프를 이용하여 검출할 수 있다.

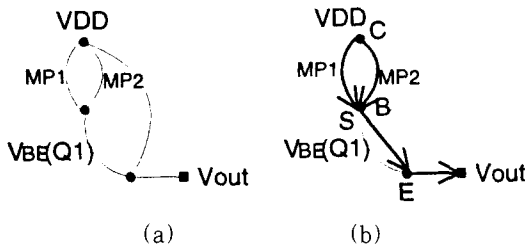


그림 10. 그림 1 회로의 Q1의 베이스와 에미터 사이의 단락고장
(a) 고장이 없을 때의 그래프 (b) 단락고장이 발생했을 때의 그래프

Fig. 10. Short fault between base and emitter at Q1 of Fig. 1 circuit. (a) Fault-free graph (b) Graph when occurred short fault

V. 적용 예 및 검토

제안된 방법을 BiCMOS NOR회로와 풀업측에만 바이폴라 트랜지스터를 사용하는 BiMOS INVERTER회로에 적용하였다. 그림 11 BiCMOS NOR회로의 동작은 입력 AB = '00'이면, MP1 과 MP2가 on되어 Q1을 on시켜 고속으로 출력을 구동한다. 이때 MOS트랜지스터 MN5도 함께 on되어 바이폴라 트랜지스터 Q2의 베이스 전하를 방전한다. 나머지 입력 AB = {'01', '10', '11'}이 입력되면 MOS 트랜지스터 MN1이나 MN2, 또는 둘다 on되어 Q2를 on시켜 출력을 '0'으로 만든다. 이때 MOS트랜지스터 MN3이나 MN4, 또는 둘다 함께 on되어 Q1의 베이스 전하를 방전한다.

BiCMOS NOR회로를 구성하는 트랜지스터의 터미널 사이에 단락고장이 발생했을 때, Spice 시뮬레이션

결과를 표 2에 정리하였다. 시뮬레이션은 그림 1의 BiCMOS NAND회로를 시뮬레이션할 때 사용한 파라미터를 사용하였다.

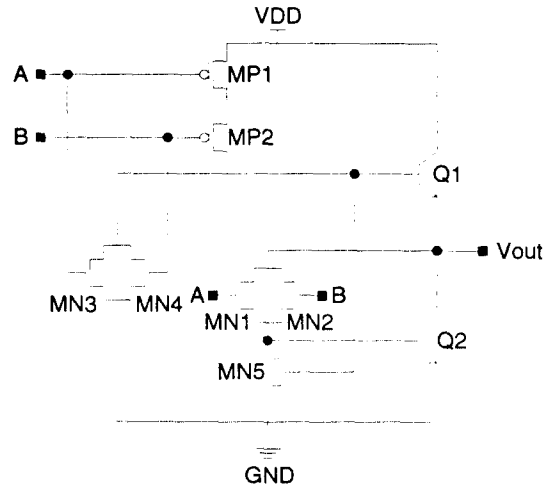


그림 11. BiCMOS NOR 회로
Fig. 11. BiCMOS NOR circuit.

그림 11의 BiCMOS NOR회로에서 발생한 단락고장을 검출하기 위해 확장된 스위치-레벨 모델을 이용하여 전류 경로 그래프를 구성하고, 이것을 풀업측과 풀다운측으로 나누어 구성하면 그림 12(c)와 같다.

그림 11의 BiCMOS NOR회로의 풀다운측의 바이폴라 트랜지스터 Q2의 베이스와 에미터 노드 사이에 단락고장이 발생하면, 풀다운측의 서브-그래프는 그림 13과 같이 된다. 단락고장을 검출하기 위해 Q2의 콜렉터와 베이스 노드 사이에 새로운 에지를 연결하면, Q2의 베이스와 에미터는 동일한 논리 값이 되어 $V_B - V_E = 0$ V이기 때문에 Q2는 항상 off되어 지연고장이 발생한다. 따라서 Q2가 on되도록하는 입력을 인가하면 Q2의 베이스와 에미터 사이의 단락고장을 검출할 수 있다.

그림 14는 풀업측에만 바이폴라 트랜지스터를 사용하는 BiMOS INVERTER회로를 나타낸 것이다. BiMOS INVERTER회로의 동작은 입력 A = '0'이면, MP1트랜지스터가 on되어 Q1을 on시켜 고속으로 출력을 구동한다. 또한, 입력이 A = '1'이면, MN1이 on되어 출력단의 전하를 방전한다. 이때 MN2도 동시에 on되어 바이폴라 트랜지스터 Q1의 베이스 전류를 방전한다.

표 2. 단락고장이 있는 BiCMOS NOR회로의 시뮬레이션 결과
Table 2. Simulation results of BiCMOS NOR circuit with short fault.

입력 고장	00	01	10	11	입력 고장	00	01	10	11
정상 출력	1	0	0	0	정상출력	1	0	0	0
Pull-up Part					Pull-down Part				
MP1, GD	IP, A	N	IP, A	N	MN1, GD	IP, A	N	IP, A	IP, A
MP1, GS	N	N	X	N	MN1, GS	N	N	N	N
MP1, DS	N	N	X	N	MN1, DS	X	N	N	N
MP2, GD	IP, B	X	N	X	MN2, GD	IP, B	IP, B	N	IP, B
MP2, GS	N	X	N	N	MN2, GS	N	N	N	N
MP2, DS	N	X	N	N	MN2, DS	X	N	N	N
MN5, GD	SA0	N	N	N	MN3, GD	IP, A	N	IP, A	IP, A
MN5, GS	SOP	SOP	SOP	SOP	MN3, GS	N	N	SA1	N
MN5, DS	STR	N	N	N	MN3, DS	SOP	N	N	N
Q1, BC	N	SA1	SA1	SA1	MN4, GD	IP, B	IP, B	N	IP, B
Q1, BE	STR	N	N	N	MN4, GS	N	SA1	N	N
Q1, CE	N	SA1	SA1	SA1	MN4, DS	SOP	N	N	N
					Q2, BC	SA0	N	N	N
					Q2, BE	N	STF	STF	STF
					Q2, CE	SA0	N	N	N

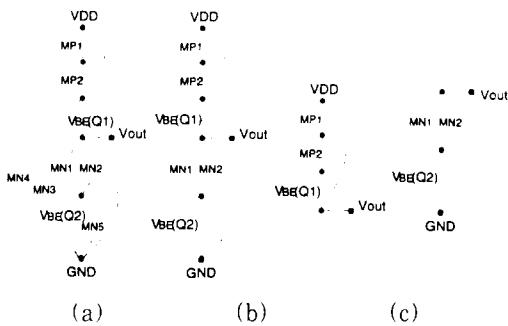


그림 12. 그림 11의 BiCMOS NOR회로의 그래프 표현
(a) BiCMOS NOR회로에 대한 그래프
(b) (a)에서 MN3, MN4, MN5를 제거한 그래프 (c) BiCMOS NOR회로의 서브 그래프

Fig. 12. Graph representation of BiCMOS NOR circuit at Fig. 11. (a) Graph for BiCMOS NOR circuit (b) Graph eliminated MN3, MN4, MN5 from (a) (c) Sub-graph of BiCMOS NOR circuit

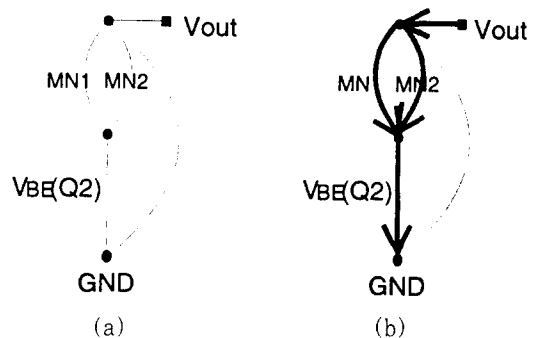


그림 13. 그림 11 회로의 Q2의 베이스와 에미터 사이의 단락고장
(a) 고장이 없을 때의 그래프 (b) 단락고장이 발생했을 때의 그래프

Fig. 13. Short fault between base and emitter at Q2 of Fig. 11 circuit. (a) Fault-free graph (b) Graph when occurred short fault

BiCMOS INVERTER회로를 구성하는 트랜지스터의 터미널 사이에 단락고장이 발생했을 때, 고장효과를

알아보기 위해 Spice 시뮬레이션을 수행하였다. 시뮬레이션은 그림 1의 BiCMOS NAND회로를 시뮬레이션할 때 사용한 파라미터를 사용하였다. 시뮬레이션 수행결과는 표 3과 같다.

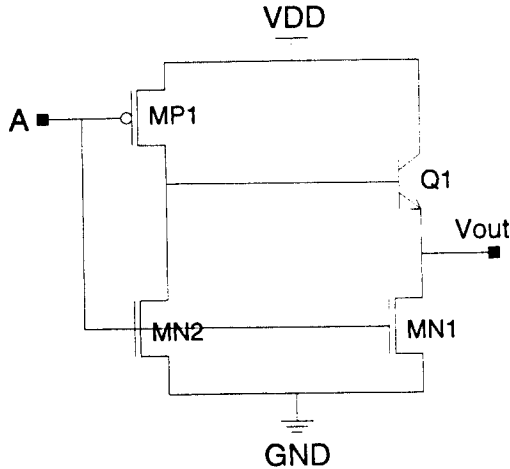


그림 14. BiMOS INVERTER 회로
Fig. 14. BiMOS INVERTER circuit.

표 3. 단락고장이 있는 BiMOS INVERTER 회로의 시뮬레이션 결과
Table 3. Simulation results of BiMOS INVERTER circuit with short fault.

고장	입력 0		입력 1		
	0	1	0	1	
Pull-Up Part			Pull-Down Part		
MP1, GD	IP, A	IP, A	MN1, GD	IP, A	IP, A
MP1, GS	SA0	N	MN1, GS	N	SA1
MP1, DS	IP, A	IP, A	MN1, DS	SA0	N
Q1, BE	STR	N	MN2, GD	IP, A	IP, A
Q1, BC	N	SA1	MN2, GS	N	SA1
Q1, CE	N	SA1	MN2, DS	SOP	SOP

그림 14의 BiMOS INVERTER회로에서 발생한 단락고장을 검출하기 위해 확장된 스위치-레벨 모델을 이용하여 전류 경로 그래프를 구성하고, 이것을 풀업측과 풀다운측으로 나누어 구성하면 그림 15(c)와 같다. 그림 14의 BiMOS INVERTER회로의 풀업측의

바이폴라 트랜지스터 Q1의 콜렉터와 베이스 노드에 단락고장이 발생하면, 풀업측의 서브-그래프는 그림 16와 같이 된다. 단락고장을 검출하기 위해 Q1의 콜렉터와 베이스 노드를 새로운 에지로 연결하면, Q1의 콜렉터와 베이스는 동일한 논리 값이 되어 $V_B - V_E > 0.7 V$ 이기 때문에 주입력의 입력 값에 관계없이 Q1이 항상 on되어 출력 논리 값은 항상 '1'이 된다. 따라서 출력 논리 값을 '0'으로 만드는 입력을 인가하면 Q1의 콜렉터와 베이스 노드 사이의 단락고장을 검출할 수 있다.

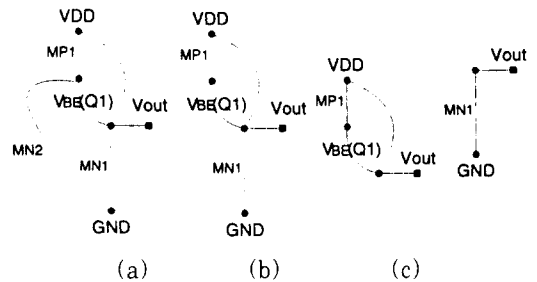


그림 15. 그림 14의 BiMOS INVERTER 회로의 그래프 표현
(a) BiMOS INVERTER회로에 대한 그래프 (b) (a)에서 MN2를 제거한 그래프 (c) BiMOS INVERTER회로의 서브 그래프

Fig. 15. Graph representation of BiMOS INVERTER circuit at Fig. 14. (a) Graph for BiMOS INVERTER circuit (b) Graph eliminated MN2 from (a) (c) Sub-graph of BiMOS INVERTER circuit

전류 경로 그래프를 사용하여 단락고장을 검출할 때, 고장 검출률은 아래 식과 같이 정의 할 수 있다.

$$\text{고장 검출률} = \frac{\text{전체 고장의 수} - \text{검출하지 못한 고장의 수}}{\text{전체 고장의 수}}$$

그러므로 일반적인 BiCMOS회로에서 발생하는 단락고장의 검출률은

$$\begin{aligned} \text{BiCMOS회로에서의 고장 검출률} &= \frac{(3N+3N+3N+9) - (3N+3-FF)}{(3N+3N+3N+9)} \\ &= \frac{6N+6+FF}{9N+9} \end{aligned}$$

이 된다. 여기서 N은 논리를 구성하는 N-블럭이나 P-블럭 내부의 트랜지스터의 갯수를 나타내며, 분모의 9는 두 개의 바이폴라 트랜지스터와 풀-다운측 바이폴

라 트랜지스터의 베이스 전하를 방전하는 MOS 트랜지스터에서 발생하는 고장의 수를 나타내며, FF는 Spice 시뮬레이션에서 출력이 정상동작으로 나타나는 단락고장의 수를 의미한다. 분자의 두번째 항은 풀업측과 풀-다운측으로 분할하여 재구성된 서브 그래프를 구성할 때, 제거되는 에지를 나타낸다. 즉 3N은 풀업측의 바이폴라 트랜지스터의 베이스 전류를 방전하는 NMOS 트랜지스터에서 발생하는 단락고장을 나타내며, 3은 풀-다운측 바이폴라 트랜지스터의 베이스 전하를 방전하는 MOS 트랜지스터에서 발생하는 고장의 수를 나타낸다.

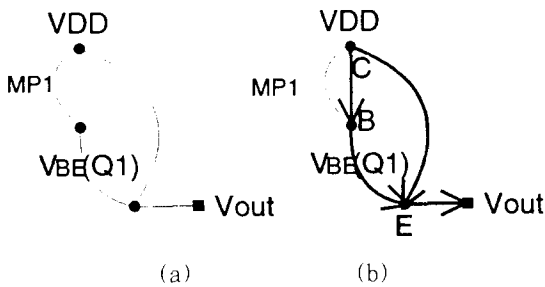


그림 16. 그림 14 회로의 Q1의 콜렉터와 베이스 사이의 단락고장
 (a) 고장이 없을 때의 그래프 (b) 단락고장이 발생했을 때의 그래프

Fig. 16. Short fault between collector and base at Q1 of Fig. 14 circuit.
 (a) Fault-free graph (b) Graph when occurred short fault

풀업측과 풀-다운측으로 분할된 서브-그래프를 이용하여 BiCMOS회로에서 발생한 단락고장을 검출할 때, 그래프에서 제거된 에지에 해당하는 트랜지스터에서 발생하는 단락고장을 검출할 수 없다. 그러나 서브-그래프에서 제거된 에지에서 발생하는 단락고장의 효과는 Spice 시뮬레이션에서도 대부분은 정상동작으로 나타난다. 따라서 그림 1의 BiCMOS NAND회로에서 논리를 구성하는 트랜지스터 터미널 사이에서 발생하는 단락고장은 전류 경로 그래프를 이용하여 100% 검출할 수 있으며의 전체 트랜지스터에서 발생한 단락고장 가운데 MN5의 GD, GS, DS와 MN4의 GS에서 발생한 단락고장을 제외한 나머지 단락고장은 시간이 많이 걸리는 Spice 시뮬레이션을 이용하여 트랜지스터 레벨에서 고장 시뮬레이션을 수행하지 않고 본 논문에서

서 제안된 확장된 스위치-레벨 모델을 이용하여 변환된 그래프에서 검출할 수 있다.

VI. 결 론

본 논문에서는 BiCMOS회로를 구성하는 트랜지스터의 터미널 사이에서 발생하는 단락고장의 효과를 Spice시뮬레이션을 통해 분석하고, 이 단락고장을 효율적으로 검출할 수 있는 테스트 방법을 제안했다. 제안된 방법은 확장된 스위치-레벨 모델(Extended Switch-level Model)을 이용하여 BiCMOS 회로를 노드(node)와 에지(edge)로 구성된 전류 경로 그래프로 변환하고, 단락고장으로 인한 BiCMOS회로의 트랜지스터 on, off 관계를 이용하여 단락이 발생한 노드 사이의 에지를 제거하거나 새로운 에지를 연결한 후, 주 입력(primary input)에서 인가된 패턴에 의해 경로의 형성 여부에 따라 출력을 결정한다. 이와 같이 단락고장이 발생한 BiCMOS회로에 대한 단락고장 시뮬레이션을 수행함으로써 Spice와 같은 시간이 많이 걸리는 트랜지스터 레벨의 고장 시뮬레이션을 수행하지 않고 스위치-레벨 모델을 이용하여 검출할 수 있었다. 제안된 방법을 사용하면, 서브-그래프를 구성하기 위해 제외된 에지해당하는 트랜지스터에서 발생하는 단락고장을 검출할 수 없지만 회로의 출력에서 관측되는 고장의 대부분을 검출할 수 있었다.

향후 연구과제로는 BiCMOS회로에서 발생하는 단락고장의 효과를 분석하여 기존의 IDDQ 테스트에 의해서만 검출가능한 고장을 스위치-레벨에서 검출할 수 있는 방법을 연구하는 것이다.

참 고 문 헌

[1] Masaharu Kubo, Ikuro Masuda, Kenji Miyata and Katsumi Ogiue, "Perspective on BiCMOS VLSI's," *IEEE J. of Solid-State Circuits*, vol. 23, no. 1, pp. 5-11, Feb. 1988.
 [2] Hyun J. Shin, "Performance Comparison of Driver Configurations and Full-swing Techniques for BiCMOS Logic Circuits," *IEEE J. of Solid-State Circuits*, vol. 25, no. 3, pp.863-865, Jun

- 1991.
- [3] A. R. Alvarez ed., *BiCMOS Technology and Applications*, Boston, MA. Kluwer Academic Publishers, 1989.
- [4] Aly E. Salama, Mohamed I. Elmasry, "Testing and Design for Testability of BiCMOS Logic Circuits," *IEEE VLSI Test Symp. 1992*, pp. 217-222, 1992.
- [5] Bradly E. Stewart, Dhamin Al-Khalili, and Come Rozon, "BiCMOS Defect-Modelling and Fault Analysis," *ICCAS '91*, pp.2152-2155, 1991.
- [6] Kaushik Roy, Marc E. Levitt, and Jacob A. Abraham, "Test Considerations for BiCMOS Logic Families," *IEEE Custom Integrated Circuit Conf.*, pp. 17.2.1-4, 1991.
- [7] Siyad C. Ma and Edward J. McCluskey, "Non-Conventional Faults in BiCMOS Digital Circuits," *Int'l Test Conf. 1992*, pp. 882-891, 1992.
- [8] Kaushik Roy, Marc E. Levitt, and Jacob A. Abraham, "BiCMOS Fault Models : Is Stuck-At Adequate?," *IEEE International Conference on Computer Design*, pp. 294-297, 1990.
- [9] Aly E. Salama, Mohamed I. Elmasry, "Fault Characterization, Testing Considerations, and Design for Testability of BiCMOS Logic Circuits," *IEEE J. of Solid-State Circuits*, vol. 27, no. 6, pp. 944-947, Jun 1992.
- [10] Michele Favalli, Marcello Dalpasso, Poero Olivo, and Bruno Riccò, "Analysis of Steady State Detection of Resistive Bridging Faults in BiCMOS Digital ICs," *Int'l Test Conf. 1992*, pp. 466-475, 1992.
- [11] Hong Hao, Edward J. McCluskey, "Resistive Shorts" within CMOS Gates," *Int'l Test Conf. 1991*, pp. 292-301, 1991.
- [12] Udo Mahlstedt, Matthias Heinitz, and Jürgen Alt, "Test Generation for I_{DDQ} Testing and Leakage Fault Detection in CMOS Circuits," *Proc. European Design Automation Conf. 1992*, 486-491, 1992.
- [13] Sankaran M. Menon, Anura P. Jayasumana, and Ypashwant K. Malaiya, "Input pattern Classification for Transistor Level Testing of BiCMOS Circuits," *IEEE VLSI Test Symp. 1994*, pp. 457-462, 1994.
- [14] Walter W. Weber, Adit D. Singh, "An Experimental Evaluatuin of Differential BICS for I_{DDQ} Testing," *IEEE VLSI Test Symp. 1995*, pp. 472-480, 1995.
- [15] R. E. Bryant, "A Survey of Switch-level Algorithms," *IEEE Design & Test*, vol. 4, no. 7, pp. 312-321, July 1985.
- [16] Siyad C. Ma and Edward J. McCluskey, "Open Faults in BiCMOS Gates," *Int'l Test Symp. 94*, pp. 434-439, 1994.

 저 자 소 개

申 載 興(正會員) 第 32 卷 A編 第 12 號 參照
 현재 한양대학교 전자공학과
 박사과정 재학중

林 寅 七(正會員) 第 32 卷 A編 第 12 號 參照
 현재 한양대학교 전자공학과 교수