

論文96-33A-3-10

격자온도 불균일 조건에서 SOI n-MOSFET의 전기적 특성

(Electrical Properties of SOI n-MOSFET's under nonisothermal lattice temperature)

金 珍 洋 *, 朴 榮 俊 *, 閔 弘 植 *

(Jin Yang Kim, Young June Park, and Hong Shick Min)

요 약

비등온 소자 시뮬레이션을 위해 캐리어전송 및 열전달 모델을 이차원 소자 시뮬레이터인 SNU-2D에 결합하였다. 비등온 문제의 적용으로, SOI MOSFET소자의 전류특성을 시뮬레이션하였다. 전자포화속도의 격자온도 의존성과 이동도의 열화에 의해 전류가 드레인 전압 증가에 따라 음의 기울기를 가진다. 또한, 드레인 근방에서 이온화충돌에 의해 소자의 고립영역에 정공이 생성될 때 키크(kink) 현상이 일어남을 알 수 있고, 히스테리시스(hysteresis)는 채널영역의 정공 생성과 소스 쪽으로 흐르는 전공전류에 의해 발생됨을 보였다.

Abstract

In this paper, temperature dependent transport and heat transport models have been incorporated to the two dimensional device simulator SNU-2D provides a solid base for nonisothermal device simulation. As an example to study the nonisothermal problem, we consider SOI MOSFET's I-V characteristics have been simulated and compared with the measurements. It is shown that negative slopes in the I_{ds} - V_{ds} characteristics are caused by the temperature dependence of the saturation velocity and the degradation of the temperature dependence mobility. Also it is shown that the kink effect occurs when impact ionization near the drain produces a buildup of holes in this isolated device island, and the hysteresis is caused by the creation of holes in the channel and their flow to the source.

I. 서 론

반도체소자의 드리프트-확산(DD)모델은 안정된 수치해를 위해 Scharfetter-Gummel(SG)^[1] 방법을 사용해왔으며, 이 방법은 캐리어와 격자의 온도가 고정된 조건에서는 매우 효과적이다.

최근까지 VLSI소자 개발에 있어서 전열현상(electro-thermal effect)은, 소자의 특성에 미치는 영향이 작아 큰 관심의 대상이 아니었으나, 지속적인

소자의 크기 감소와 SOI 같은 특이한 소자의 출현으로 인해 비등온 소자의 시뮬레이션이 중요하게 되었다. 매몰된 산화막 층의 큰 열저항 때문에 실리콘 박막의 온도가 증가하기 때문이다^[2]. 또한, 소자의 크기가 작아짐에 따라 소자의 물리적 현상을 정확하게 분석하기 위해, 뜨거운 캐리어의 전송에 대한 모델이 필요하다.

이와같은 소자의 특성을 분석하는데 있어, 캐리어와 격자의 에너지 전송을 유기적으로 풀어야하며, 이를위해 격자와 캐리어의 온도를 고려한 벌크 및 반전층의 새로운 이동도 모델이 필요하다. 따라서, 소자의 전열 현상 분석이 소자의 최적 동작과 그 전기적 특성을 이해하는데 도움을 줄 것이다.

이 논문의 목적은, HD(hydrodynamic) 모델로 비등온 소자 시뮬레이션에 적용할 벌크 및 반전층의 이동도를 유도하고 SOI MOSFET의 키크 현상^[4] 및

* 正會員, 서울大學敎 電子工學科

(Dept. of Elec. Eng. and Inter-university Semiconductor Research Center, Seoul National Univ.)

接受日字: 1995年11月17日, 수정완료일: 1996年2月14日

히스테리시스(hysteresis)^[5]를 분석하는 것이다. II 장에서는 HD 모델의 기본적인 방정식과 물리적인 변수의 모델을 설명한다. 여기에서 캐리어 에너지와 격자 온도로 표시되는 이동도 모델을 설명할 것이다. III 장에서는 이 모델을 적용한 SOI MOSFET의 시뮬레이션 결과와 전열현상으로 일어나는 특징들을 설명하고 IV장에서 결론을 맺는다.

II. 기본적인 반도체 방정식과 물리적 변수 모델

HD모델의 기본 방정식은 parabolic 밴드를 가정으로 1차에서 3차 볼츠만 방정식(Boltzman Transport Equation)을 기초로 유도하였다. 에너지 보존 방정식을 포함한 반도체 방정식은 비등온에서 소자의 2차원 정상 상태 특성을 얻기위해 유효적으로 풀며, 아래와 같다^[6].

$$\nabla \cdot (\epsilon \nabla \phi) = -q(p - n + N) \quad (1)$$

$$\frac{\partial n}{\partial t} - \frac{1}{q} \nabla \cdot J_n = -U \quad (2)$$

$$\frac{\partial p}{\partial t} + \frac{1}{q} \nabla \cdot J_p = -U \quad (3)$$

$$\frac{\partial(pW_n)}{\partial t} + \nabla \cdot S_n = E \cdot J_n - n \frac{W_n - W_L}{\tau_{wn}} \quad (4)$$

$$\frac{\partial(pW_p)}{\partial t} + \nabla \cdot S_p = E \cdot J_p - p \frac{W_p - W_L}{\tau_{wp}} \quad (5)$$

$$C \frac{\partial T_L}{\partial t} + \nabla \cdot S_L = H \quad (6)$$

여기서 종속변수는 전위 ϕ , 전자 농도 n , 정공 농도 p , 격자온도 T_L 과 전자 및 정공의 평균에너지 W_n , W_p 이며, ϵ , q , N , U , C , τ_{wn} , τ_{wp} 와 W_L 는 유전율, 전하량, 도핑 농도, 재결합률/생성을, 열량, 전자와 정공의 에너지 이완 시간, 및 격자의 평균에너지이다.

전자와 정공의 에너지 플럭스는 [6]과 같으며 격자의 에너지 플럭스는

$$S_L = -K_L \nabla T_L \quad (7)$$

이다. K_L 은 격자의 열전도도로 식(8)과 같이 실리콘에서는 격자 온도의 함수로 근사할 수 있으며 산화막에서는 실리콘보다 낮은 값을 갖는다^[7].

$$K_L = 1.5486 \left(\frac{T_L}{300} \right)^{-4/3} \text{ VAc}^{-1} \text{ K}^{-1} : \text{실리콘 (8-a)}$$

$$= 0.014 \text{ VAc}^{-1} \text{ K}^{-1} : \text{실리콘 산화막 (8-b)}$$

식 (6)의 격자의 단위 시간당 열 증가량 H 는 캐리어와의 충돌에 의한 에너지 이득과 재결합에 의한 에너지 이득 등 두 가지 성분으로 구성된다^[8].

$$H = n \frac{W_n - W_L}{\tau_{wn}} + p \frac{W_p - W_L}{\tau_{wp}} + \left(\frac{3}{2} K_B (T_n + T_p) + E_g \right) \cdot R \quad (9)$$

다음은 이 논문에서 사용한 경계조건을 살펴보자.

전자 농도와 전계 그리고 전류밀도 에너지 플럭스에는 일반적인 드리헨렛(Dirichlet) 경계조건과 노이만(Neuman) 경계조건을 사용하였다. 그리고 격자 온도 및 격자의 에너지 플럭스 경계조건은 아래와 같다.

우선, 기관 아래에는 일정한 온도가 유지된다고하여 (heat sink) 다음과 같이 간단히 드리헨렛 경계조건으로 적용하였다. 즉,

$$K_L = T_0 = \text{heat sink 온도} \quad (10)$$

표면 밖으로 나가는 S_L 의 열전달은 유효 열저항을 사용하여 모델하였다.

$$S_L \cdot \hat{n} = \frac{(T_L - T_0)}{k_0} \quad (11)$$

여기서 k_0 ($\text{Kcm}^2\text{W}^{-1}$)는 열저항이며, \hat{n} 은 표면밖으로 향하는 수직벡터이다. 열저항의 개념을 사용하기때문에 소자의 표면과 대기중의 대류 열전달을 모델할 수 있다. 이외에 열 조건을 무시할 수 있는 곳이나 서로 대칭적으로 접하는 부분에서는 아래와 같이 노이만 경계조건을 적용하였다.

$$S_L \cdot \hat{n} = 0 \quad (12)$$

이것은 표면에 수직으로 나가는 에너지 흐름이 없음을 의미한다.

소자 시뮬레이션에서 온도 효과는, 에너지 밴드(E_g), 진성 농도 (n_i), 이동도 (μ)와 전자와 정공의 이온화 충돌율 (α) 등 온도에 의존하는 실리콘의 물리적 변수에 의해 나타난다. 이런 물리적 변수는 격자 온도의 함수로 나타낼 수 있으며 이온화 충돌항에 쓰이는 유효 수평 전계는 식 (13-d)와 같이 전자와 격자의 평균에너지로 구할 수 있다^[9].

$$E_g(T_L) = 1.17 - \frac{4.73 \times 10^{-4} T_L^2}{T_L + 636} \text{ eV} \quad (13-a)$$

$$n_i(T_L) = (N_c N_v)^{1/2} \exp\left(\frac{-E_g}{2k_B T_L}\right) \text{ 1/cm}^3 \quad (13-b)$$

$$\alpha = \alpha(1 + c(T_L - 300)) E \cdot \exp\left\{-\left(\frac{b(1 + d(T_L - 300))}{E}\right)^2\right\} \quad (13-c)$$

$$E = \sqrt{\frac{1}{q} \frac{W_{n,p} - W_L}{\mu_{n,p} \tau_{un,up}}} \quad (13-d)$$

여기서 a, b, c, d 는 다음 표 1과 같이 사용하였다¹⁹⁾.

Table 1. Impact Ionization Constants.

	a[V-1]	b[Vcm-1]	c	d
electrons	0.426	$4.81 \cdot 10^5$	$3.05 \cdot 10^{-4}$	$6.86 \cdot 10^{-4}$
holes	0.243	$6.53 \cdot 10^5$	$5.35 \cdot 10^{-4}$	$5.87 \cdot 10^{-5}$

비등온 소자의 시뮬레이션을 위해 전자의 이동도를 격자온도 T_L 과 전자온도 T_n 등으로 모델링하였다. 물리적으로 이동도는 격자온도 T_L , 캐리어온도 T_n 및 도핑 농도 N_d 에 의존한다. T_L, T_n, N_d 의 함수로 이동도를 표현하기 위해 벌크 이동도를 음향포논(acoustic phonon), 광포논(optical phonon), 불순물(impurity) 충돌에 의해 제한되는 이동도로 나눈다. 우선, 음향포논에 의한 이동도는 평균 충돌율로부터 유도할 수 있으며 아래와 같다.

$$\begin{aligned} \mu_{ac} &= \frac{\langle e\tau \rangle}{m} = \frac{2}{3} \sqrt{2\pi} \frac{eh^4 \rho C_o^2}{m^{5/2} k_B^{3/2} T_L T_n^{0.5} E_o^2} \\ &= C_{ac} T_L^{-1} T_n^{-0.5} \end{aligned} \quad (14)$$

여기서 C_{ac} 는 상수이다.

광포논인 경우에는 평균 충돌율 $\langle \tau \rangle$ 가

$$\langle \tau \rangle = C_o \left(\frac{T_n}{C_1} \right)^{3/2} \sinh \left(\frac{C_1}{2T_L} \right) f(T_n, T_L) \quad (15)$$

이고, $f(T_n, T_L)$ 는 수정된 Bessel 함수이다¹¹⁰⁾. 이 충돌율은 매우 복잡하여 이것으로 직접 이동도를 유도하기가 어렵기 때문에 한정된 에너지 영역($0.1eV \leq W \leq 0.65eV$)에서 이동도를 $\mu_{op} = C_{op} T_L^{-n+1} T_n^{-1}$ 으로 근사하였다.

불순물의 이동도 μ_i 는 극저온에서 캐리어의 결빙(freezing)효과를 무시한다면 격자온도가 아닌 캐리어 온도에 의존하며, 아래와 같이 근사할 수 있다¹⁹⁾:

$$\mu_i = 90.0 \left[1 + \frac{2.0 \times 10^{18} \left(\frac{T_n}{300K} \right)}{N_d} \right] \quad (16)$$

그리고, 전체 이동도 μ 는 Mattiessen's rule을 이용하여 얻는다. C_{op}, C_{ac}, n 을 결정하기 위해 몬테칼로(MC)결과 및 실험결과와 비교하여 가장 적합한 값을 구했다. 본 연구에서 사용한 식은

$$n = 2.15 \quad (17-a)$$

$$C_{ac} = 4.6381 \times 10^8 \quad (17-b)$$

$$\begin{aligned} C_{op}(T_L, T_n) &= \frac{3.454 \times 10^8}{1 + \exp\left(-2.1 \frac{T_L}{T_n}\right)} \\ &+ \frac{3.027 \times 10^7}{1 + 20.233 \times \exp\left(\frac{T_L}{300K}\right)} \end{aligned} \quad (17-c)$$

이다.

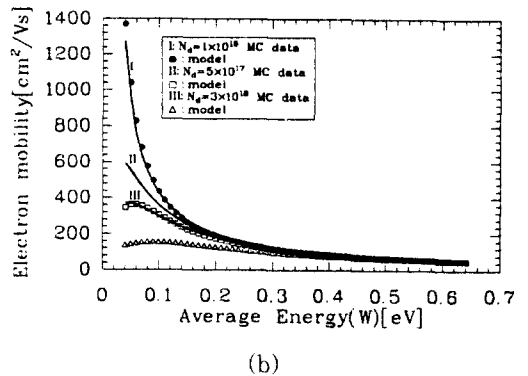
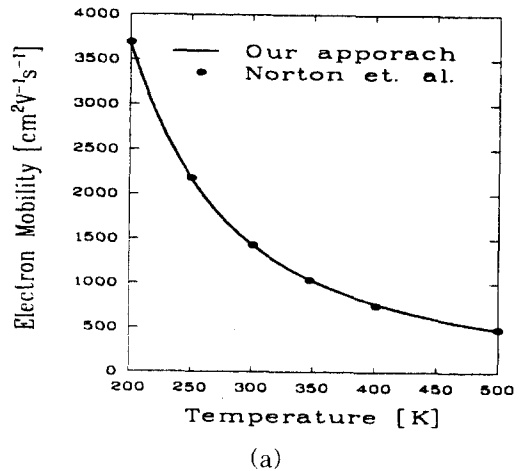


그림 1. (a) 온도에 대한 n-type 실리콘의 전자 이동도. 닫힌 원은 Norton의 실험결과이다.

(b) 여러 도핑에서 평균에너지(W)에 대한 이동도

Fig. 1. (a) Electron mobility of n-type silicon vs temperature. Close circles are experiments reported by Norton's et al

(b) Electron mobility vs the average energy(W) for various impurity concentrations

그림 1은 위 식을 이용하여 여러 실험과 MC결과와

비교한 그림이다. 먼저 그림 1-(a)는 저전계에서 유도한 벌크 이동도를 Norton의 실험결과($200K \leq T_L \leq 500K$)^[11]와 비교한 것이다. 그림 1-(b)는 세 가지 도핑구조에 대해 제한된 에너지($0.1eV < W \leq 0.65eV$) 범위에서 MC결과와 비교한 그림이다. 높은 농도, 낮은 에너지 범위에서 MC결과와 유도한 이동도에 차이가 있음을 볼 수 있다. 이것은, MC결과가 불순물 이동도로 높은 도핑에서 저전계 이동도를 보다 크게 예측하는 Brook's Herring 공식^[12]을 사용하였기 때문으로 본 모델 이동도가 실험치에 더 근접하고 있다.

이상과 비슷한 방법으로 반전층 이동도 모델을 유도하였다. 반전층 이동도는 포논충돌(phonon scattering) μ_{ph} , 쿨롱충돌(coulomb scattering) μ_c , 표면거칠기충돌(surface roughness scattering) μ_{sr} 에 의해 제한된다. μ_c 는 캐리어 온도와 도핑에 의존하며, μ_{ph} 는 격자온도와 캐리어온도에 의존한다. 참고 문헌^{[13]-[15]}를 참고하여 각 이동도를 전자 온도 T_n , 격자온도 T_L , 함수로써 다음과 같이 모델하였다.

$$\mu_{sp} = \frac{A \cdot E_{eff}^{-0.3} T_n^{-1.0} T_L^{-0.75}}{1.02 T_{L,norm} + T_L^{-1} \left(\frac{N_i}{3 \times 10^{10}} \right)^{0.2}} \quad (18-a)$$

$$\mu_{sr} = B \cdot E_{eff}^{-3.0} \quad (18-b)$$

$$\mu_c = \mu_{d0} \left(1 + \frac{1}{1.2 \times 10^{-9} \cdot \mu_{d0}} \frac{N_i}{N_d} \right) T_{n,norm} \quad (18-c)$$

$$\mu_{d0} = 15.0 \left(\frac{3 \times 10^{17}}{N_d} \right)^{0.5}$$

$$T_{L,norm} = \frac{T_L}{300K}, \quad T_{n,norm} = \frac{T_n}{300K}$$

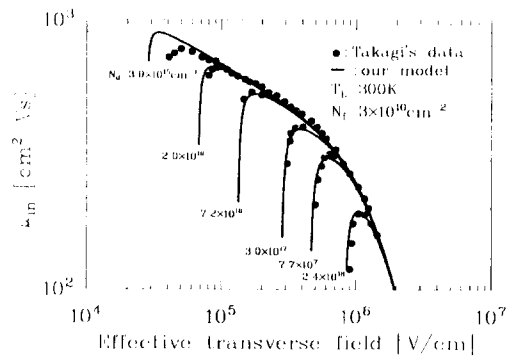
N_i , N_d , N_f , E_{eff} 는 반전층 캐리어 면농도, 도핑 농도, 계면 고정 전하 농도, 유효 수직 전계이고, A 와 B 는 Takagi의 실험 결과^[13]를 잘 맞추기 위해 각각 1.5×10^7 및 $9 \cdot 10^{12}$ 로 정하였다. 그리고 (18-a) 분모의 N_i 항은 이동도의 계면고정전하 영향을 고려하고 있다^[16]. 전체 반전층 이동도 μ_{in} 은 Mattiessen's rule을 사용하여 구한다. 저전계 영역($T_n = T_L$)에서, 이 이동도는 E_{eff} 에 대해 보편관계(universal relationship)^[13]을 갖으며(그림 2-(a)), 큰 에너지 영역($T_n \gg T_L$)에서는 포화속도 v_{sat} 를 준다.

식 (18-c)에서 μ_c 는 평균 반전층 캐리어 농도 증가에 따라 증가한다. 이는 캐리어 농도 증가에 의한 스크

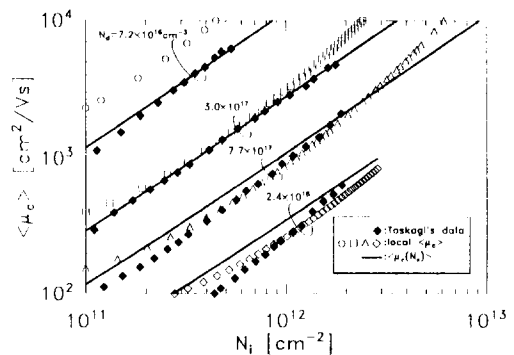
리닝(screening) 현상으로 불순물 영향이 감소함을 나타낸다. 그러나 이동도가 전체 면농도 N_i 함수로 표시되어 있으므로 전역(nonlocal) 모델임을 알 수 있다. 시뮬레이션에 사용할 수 있도록 본 연구에서는 아래 식과 같이 지역(local) μ_c 를 모델하였다.

$$\mu_c = 0.4 \cdot \mu_i \left(0.7 + 0.3 \cdot \left(\frac{n+p}{N_d} \right)^{1.1} \right) \quad (19)$$

여기서 μ_i 는 벌크 불순물 이동도이다. 이 모델을 사용하여 시뮬레이션을 수행하고 I-V 곡선을 구한 후, μ_c 를 추출하고 이 값을 Takagi의 μ_c 결과와 비교하였다. 그림 2-(b)은 유도한 μ_c 와 Takagi의 전역 μ_c 를 N_i 변수로 비교한 것이다. 그림에서 이 모델은, $N_d \geq 2 \times 10^{16} \text{cm}^{-3}$ 영역에서는 Takagi의 결과를 잘 예측하고 있음을 알 수 있다.



(a)



(b)

그림 2. (a) 전자 이동도의 Eeff 의존성

(b) 여러 도핑에서 Ni 에 대한 $\langle \mu_c \rangle$

Fig. 2. (a) Eeff dependences of electron mobility

(b) $\langle \mu_c \rangle$ vs N_i for various impurity concentrations

III. SOI n-MOSFET의 시뮬레이션 결과

이 장에서는 앞에서 제시된 전열(electro-thermal) HD모델을 이용하여 SOI MOSFET의 전기적 특성을 알아보고자 한다.

시뮬레이션할 SOI MOSFET은 그림 3과 같으며, 게이트 길이, 폭, 그리고 실리콘 필름, 게이트 산화막 및 매몰된 산화막 두께는 각각 $1.0\mu\text{m}$, $20\mu\text{m}$, $0.05\mu\text{m}$, 175\AA , $0.43\mu\text{m}$ 이다. 공정 조건에서 채널과 소스/드레인 영역의 도핑은 각각 $4 \times 10^{16}\text{cm}^{-3}$, $2 \times 10^{20}\text{cm}^{-3}$ 이다.

그림 4는 $V_{gs} = 5\text{V}$, $V_{ds} = 8\text{V}$ 조건에서 격자 온도의 분포이다. 온도가 높은 곳은 전계가 큰 영역에 위치하며 최고치는 대략 500K임을 알 수 있다. 이와같이 격자 온도가 크게 상승하는 것은 낮은 열전도도를 갖는 매몰 산화막이 격자의 열 플럭스가 효과적으로 전달되는 것을 막기 때문이다.

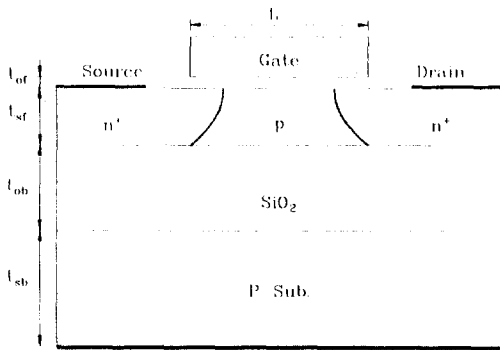


그림 3. SOI소자의 형태

tof: 게이트 산화막, tsf: 실리콘 필름
tob: 매몰 산화막, tmb: 기판

Fig. 3. Geometry of the SOI device.

tof: gate oxide, tsf: silicon film,
tob: buried oxide, tmb: substrate

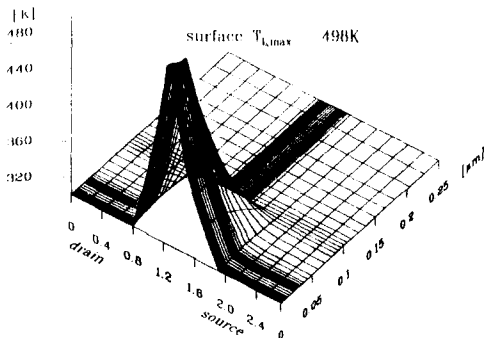


그림 4. $V_{ds} = 8\text{V}$, $V_{gs} = 5\text{V}$ 에서 격자 온도 분포

Fig. 4. Internal lattice temperature distribution at $V_{ds} = 8\text{V}$, $V_{gs} = 5\text{V}$.

그림 5는 시뮬레이션한 $I_{ds}-V_{ds}$ 특성을 측정값과 비교한 것이다. 높은 게이트/드레인 전압에서 전류값이 줄어드는 음의 출력특성을 보여주고 있다. 시뮬레이션 결과로부터 이 효과가 격자 온도의 증가로 캐리어의 포화 속도가 감소하고 이동도가 열화되어 나타나는 것임을 알 수 있다^[3].

킨크현상을 알아보기 위해 실리콘 필름이 부분적으로 공핍된 SOI MOSFET을 시뮬레이션 하였다. 소자의 게이트 길이, 실리콘 필름 두께 및 채널 도핑은 각각 $0.5\mu\text{m}$, $0.15\mu\text{m}$, $1 \times 10^{17}\text{cm}^{-3}$ 이다. 그림은 6은 이온화 충돌을 고려했을 때와 고려하지 않았을 때의 $I_{ds}-V_{ds}$ 특성을 보여주는 것으로 이온화 충돌을 고려했을 때는 키크현상이 일어남을 알 수 있다. 또한, 이 그림에서 게이트 전압이 증가함에 따라 키크전압이 점점 증가하고 있음을 볼 수 있다. 이것은 게이트 전압이 증가함에 따라, 드레인 전류는 증가하지만 이온화 충돌 감소가 더 크기 때문이다.

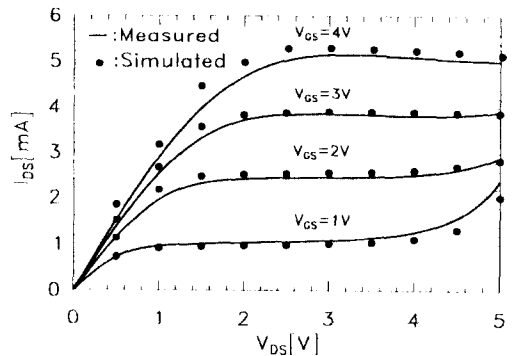


그림 5. 완전히 공핍된 SOI n-MOSFET의 시뮬레이션과 측정된 $I_{ds}-V_{ds}$ 특성

Fig. 5. Nonisothermal simulation and measured $I_{ds}-V_{ds}$ characteristics of fully depleted SOI n-MOSFET. ($L/W = 1.0/20.0(\mu\text{m})$)

그림 7은 $V_{gs} = 2\text{V}$ 에서 키크가 일어나기 전과 후의 전위 분포이다. 이 그림으로부터 부분적으로 공핍된 SOI소자에서는, 이온화 충돌로 생성된 정공들이 소스와 드레인 사이의 전위 우물에 잡혀 점점 축적된다. 이 축적된 정공에 의해 전위장벽을 기판전위가 증가되며, 기판전위의 증가는 문턱전압을 감소시키고 이 문턱전압의 감소는 I_{ds} 의 증가를 가져온다.

이온화충돌에 의한 기판전위 불안정 효과로 문턱전압이하(Subthreshold) 특성의 히스테리시스를 들

수 있다. 이는 채널 내에 이온화충돌로 생성된 정공들이 소스 쪽으로 흘러 들어가는 것이 주된 원인이다. 즉, 생성된 정공들이 바이폴라 트랜지스터의 베이스 전류를 공급해주는 역할을 한다^[17]. 그림 8은 $V_{ds}=3V$ 에서 이러한 히스테리시스 현상을 시뮬레이션한 것이다. 그림에서 점선은 이온화충돌을 고려하지 않은 특성으로 정상적인 문턱전압이하 특성을 보여주고 있다.

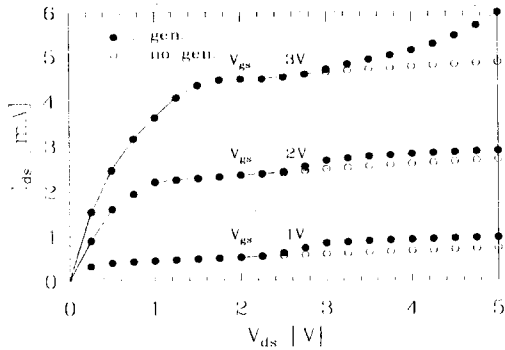


그림 6. $V_{gs}=1, 2, 3V$ 에서 부분적으로 공핍된 SOI n-MOSFET의 시뮬레이션 $I_{ds}-V_{ds}$. 이온화 충돌에 의해 킨크가 발생한다.

Fig. 6. simulated $I_{ds}-V_{ds}$ of accumulated SOI n-MOSFET at $V_{gs}=1, 2, 3V$. Considering the generation, the kink occurs.

단 소자가 커지면 드레인 전류는 반전층 전자와 정공 전류와 균형을 맞추기위해 기판으로 유입된 전자들로 구성된다. 따라서, 역으로 게이트 전압을 감소시켜 문턱 전압 이하까지 내려도 기판으로 주입된 전자들은 볼 수 없게된다. 이와같이 일단 기판 쪽으로 전자가 유입되어 전류가 흐르게되면 게이트에 의한 제어가 어려워진다^[18].

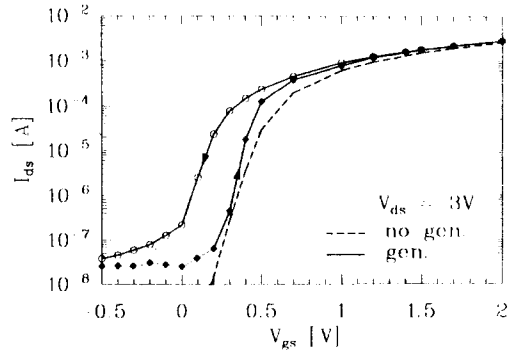


그림 8. $V_{ds}=3V$ 에서 히스테리시스. 이온화 충돌에 의한 생성을 고려한 것은 실선이다.

Fig. 8. The hysteresis characteristics at $V_{ds}=3V$. Data denoted by solid lines are with the impact ionization.)

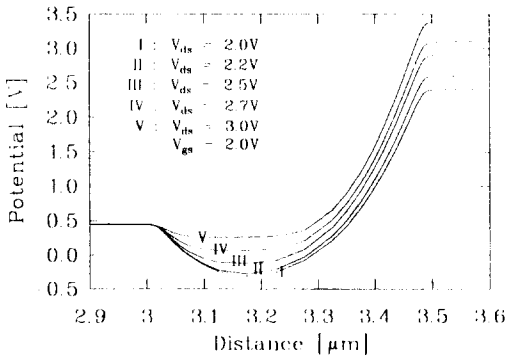


그림 7. $V_{gs}=2V$ 에서 킨크가 일어나기 전, 후의 표면 전위 분포

Fig. 7. Potential distribution before and after kink at $V_{gs}=2V$.

그러나 이온화충돌을 고려한 경우 게이트 전압이 증가함에 따라 전류가 정상 특성보다 급격히 증가함을 볼 수 있다. 이는 이온화충돌로 생성된 홀이 기판전위를 증가시켜 문턱전압이 감소했기때문이다. 이것은, 일

IV. 결론

이 논문에서는, HD 모델을 기초로한 2차원 소자 시뮬레이터 SNU-2D에 격자 비등온 효과를 결합시켰으며 비결합(decoupled) 방법을 사용하였다. 경계 조건은 여러 가지 물질에 대한 열 플럭스 방정식을 풀 수 있도록 하였고 이동도를 격자와 캐리어의 에너지로 새로이 모델링하였다. 이를 SOI n-MOSFET 소자에 적용하여 I-V특성 뿐만아니라 이온화충돌에 의한 캐리어 발생에서 비롯된 기판전위 불안정 효과를 시뮬레이션하였다.

높은 게이트/드레인 전압을 인가했을 때, 음의 $I_{ds}-V_{ds}$ 특성을 갖는 것은, 격자 온도 상승으로 캐리어 포화 속도의 감소와 이동도의 열화임을 설명하였다. 킨크와 히스테리시스 현상을 분석하기위해 이온화 충돌의 온도 의존성을 고려하였다. 킨크 현상은 부분적으로 공핍된 SOI MOSFET에서 일어나며 문턱전압이하 히스테리시스 현상은 이온화 충돌로 생성된 캐리어의 양의 제한현상으로 일어남을 알았다.

후 기

※ 본 연구는 교육부의 지원(ISRC#94-E-1007)으로 수행되었다.

참 고 문 헌

[1] D.L. Scharfetter and H.K. Gummel, *IEEE Trans. Electron Devices*, vol.16, pp. 64-77, 1989.
 [2] H. Lifka and P. H. Woerlee, *ESSDERC 90 Tech. Dig.*, pp. 453-456, 1990.
 [3] Philips Research Laboratories, *IEDM89*, pp.821-824.
 [4] Davis, Glaccum, Reeson, and Hemment, *IEEE Electron Device Letters*, vol. EDL-7, no.10, 1986.
 [5] Davice, Armstrong, Thomas, and Dolye, *IEEE Trans. Electron Devices*, vol.38, no.1, 1991.
 [6] W.S. Choi, J.G. Ahn, Y.J. Park, H.S. Min, and C.G. Hwang, *IEEE Trans. on CAD/ICAS*, vol.13, pp. 149-183, July 1994.
 [7] D. Chen, Z. Yu, K.C. Wu, R. Goossens, and R. W. Dutton, *SIMULATION OF SEMICONDUCTOR DEVICES AND PROCESS* vol.5, pp. 157-160, 1993.
 [8] C. J. Glassbrenner and G. A. Slack, *Phys. Rev.*, vol.134, no.4A, pp. 1058-

1069, 1964.
 [9] S. Selberherr, "Analysis and Simulation of Semiconductor Devices," *Springer-Verlag Wien New York*, 1984.
 [10] Seeger, "Semiconductor Physics," second corrected and updated edition
 [11] Sheng S. Li and W. Robert Thurber, *Solid-State Electron.* vol.20, pp. 609-616, 1977.
 [12] Ting-wei Tang, Sridhar Ramaswamy, and Joonwoo Nam, *IEEE Trans. Electron Devices*, vol.40, no.8, pp. 1469-1477, 1993.
 [13] S. Takagi, M. Iwase, and A. Toriumi, *IEDM Teh. Dig.*, pp. 398-401, 1988.
 [14] S. Takagi, M. Iwase, and A. Toriumi, *SSDM*, pp. 275-278, 1990.
 [15] J. Koga, S. Takagi, and A. Toriumi, *IEDM*, pp. 475-478, 1994.
 [16] A. Schwarz, E. Russek, *IEEE Trans. Electron Devices*, vol.30, no.12, pp. 1634-1639, 1988.
 [17] A. J. Auberton-Herve, *Proc. IEEE SOS/SOI Technology Workshop* (Georgia), pp. 55, 1988.
 [18] J. R. Davis, A. E. Glaccum, K. Reeson, and P. L. F. Hemment, *IEEE Electron Device Lett.* vol. EDL-7, no.10, pp. 570-572, 1986.

저 자 소 개



金 珍 洋(正會員)
 1969年 4月 16日 生. 1992年
 한국과학기술원 학부 졸업.
 1994年 서울대학교 전자공학과
 대학원 공학석사 취득. 현재 동
 대학원 박사과정. 관심분야는

소자 시뮬레이션 및 모델링 등임.

朴 榮 俊(正會員) 第 27卷 第 6號 參照
 현재 서울대학교 전자공학과 교수
 閔 弘 植(正會員) 현재 서울대학교 전자공학과 교수