

論文96-33A-3-14

인이 주입된 poly-Si/SiO₂/Si 기판에서 텅스텐 실리사이드의 형성에 관한 연구

(Study on Formation of W-Silicide in the Doped-Phosphorus poly-Si/SiO₂/Si-Substrate)

鄭會煥*, 朱炳權**, 吳明煥**, 丁寬秀*

(Hoi Hwan Chung, Byeong Kwon Ju, Myung Hwan Oh, and Kwan Soo Chung)

요 약

텅스텐 실리사이드막을 저압화학증착법으로 인이 주입된 다결정 실리콘/산화막/단결정 실리콘 기판위에 증착하였다. N₂ 분위기에서 열처리 온도에 따른 텅스텐 실리사이드의 형성과 여러 특성을 XRD, AFM, 4-point probe 및 SEM으로 평가하였고, 인 이온의 재분포는 SIMS로 관찰하였다. 증착한 텅스텐 실리사이드막의 결정 구조는 열처리 온도가 550°C에서 hexagonal에서 tetragonal 구조로 상변화하였다. 텅스텐 실리사이드막의 표면 거칠기는 850°C에서 열처리하였을 때와 다결정 실리콘층의 인 농도가 적을수록 평탄하였다. 면저항값은 1100°C에서 30분간 열처리하였을 때 2.4Ω/□이였으며, 1050°C 이상의 열처리 온도에서는 다결정 실리콘층의 인 농도와 열처리 시간에는 별차이가 없었다. O₂ 분위기에서 열처리할 경우에는 텅스텐 실리사이드막을 통하여 인 불순물의 외향확산이 산화막 형성으로 현저하게 감소되었다.

Abstract

Tungsten silicide films were deposited on the phosphorus-doped poly-Si/SiO₂/Si-substrates by LPCVD(low pressure chemical vapor deposition). The formation and various properties of tungsten silicide processed by furnace annealing in N₂ ambient were evaluated by using XRD, AFM, 4-point probe and SEM. And the redistribution of phosphorus atoms has been observed by SIMS. The crystal structure of the as-deposited tungsten silicide films were transformed from the hexagonal to the tetragonal structure upon annealing at 550°C. The surface roughness of tungsten polycide films were found to very smoothly upon annealing at 850°C and low phosphorus concentration in polysilicon layer. The sheet resistance of tungsten polycide films are measured to be 2.4Ω/□ after furnace annealing at 1100°C, 30min. It was found that the sheet resistance of tungsten polycide films upon annealing above 1050°C were independant on the phosphorus concentration of polysilicon layer and furnace annealing times. An out-diffusion of phosphorus impurity through tungsten silicide film after annealing in O₂ ambient revealed a remarkably low content of dopant by oxide capping.

* 正會員, 慶熙大學校 電子工學科
(Dept. of Electronic Eng., Kyunghee Univ.)

** 正會員, 韓國科學技術研究院

(Div. of Elec. & Infor. Technology, KIST)

接受日字: 1993年3月25日 수정완료일: 1996年1月17日

I. 서 론

반도체 소자의 게이트 전극 및 배선재료로서 다결정 실리콘(poly-Si)이 널리 사용되어 왔으나 최근 집적도가 증가함에 따라 다결정 실리콘은 불순물의 주입에 의해 전기전도도를 증가시키더라도 자체 비저항($\geq 500 \mu\text{m} \cdot \text{cm}$) 값이 높아 회로의 동작 속도에 문제가 되었다¹⁾. 따라서 새로운 게이트 전극 및 배선 재료로 관심을 끌고 있는 것에는 내화물 금속(refractory metal)이나 내화물 금속 실리사이드(refractory metal silicide)에 대한 연구가 진행되고 있다.

내화물 금속 실리사이드는 높은 전기전도도, 고온 안정성, 패턴 용이, 화학적 반응에 저항력이 강하여 전기적 안정성이 높고 Si와의 낮은 접촉 저항을 만족시킴으로 산화막 위에서 접촉성이 좋지 않을 뿐 아니라 고온 안정성이 어려운 내화물 금속에 비해 소재 특성 및 제조 공정의 측면에서 적절한 것으로 보고되고 있다^{2,3)}. 내화물 금속 실리사이드중에서 텅스텐 실리사이드는 다른 실리사이드에 비하여 전기전도도가 낮으면서 높은 온도에 대한 안정성이 뛰어나고 기존공정에 대한 적합성이 우수한 특성을 가지고 있다. 또한 LPCVD(low pressure chemical vapor deposition) 방법이 개발되어 층덮힘(step coverage)면에서 뛰어난 특성을 나타내고, 방사선 피해(radiation damage)를 줄일 수 있으며 SiO_2 와의 접착력(adhesion) 특성도 매우 양호하고, 두께와 조성의 균일성이 우수하며 불순물이 적게 함유된 텅스텐 실리사이드막을 대량으로 증착시킬 수 있다^{4,5,6)}. 집적회로에서 불순물을 주입한 다결정 실리콘에 내화물 금속 실리사이드를 적층한 폴리사이드(polycide) 구조가 Si를 사용한 게이트 공정의 장점을 유지하면서 낮은 비저항을 나타내므로 게이트 전극이나 bit line 형성에 활발히 사용하고 있다^{7,8)}.

본 논문에서는 인 불순물이 주입된 다결정 실리콘/산화막/실리콘 기판위에 LPCVD 방법으로 텅스텐 실리사이드막을 증착한 텅스텐 폴리사이드($\text{WSi}_{2.7}$ /P-doped poly-Si) 구조로서 열처리에 따른 막의 구조적 변화, 표면 거칠기, 면저항과 스트레스의 변화를 조사하였고, 특히 텅스텐 폴리사이드막을 게이트 전극으로 사용시에 산화막 형성에 따른 인 불순물의 재분포에 대하여 조사하였다.

II. 실험 방법

1. 시료 제작

본 실험에서 시편 제작을 위해 사용된 반도체 기판은 결정면이 (100)이고 비저항이 $5 [\Omega \cdot \text{cm}]$ 인 직경 6인치 P형 실리콘 웨이퍼이다. 단결정 실리콘 웨이퍼는 황산 boiling과 $100\text{H}_2\text{O}:1\text{HF}$ 용액으로 표면을 세척하고 열산화법으로 1000°C 에서 산화막을 1000 \AA 성장한 후 다결정 실리콘을 625°C 에서 LPCVD 방법으로 SiH_2 를 열분해하여 1500 \AA 증착하였고 950°C 에서 POCl_3 을 이용하여 인(phosphorus)을 $12\Omega/\square$, $33\Omega/\square$, $48\Omega/\square$ 조건으로 도핑하였다. 이때 생긴 자연산화물은 $100\text{H}_2\text{O}:1\text{HF}$ 용액에서 100초 동안 dipping 시켜 제거한 후에 LPCVD 방법으로 텅스텐 실리사이드($\text{WSi}_{2.7}$)막을 1500 \AA 증착하였다. 이때 SiH_4 와 WF_6 의 유량은 각각 560sccm , 9sccm 이었고, 온도와 압력은 각각 360°C , 200mTorr 이었다. 각 시편은 $450^\circ\text{C} \sim 1100^\circ\text{C}$ 의 온도 영역에서 전기로에서 N_2 분위기로 열처리를 하였고, 일부 시료는 850°C 에서 30분간 N_2 분위기에서 열처리한 후 O_2 분위기에서 재열처리를 하였다.

2. 측정

텅스텐 실리사이드막의 열처리에 따른 형성반응을 조사하기 위하여 $\text{Cu K}\alpha (\lambda = 1.542 \text{ \AA})$ 타겟을 이용하여 X-ray 회절 분석을 하였다. 열처리 온도에 따른 면저항값은 4-point probe로 5회 측정하여 평균값을 취하였고, 응력(stress)은 ADE 6034로 측정하였다. 결정립(grain) 크기와 표면 형상(surface morphology) 및 표면 거칠기는 AFM(atomic force microscope)으로 관찰하였다. 이때 AFM의 주사(scanning)면적은 $2 \mu\text{m} \times 2 \mu\text{m}$ 이었다. 표면 거칠기는 root-mean-square(R_{ms}) 거칠기(σ)의 수식에 의하여 다음과 같이 계산되었다. $\sigma = \{ (N-1)^{-1} [\sum (Z_i - \langle Z \rangle)^2] \}^{1/2}$ 여기서 Z_i : 각 결정립 높이, $\langle Z \rangle$: 평균 높이, N : 총 데이터이다. 인 불순물의 재분포 현상을 SIMS(secondary ion mass spectroscopy)로 관찰하였고, 텅스텐 폴리사이드막의 단면구조는 SEM(scanning electron microscopy)으로 관찰하였다.

III. 실험 결과 및 고찰

인이 주입된 다결정 실리콘/산화막/실리콘 기판에 텅스텐 실리사이드막을 증착하여 열처리 온도에 따른 텅스텐 실리사이드의 결정구조를 알아보기 위해 X-ray 회절 스펙트럼을 조사하여 그림 1에 나타내었다. 이때 열처리 시간은 10분이었고, 다결정 실리콘의 면저항은 $12\Omega/\square$ 이었다. 증착 직후(as-deposited) 상태에서는 텅스텐 실리사이드의 피이크(peak)가 나타나지 않는 것으로 보아 W와 Si가 단지 혼합되어진 비정질 상태라고 생각된다. 450°C에서 10분간 열처리한 시료에서 hexagonal 구조의 텅스텐 실리사이드의 피이크가 나타났으며, 550°C에서 10분간 열처리한 시료에서는 tetragonal 구조로 변하기 시작하여 650°C 이상에서 10분간 열처리한 시료에서는 tetragonal 구조의 피이크만이 존재하였다.

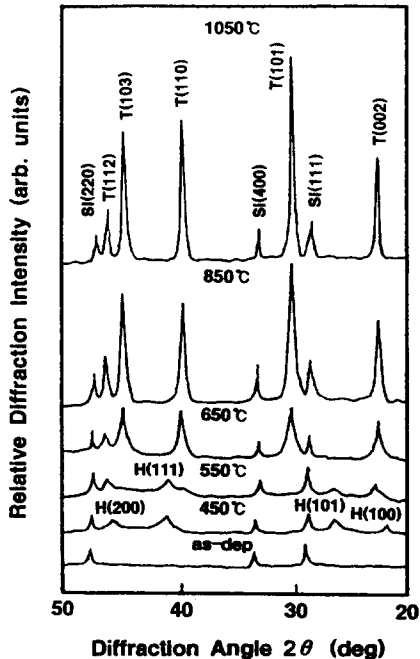


그림 1. 열처리 온도에 따른 텅스텐 실리사이드막의 X-ray 패턴

Fig. 1. XRD patterns of W-silicide film as a function of annealing temperature.

그림 2는 열처리 시간을 10, 20, 30분 동안 행하였을 때 열처리 온도에 따른 텅스텐 폴리사이드막의 면저항값을 나타내었다. 이때 POCl₃을 이용하여 인을 도핑

한 다결정 실리콘의 면저항은 $12\Omega/\square$ 이었다. 증착 직후 상태의 면저항값은 $32.83\Omega/\square$ 이었다. 낮은 온도 영역(450°C~550°C)에서 열처리 하였을 때에는 면저항값이 온도와 시간이 증가함에 따라서 증가하였고, 550°C 부근에서 최대 면저항값을 나타냈으며 650°C 이상에서는 면저항값의 변화가 급격한 감소를 나타내었다. 1100°C에서 열처리한 텅스텐 폴리사이드막의 면저항값은 $2.4\Omega/\square$ 으로 더 이상 감소하지 않았다.

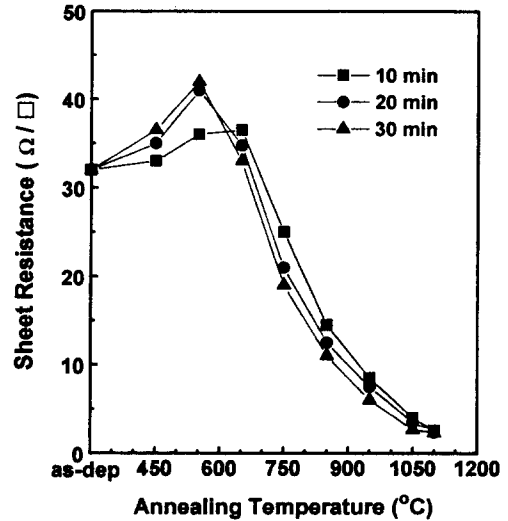


그림 2. 열처리 온도와 시간에 따른 텅스텐 폴리사이드막의 면저항

Fig. 2. Sheet resistance of W-polycide films as a function of annealing temperature and annealing time.

위의 결과로부터 열처리 온도가 증가함에 따라서 550°C 전, 후에서 면저항값이 현저한 변화를 나타내고 있다. 낮은 온도 영역(450°C~550°C)에서 열처리 시간과 온도가 증가함에 따라서 면저항값이 증가하였다. 이 영역의 X-ray 회절 스펙트럼을 살펴보면 비정질 상태의 텅스텐 실리사이드막이 열처리 후에는 hexagonal로 형성되었음을 알 수 있다. 낮은 온도 영역에서 열처리 시간과 온도가 증가함에 따라서 면저항값이 지속적으로 증가하던 텅스텐 실리사이드막은 500°C 부근에서 최대값을 나타내었다.

Heurle등^[9]은 높은 적층 결함밀도는 막의 면저항을 높이는 주 원인이 된다고 하였다. 550°C에서 면저항값의 최대로 나타나는 것은 막에 존재하는 높은 밀도의 적층 결함 때문인 것으로 분석된다. X-ray 회절

스펙트럼에서도 이미 확인한 바와 같이 텅스텐 실리사이드가 tetragonal 구조로 형성되기 시작하는 온도이다. 즉, hexagonal 구조에서 tetragonal 구조의 텅스텐 실리사이드로 상변화를 일으키기 시작하는 온도이다. Hexagonal 구조의 텅스텐 실리사이드의 stacking order가 ABCABC……인 반면 tetragonal 구조의 텅스텐 실리사이드의 stacking order는 ABAB……로서 상변화 전후의 stacking order가 서로 다르기 때문에 상변화 온도에서 과도적 현상으로 적층 결함이 생겨 면저항값이 증가하는 것으로 사료된다.

650℃ 이상의 온도에서는 열처리 온도와 시간이 증가함에 따라서 면저항값이 감소하였다. X-ray 회절 스펙트럼에서도 tetragonal 피크만이 나타나고 있는 것으로 보아 상변화가 완료되었음을 알 수 있었고, 열처리 온도가 증가함에 따라서 X-ray 회절 스펙트럼에서 피크의 폭이 좁아지고 강도는 증가하는 것으로 보아 결정성이 좋아지고 있음을 보여 주고 있다. 또한, Campbell등¹⁰⁾에 의하면 전자는 주로 결정립계 (grain boundary)에서 산란이 일어나며 산란이 일어나는 결정립계 밀도(grain boundary density)가 감소함에 따라 전기 전도도가 증가함으로써 저항이 감소한다고 하였다. 따라서 650℃ 이상 열처리 온도에서는 텅스텐 실리사이드막의 결정립이 커지면서 단위면적내의 입계밀도가 적어졌기 때문으로 생각된다.

1100℃ 이상에서는 면저항값이 2.4Ω/□으로 더 이상 감소하지 않는 것으로 보아 결정립 크기가 막의 두께 이상으로 성장할 수 없다는 박막이론¹¹⁾에 따라 이 온도가 결정립이 성장할 수 있는 최대 온도라고 생각된다. 열처리 시간을 보면 1050℃ 이상의 열처리에서 면저항값의 차이가 없는 것으로 보아 텅스텐 실리사이드막의 결정립 성장은 열처리 시간보다는 온도에 크게 좌우된다는 것을 알 수 있다. 한편 1050℃에서 열처리하였을 때 면저항값은 3.7Ω/□이었으나 450℃, 550℃, 650℃, 850℃에서 열처리한 후에 1050℃에서 재열처리 하면 면저항값은 각각 3.31Ω/□, 3.48Ω/□, 3.69Ω/□, 3.24Ω/□이었다. 1050℃에서 열처리하였을 때보다 면저항값은 낮게 나타났다. 이것은 결정성이 좋아졌음을 알 수 있다¹²⁾.

그림 3은 다결정 실리콘에 인 농도를 달리한 텅스텐 폴리사이드막의 면저항값을 열처리 온도에 따라 나타내었다. 이때 열처리 시간은 10분이었다. 증착 직후

상태와 650℃ 이하에서는 인 농도에 따라 면저항값의 차이가 크게 나타났으나 열처리 후에는 거의 차이가 없었다. 이것은 열처리 온도가 650℃ 이하에서는 다결정 실리콘층의 인 불순물이 외향확산(out-diffusion)이 발생하지 않기 때문에 인 불순물의 손실이 없어 텅스텐 폴리사이드막의 면저항값은 다결정 실리콘층의 인 농도에 따라 큰 차이를 보이고 있지만, 열처리 온도가 650℃ 이상에서는 다결정 실리콘층의 인 불순물이 외향확산되기 때문에 면저항값의 차이가 거의 없는 것으로 생각된다. 인 불순물의 외향확산은 그림 6의 SIMS 분석에서 확인할 수 있었다.

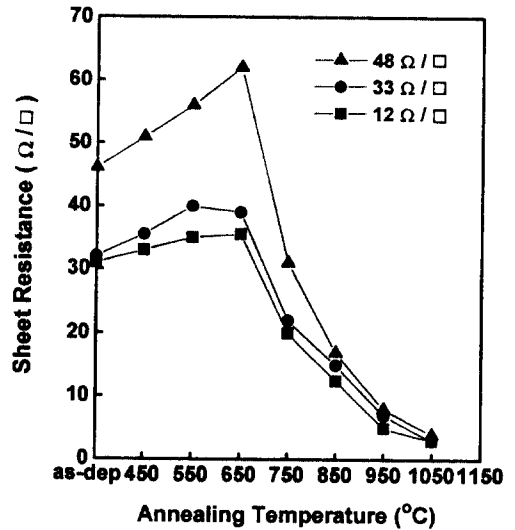


그림 3. 열처리 온도와 다결정 실리콘층의 인 농도에 따른 텅스텐 폴리사이드막의 면저항

Fig. 3. Sheet resistance of W-polycide films as a function of annealing temperature and phosphorus concentration in polysilicon layer.

그림 4와 5는 열처리 온도에 따른 텅스텐 폴리사이드막의 표면 형상과 시료의 중앙 부분을 수평방향으로 주사(scanning)하여 표면 거칠기를 각각 나타내었다. 이때 다결정 실리콘의 면저항은 12Ω/□이었고, 열처리 시간은 10분이었다. 시료 중앙의 수평 부분에 대한 표면 거칠기(R_{rms})는 증착 직후 상태에서는 151Å이었고, 450℃, 550℃, 650℃, 850℃, 1050℃에서 각각 243Å, 135Å, 188Å, 84Å, 109Å이었다. 주사 전면적(2μm×2μm)에 대한 표면 거칠기는 표 1에 나타내었다

표 1. 열처리 온도에 따른 텅스텐 폴리사이드 막의 표면 거칠기

Table 1. The surface roughness of W-polycide films with annealing temperature

Annealing Temperature (°C)	as-dep	450	550	650	850	1050
Surface Roughness (Å)	117	130	105	123	75	100

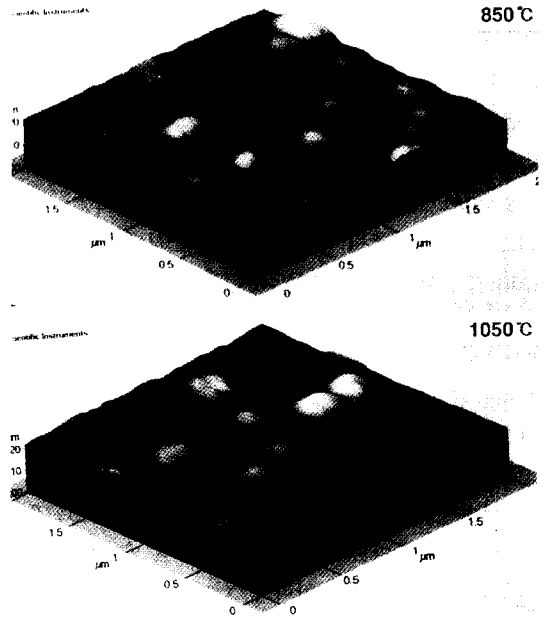
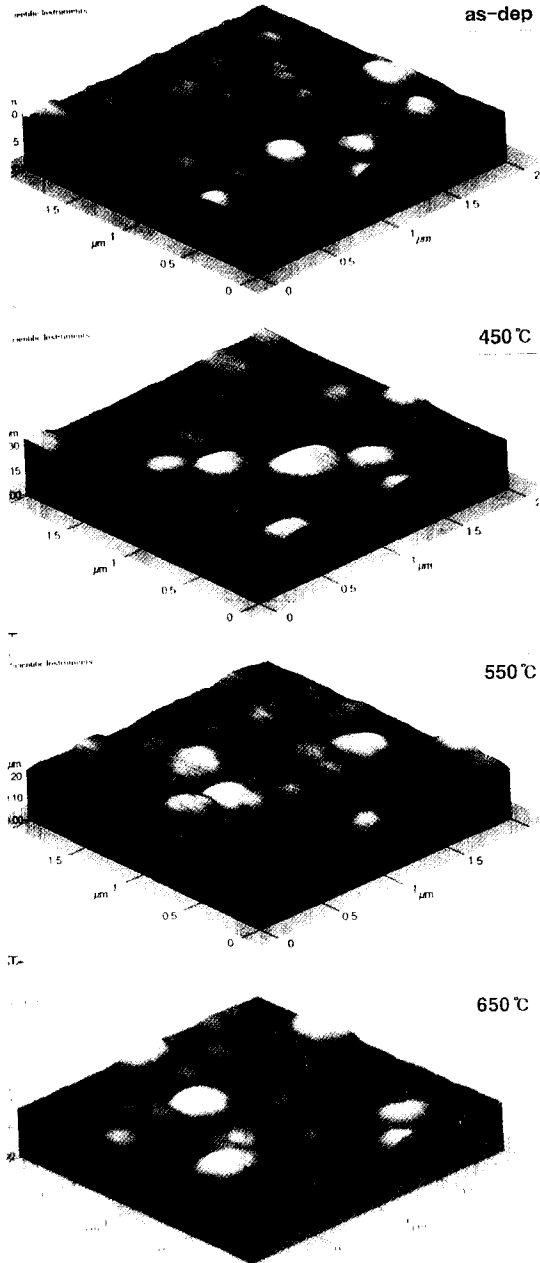


그림 4. 열처리 온도에 따른 텅스텐 폴리사이드막의 AFM 형상

Fig. 4. AFM morphology of W-polycide films as a function of annealing temperature.

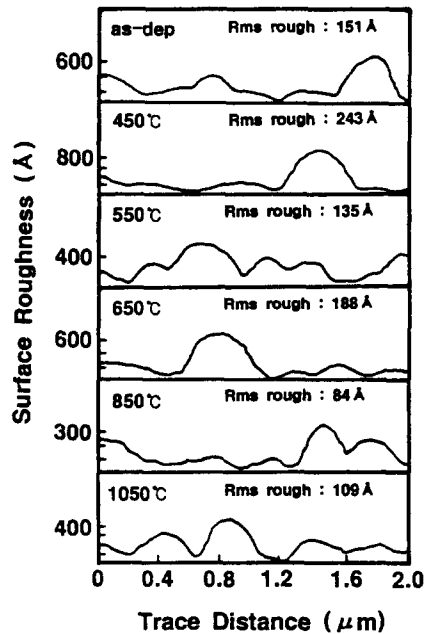


그림 5. 열처리 온도에 따른 텅스텐 폴리사이드막의 표면 거칠기

Fig. 5. Surface roughness of W-polycide films as a function of annealing temperature.

Hexagonal 구조의 피크가 나타나기 시작한 450°C에서 가장 거칠게 나타났으며, tetragonal 구조인 650°C에서도 거칠게 나타났다. Tetragonal 구조의 피크만 존재하는 850°C에서 가장 낮은 거칠기를 나타냈으며, 850°C 이상에서 다시 증가하였다. 이것은 열처리 온도가 증가함에 따라서 텅스텐 실리사이드의 결정립이 증가하였기 때문이다.

또한 면저항이 각각 $12\Omega/\square$, $33\Omega/\square$, $48\Omega/\square$ 인 다결정 실리콘에 증착한 텅스텐 실리사이드막을 N₂ 분위기에서 850°C에서 30분간 열처리한 표면 거칠기는 각각 141Å, 64Å, 36Å이었다. 다결정 실리콘층의 면저항이 적을수록 즉, 인 농도가 증가할수록 거칠게 나타났다. 이것은 POCl₃을 이용하여 다결정 실리콘에 인을 도핑하면 인 도핑 농도가 증가할수록 다결정 실리콘의 결정립이 커지기 때문이다^[13].

응력(stress)은 여러가지 요인에 따라 발생하는데 그러한 발생 요인으로는 기판과 박막 사이의 격자 부정합(lattice mismatch), 기판과 박막 사이의 열팽창 차이, 박막의 역학적 구조와 특성에 따른 intrinsic 응력 등을 들 수 있다^[14,15]. 열처리한 텅스텐 폴리사이드막은 기판과 실리사이드 사이의 열팽창 계수의 차이에 의하여 야기된 것으로 생각된다. 표 2는 10분 동안 열처리한 텅스텐 폴리사이드막의 응력을 나타내었다. 이때 다결정 실리콘의 면저항은 $12\Omega/\square$ 이었다.

표 2. 열처리 온도에 따른 텅스텐 폴리사이드막의 응력

Table 2. Stress of W-polycide films with annealing temperature.

Annealing Temperature (°C)	450	550	650	750	850	1050
Stress ($\times 10^9$ dyne/cm ²)	5.36	6.42	4.03	2.95	2.81	4.22

열처리 온도가 550°C에서 텅스텐 실리사이드막이 hexagonal 구조에서 tetragonal 구조로 상변화가 일어나면서 응력이 일단 증가하였고 그 이상의 온도에서는 다시 감소하였다. Shioya등^[16]은 실리콘 기판에 증착한 텅스텐 실리사이드(WSi₂)막의 응력은 상변화가 일어나는 500°C에서 최대가 되었고 800°C~1000°C에서 최소가 되었으며 1100°C 이상에서는 실리콘과 실리사이드막 사이에 반응이 발생하여 다시 증가한다고 한 것과 잘 일치하고 있다. 열처리 공정과 다른 공정을

진행함에 따라 수반되는 불순물 재분포는 공정 및 소자 특성에 커다란 영향을 미친다.

특히 폴리사이드 구조에서는 불순물 농도에 따라 식각 비율이 달라져 정확한 제어가 곤란하고, 실리사이드내로 불순물이 확산되어 들어감에 따라 실리사이드막 위에 형성되는 산화막의 형성 속도가 빨라질 수도 있다. 또한, 다결정 실리콘내의 불순물이 실리사이드내로 외향확산되므로 다결정 실리콘의 페르미 에너지 준위가 바뀌고, 따라서 일함수의 변동을 가져오게 되어 결국 게이트의 문턱전압의 변화를 가져온다^[17]. 그림 6은 N₂ 분위기에서 열처리 전, 후와 O₂ 분위기에서 재열처리한 경우의 인의 재분포를 나타내었다.

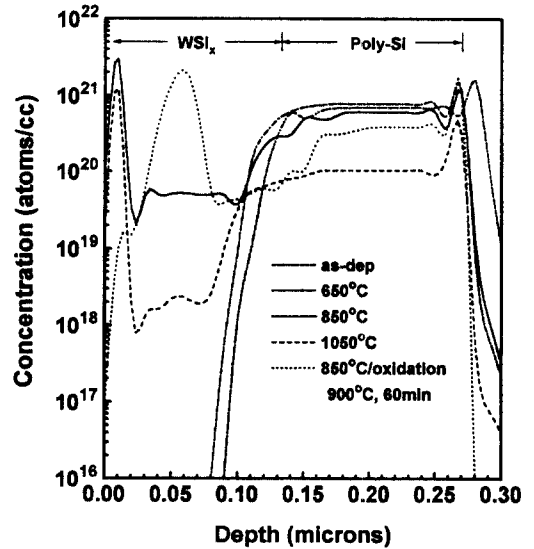


그림 6. 열처리 온도에 따른 텅스텐 폴리사이드막내에 인의 SIMS depth 분포

Fig. 6. SIMS depth profiles of phosphorus in W-polycide films as a function of annealing temperature.

증착 직후 상태와 550°C의 열처리 온도에서는 인이 텅스텐 실리사이드막으로 외향확산하는 현상은 일어나지 않았으나 850°C에서 열처리한 경우에는 다결정 실리콘내의 인이 텅스텐 실리사이드막으로 외향확산하여 텅스텐 실리사이드막내에서의 인 농도가 5.5×10^{19} atoms/cc이었다. 텅스텐 실리사이드막으로 이동되어지는 양만큼 다결정 실리콘내의 인 이온의 양도 감소하였고, 텅스텐 실리사이드막 표면에 pile-up됨을 증착 직후상태와 비교에서 알 수 있다. 표면에 pile-up

된 인은 결국 공기중으로 확산되어 인의 손실을 가져 오게 된다. 1050°C에서 열처리하였을 경우에는 다결정 실리콘층에서 텅스텐 실리사이드막으로 인 이동은 더 많아지고, 다결정 실리콘층에서 인의 농도도 더욱 감소 하였으며 인의 손실도 뚜렷이 나타나고 있다. 850°C, 30분간 N₂ 분위기에서 열처리한 후에 900°C, 60분간 전식 산화분위기에서 재열처리한 경우에는 1050°C, N₂ 분위기에서 열처리한 것에 비해 다결정 실리콘내의 인의 양은 3배 이상, 텅스텐 실리사이드내의 인의 양은 17배 이상 높게 나타남을 알 수 있다. O₂ 분위기에서 열처리 함으로써 산화막이 형성되어 인의 확산 장벽으로 작용하므로 산화막/텅스텐 실리사이드 계면에 인이 대부분 pile-up되었고, 텅스텐 실리사이드막을 통해 인 불순물의 손실을 방지할 수 있었다.

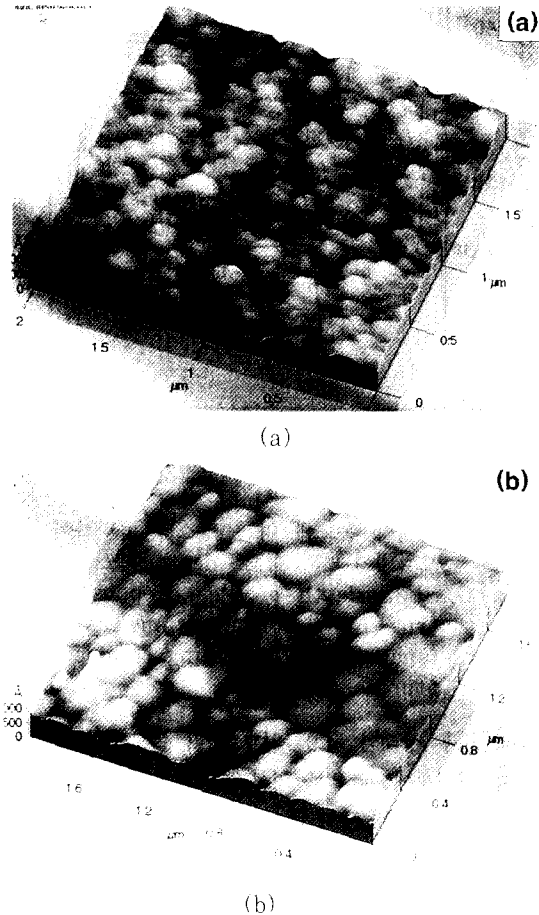


그림 7. (a) 850°C, 30분 열처리와 (b) 건식산화막 후 텅스텐 폴사이드막의 AFM 형상
Fig. 7. AFM morphology of W-polycide films after (a) 850°C, 30min annealing and (b) dry oxide etching.

그림 7(a)는 850°C, 30분간 열처리한 텅스텐 폴리사이드막의 표면 형상이다. 면저항값과 표면 거칠기는 각각 12.9Ω/□, 90Å이었다. 그림 7(b)는 850°C, 30분간 열처리한후 1000°C, 60분간 산화한 다음 산화막을 식각한 텅스텐 폴리사이드막의 표면 형상이다. 산화막을 식각 후의 면저항값과 표면 거칠기는 각각 3.6Ω/□, 69Å이었다. 산화막을 형성할 때 열처리 효과가 있어 면저항값이 감소하였고, 결정립도 증가하였음을 알 수 있다.

그림 8(a)는 텅스텐 폴리사이드막을 850°C, 30분간 열처리한 단면 사진이다. 다결정 실리콘/텅스텐 실리사이드와 다결정 실리콘/산화막의 계면상태도 양호함을 볼 수 있다. 그림 8(b)는 850°C에서 30분간 열처리한 시편에 1000°C에서 60분간 산화막을 성장한 단면이다. 텅스텐 실리사이드의 결정립 성장이 뚜렷하게 나타났으며, 다결정 실리콘과 산화막 계면의 변동은 볼 수 없었다. 그러나 텅스텐 실리사이드와 다결정 실리콘 계면에서는 불균일하게 형성되어 있음을 알 수 있다. 또한, 그림 8(a)와 비교해서 텅스텐 실리사이드와 다결정 실리콘층의 두께가 감소하였다. 이것은 텅스텐 실리사이드층에서 과잉(excess) Si는 산화의 초기 단계에서 소모된 후 다결정 실리콘에서 Si가 실리사이드와 산화막 계면에 실리사이드층을 통과하여 확산되고 산화공정 과정 동안 소모된 것으로 사료된다.

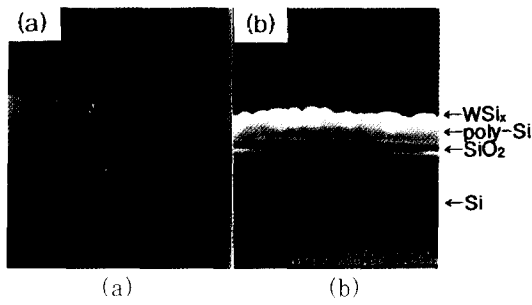


그림 8. (a) 850°C, 30분 열처리와 (b) 850°C, 30분 열처리 후 1000°C, 60분 건식 산화한 텅스텐 폴리사이드막의 단면 사진
Fig. 8. Cross-sectional SEM photographs for (a) 850°C, 30min annealing and (b) 1000°C, 60min dry oxidation after (a).

이와 같은 현상은 Sadana 등^[18]이 텅스텐 실리사이드층에서 과잉 Si은 열처리 동안 텅스텐 실리사이드의 표면에 축적되어 산화과정의 초기 단계에서 소모된 후

다결정 실리콘층에서 Si가 텅스텐 실리사이드층을 통하여 텅스텐 실리사이드/산화막 계면으로 확산되어 산화 과정 동안 소모된다고 한 것과 일치하였다.

IV. 결 론

텅스텐 실리사이드막은 550°C 이하의 열처리 온도에서 hexagonal 구조이고 650°C 이상에서는 tetragonal 구조이며 상변화는 550°C와 650°C 사이에서 일어났다. 텅스텐 폴리사이드의 표면 거칠기는 열처리 온도가 850°C에서 가장 낮게 나타났다. 텅스텐 폴리사이드막의 면저항값은 상변화가 일어나는 550°C에서 최대값을 나타냈으며 650°C 이후에서는 열처리 온도가 증가할수록 감소하였고, 1050°C보다 낮은 온도에서 열처리한 후에 1050°C에서 재열처리할 경우에는 약 $0.2\Omega/\square \sim 0.4\Omega/\square$ 정도 낮게 나타났다. 1050°C 이상 열처리 온도에서는 열처리 시간과 다결정 실리콘층의 인 불순물 농도에는 별 차이가 없었다. 다결정 실리콘층의 인 불순물은 열처리 온도가 650°C 이상에서 텅스텐 실리사이드막내로 외확산 되었으며, O₂ 분위기에서 열처리한 경우에는 산화막이 형성되어 텅스텐 실리사이드를 통해서 인 불순물의 손실을 방지할 수 있었고, 결정립이 성장되었으며 면저항값도 감소하였다. 열처리에 따른 다결정 실리콘/게이트 산화막의 계면 특성 및 접합 특성등의 열적 안정성은 우수하였다.

참 고 문 헌

- [1] K.C. Saraswat and F. Mohammadi, "Effect of interconnection scaling on time delay of VLSI circuits," IEEE Trans. Electron Devices, vol.ED-29, pp.645-650, 1982.
- [2] R.A. Levy and M.L. Green, "Low pressure chemical vapor deposition of tungsten and aluminum for VLSI applications," J. Electrochem. Soc., vol.134, no.2, pp.37-49, 1987.
- [3] T. Yachi, "Formation of a TiSi/poly-Si layer by rapid lamp heating and application to MOS device," IEEE Electron Device Letters, vol.EDL-5, pp.217-221, 1984.
- [4] M.Y. Tsai, F.M.D. Heurle, C.S. Peterson, and R.W. Jhoson, "Properties of tungsten silicide film on polycrystalline silicon," J. Appl. Phys., vol.52, pp.5350-5355, 1981.
- [5] W.I. Lehrer and J.M. Pierce, "Low temperature growth of tungsten disilicide," Electrochem. Society, vol.81-5, pp.588-595, 1981.
- [6] F. Mohammadi and K.C. Saraswat, "Properties of sputtered tungsten silicide for MOS integrated circuit application," J. Electrochem. Soc., vol.127, pp.450-454, 1980.
- [7] J. Kato, M. Asahina, H. Shimura and Y. Yamamoto, "Rapid annealing of tungsten polycide films using halogen lamps," J. Electrochem. Soc., vol.133, pp.794-799, 1986.
- [8] S.P. Murarka, D.B. Fraser, A.K. Sinha, and H.J. Levinstein, "Refractory silicides of titanium and tantalum for low-resistivity gates and interconnection," IEEE Trans. Electron Devices, vol.ED-27, pp.1409-1417, 1980.
- [9] F.M. d'Heurle, F.K. LeGoues, R. Joshi, and I. Suni, "Stacking faults in WSi₂: Resistivity effects," Appl. Phys. Lett., vol.48, pp.332-334, 1986.
- [10] D.R. Campbell, S. Mader, and W.K. Chu, "Effects of grain boundaries on the resistivity of cosputtered WSi₂ films," Thin Solid Films vol.93, pp.341-346, 1982.
- [11] D.S. Campbell, "Handbook of Thin Film Technology," eds. L.I. Maissel and R. Glang, and McGraw-Hill, New York, 1970.
- [12] W.T. Lin, and L. J. Chen, "Localized epitaxial growth of tetragonal and hexagonal WSi₂ on (111)Si," J. Appl. Phys., vol.58, pp.1515-1518, 1985.
- [13] S.J. Mitchell, D.W. McNeill, S.H. Raza, B.M. Arnsstrong, and H.S. Gambell, "Large-grain polysilicon films deposited by rapid thermal LPCVD," Mat. Res.

- Soc. Symp. vol.182, pp.35-41, 1990.
- [14] R.W. Hoffman, "Thin Solid Films" *J. Appl. Phys.* vol.20, pp.55-67, 1985.
- [15] J.E.E. Baglin, F.M. d'Heurle, and C.S. Petersson, "Interface effects in the formation of silicon oxide on metal silicide layers over silicon substrates." *J. Appl. Phys.*, vol.54, pp.1849-1854, 1983.
- [16] Y. Shioya, T. Itoh, S. Inoue, and M. Maeda, "Analysis of stress in chemical vapor deposition tungsten silicide film." *J. Appl. Phys.* vol.58, pp.4194-4199, 1985.
- [17] P. Pan, N. Hsieh, H. Geipel, and G.J. Slusser, "Dopant diffusion in tungsten silicide," *J. Appl. Phys.*, vol.53, pp.3059-3062, 1982.
- [18] D.K. Sadana, A.E. Morgen, M.H. Norcott, and S. Naik, "Annealing and oxidation behavior of low-pressure chemical vapor deposited tungsten silicide layers on polycrystalline silicon gates." *J. Appl. Phys.* vol.62, pp.2830-2835, 1978.

 저 자 소 개

鄭會煥(正會員) 第 29卷 第 12號 參照
 현재 경희대학교 전자공학과 박사과정

丁寬秀(正會員) 第 29卷 第12號 參照
 현재 경희대학교 전자공학과 교수

朱炳權(正會員) 第 32卷 第 3號 參照
 현재 한국과학기술원 근무중

吳明煥(正會員) 第 32卷 第 3號 參照
 현재 한국과학기술원 근무중