

論文96-33A-4-16

Deep Submicrometer PMOSFET의 Hot Carrier 현상과 소자 노쇠화

(Hot Carrier Effects and Device Degradation in Deep Submicrometer PMOSFET)

張星俊*, 金容鐸*, 劉宗根**, 朴鍾泰**, 朴炳國***, 李鍾德***

(Sung J. Jang, Yong T. Kim, Chong K. Yu, Jong T. Park, Byung K. Park, and Jong D. Lee)

요 약

본 연구에서는 deep submicrometer SC-PMOSFET의 hot carrier 현상과 소자의 노쇠화를 측정·분석하였다. 소자의 크기가 $0.15\mu\text{m}$ 레벨로 축소되었을 때 충격 이온화율 증가에 의한 기판전류는 증가하였으며 충격이온화율은 채널 길이와 게이트 전압의 함수 관계가 있음을 알 수 있었다. 또한 기판전류와 게이트 전류의 상관 관계는 lucky-electron 모델을 사용하여 측정하였는데 채널 길이가 작아짐에 따라 충격 이온화율은 증가하나 디바이스 노쇠화는 심각하지 않은 것으로 측정되었다. 증가된 충격 이온화율과 게이트 전류의 감소를 설명하기 위한 물리적인 메카니즘으로 SCIHE 모델을 제시하였다. 본 연구에서 사용된 유효채널길이 $0.15\mu\text{m}$ 의 최대공급전압은 -2.67V 정도임을 알 수 있었다.

Abstract

In this paper, the hot carrier effect and device degradation of deep submicrometer SC-PMOSFETs have been measured and characterized. It has been shown that the substrate current of a $0.15\mu\text{m}$ PMOSFET increases with increasing of impact ionization rate, and the impact ionization rate is a function of the gate length and gate bias voltage. Correlation between gate current and substrate current is investigated within the general framework of the lucky-electron. It is found that the impact ionization rate increases, but the device degradation is not serious with decreasing effective channel length. SCIHE is suggested as the possible physical mechanism for enhanced impact ionization rate and gate current reduction. Considering the hot carrier induced device degradation, it has been found that the maximum supply voltage is about -2.67V for $0.15\mu\text{m}$ PMOSFET.

I. 서 론

집적 회로의 고집적도와 고속을 위하여 MOS 소자의 물리적인 크기가 deep submicrometer 레벨로 축

소되고 있다. 집적 회로의 성능을 향상시키기 위하여 공급전압을 소자의 물리적인 크기만큼 축소하지 못하므로 소자내의 전계는 계속 증가하게 되어 채널이 긴 소자의 전류-전압 특성에서 벗어나 단채널 효과가 일어나며 소자의 신뢰도에 심각한 문제가 야기되고 있다 [1,2].

앞으로 G비트 DRAM에서는 소자의 크기가 $0.15\mu\text{m}$ 이하로 축소될 것으로 예상되어 단채널 효과를 줄일 수 있는 소자 설계와 공정개발과 hot carrier의 생성

* 準會員, ** 正會員, 仁川大學校 電子工學科

(Dept. of Elec. Eng., Incheon Univ.)

*** 正會員, 서울大學校 電子工學科

(Dept. of Elec. Eng., Seoul National Univ.)

接受日字: 1996年1月26日, 수정완료일: 1996年3月21日

메카니즘 및 이를 줄일 수 있는 기술 개발이 필요하다. 또한 deep submicrometer 레벨 소자에서는 non-equilibrium 상태에서 캐리어가 전송되므로 velocity overshoot가 발생할 수 있으며 또 이로 인한 hot carrier 생성 메카니즘 및 소자의 신뢰도에 미치는 영향에 관한 연구가 필요하다.

Deep submicrometer 소자에서는 낮은 드레인 전압이 인가되므로 충격이온화가 크게 발생하지 않을 것이라는 G. G. Shahidi 등의 예상과는 달리 실리콘의 에너지 밴드 갭 보다 낮은 드레인 전압에서 충격이온화가 심각하게 일어남이 보고되고 있다¹³⁾. L. Manchanda 등은 유효채널길이 0.1 μm 이하 소자인 경우 드레인 전압이 1.0V 이하에서도 벨 모양의 기판전류가 관측되었다고 발표하였다¹⁴⁾. 이와 같이 실리콘의 에너지 밴드 갭보다 낮은 드레인 전압에서 충격이온화가 발생하는 메카니즘을 설명하기 위한 연구가 계속되고 있다.

T. Micron 등은 채널길이가 작아질수록 기판전류와 드레인 전류비로 정의한 충격이온화율이 증가하는 것을 측정하여 채널길이가 0.1 μm 소자인 경우 속도포화영역의 최대 전계 뿐만 아니라 채널에서의 전계도 carrier를 가열하는데 기여하는 것으로 모델링 하였다¹⁵⁾. 그리고 N. Arora 등은 속도포화영역 길이를 게이트 전압의 함수로 모델링하여 작은 소자의 기판전류를 이론적으로 계산하였다¹⁶⁾.

최근에 H. Hu 등은 lucky electron 모델이 맞는다는 가정 하에 기판전류와 게이트 전류의 상관 관계를 채널길이에 따라 관측한 결과 채널길이가 축소될수록 NMOSFET에서 Si-SiO₂의 유효전위장벽이 저하되는 현상을 관측하였다¹⁷⁾.

지금까지의 연구 결과들은 대부분 NMOSFET를 사용한 것으로 deep submicrometer carrier 현상과 기존의 노쇠화 모델을 그대로 사용할 수 있는지에 관하여는 연구가 미진하다.

본 연구에서는 채널 길이가 0.15 μm 레벨로 축소되므로 PMOSFET에서도 충격이온화율의 증가로 인한 기판전류는 증가되며, 충격이온화율은 채널길이와 게이트 전압의 함수 관계인 것을 측정하여 속도포화영역 길이를 유효채널길이와 게이트 전압의 함수로 반경험적 모델을 제시하였다. 게이트 전류와 기판전류의 상관 관계로부터, 채널길이가 감소함에 따라 게이트 전류가 적게 흐르는 것으로 관측되었는데 이를 설명하기 위한 물리

적인 메카니즘으로 hot-electron 주입지점이 채널길이 가 작아짐에 따라 계면으로 부터 더 멀어지는 것으로 해석하였다¹²⁾. 그리고 hot carrier 현상을 고려한 0.15 μm 레벨 PMOSFET의 최대 공급전압은 -2.67V 정도 됨을 알 수 있었다.

II. Deep submicrometer 소자의 hot carrier 현상

본 연구에서 사용된 소자는 P' 다결정 실리콘 게이트를 사용한 표면채널형 LDD 구조로 최소 게이트 마스크 길이는 0.18 μm , 게이트 산화층 두께는 55Å, 게이트 폭은 8.06 μm 이다. 유효채널길이 0.15 μm 의 SC-PMOSFET의 전류-전압 특성은 그림 1과 같이 특성이 우수함을 알 수 있다. 각 소자의 유효채널은 Sheu 등이 제시한 저항측정법을 사용하였다¹⁷⁾. 즉 드레인 전압을 0.05V, 게이트 전압을 -3V로 고정시키고 기판전압을 가변시키면서 채널저항을 측정한 결과 소오스/드레인의 측면화산 등으로 인한 $\Delta L=0.03\mu\text{m}$, 소오스/드레인 기생저항 $R_{sd}=410\Omega$ 이었다. R_{sd} 가 큰 것은 소오스/드레인 콘택과 게이트와의 간격이 큰 것으로 인한 것이다. 그림 2는 문턱 전압을 드레인 전류가 각각 $-0.01 \times W/L_{eff}$ [μA], $-0.1 \times W/L_{eff}$ [μA] 흐를 때의 게이트 전압으로 정의하였을 때의 채널길이에 따른 문턱전압 (V_t)의 변화를 나타낸 것이다. 본 연구에서는 문턱전압을 $V_{ds}=-0.05\text{V}$ 에서 드레인 전류가 $-0.01 \times W/L_{eff}$ [μA]가 흐르는 게이트 전압으로 정의하였다. 채널길이가 감소할 수록 문턱전압이 낮아지는 roll-off 현상이 조금 나타남을 알 수 있다.

Deep submicrometer 소자에서는 실리콘의 에너지 밴드 갭보다 작은 드레인 전압에서 충격이온화가 일어나 기판전류가 생성되며 이로 인하여 소자가 노쇠화되는 결과가 발표되고 있다¹⁸⁾. 본 연구에서 0.15 μm 소자의 기판전류와 게이트 전류를 측정한 결과 그림 3과 같이 $V_{ds}=-1.5\text{V}$, $V_{gs}=-0.9\text{V}$ 에서 기판전류가 100pA 흘렀으며 게이트 전류는 $V_{ds}=-3.18\text{V}$, $V_{gs}=-0.9\text{V}$ 에서 0.5pA가 관측되었다. 그림 3으로부터 0.15 μm 소자인 경우 공급전압을 1.5V 이상으로 하면 충격이온화가 발생하여 기판전류가 생성되고 이로 인한 소자 노쇠화가 있을 것으로 예상되어 deep submicrometer 소자의 노쇠화 문제도 고려되어야 함을 알 수 있다.

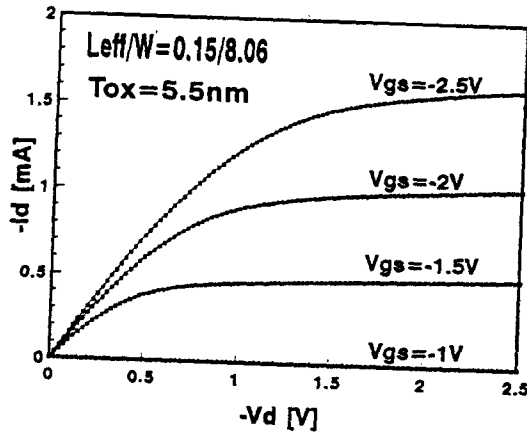


그림 1. $L_{eff}=0.15\mu m$ SC-PMOSFET의 전류-전압 특성

Fig. 1. I-V characteristics of $L_{eff}=0.15\mu m$ SC-PMOSFET.

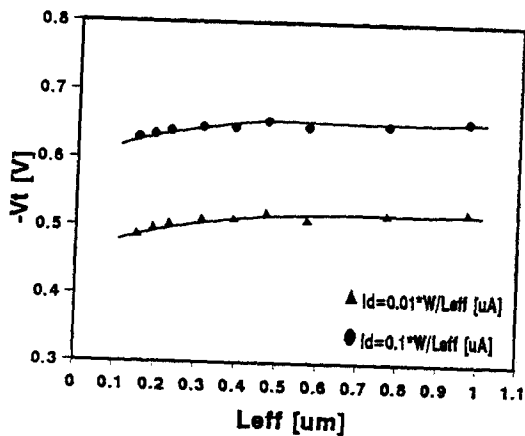
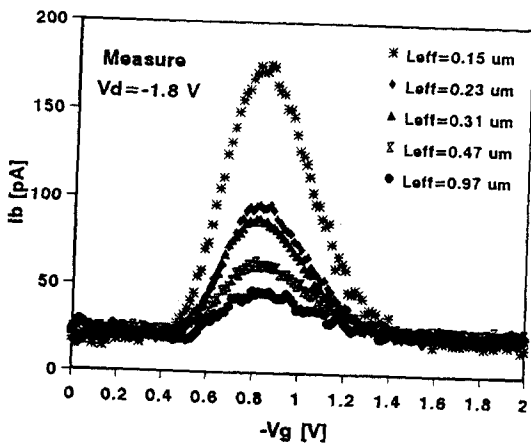
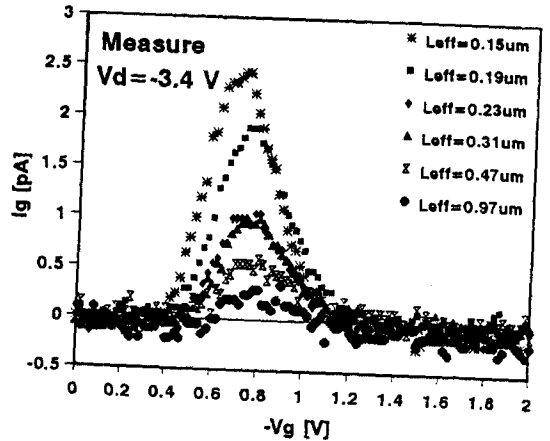


그림 2. 채널길이에 따른 문턱전압 특성

Fig. 2. Threshold voltage characteristics with channel length.



(a)



(b)

그림 3. 게이트 전압에 따른 기판전류(a)와 게이트 전류(b) 특성

Fig. 3. Substrate current(a) and gate current(b) characteristics with gate voltage.

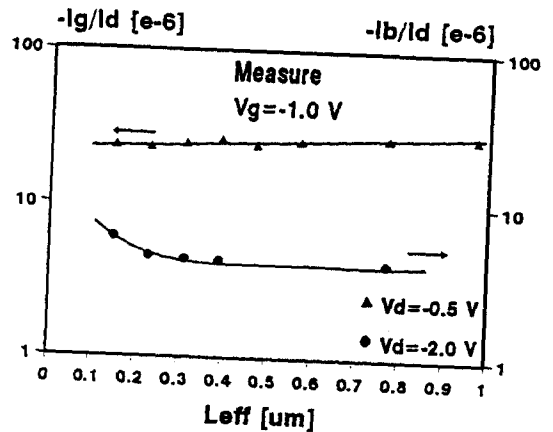


그림 4. 채널길이에 따른 게이트 전류와 기판 전류 특성

Fig. 4. Substrate current and gate current characteristics with channel length.

그림 4는 채널길이에 따른 게이트 전류와 기판 전류 비를 나타낸 것으로 채널길이가 작아 질수록 충격이온화에 의한 기판전류는 증가하나 게이트 전류는 증가하지 않고 거의 일정하거나 오히려 약간 감소하는 현상을 보여준다. 이런 결과로 deep submicrometer PMOSFET에서 충격이온화는 많이 일어나지만 hot carrier에 의한 소자의 노쇠화는 심하지 않을 것임을 나타내는 것이다. 채널길이에 따른 충격이온화율을 분석하기 위하여 그림 5에는 속도포화영역의 전압에 따른 충격이온화율을 나타내었다. 본 연구에서 사용한 소자는 LDD 구조로 소오스/드레인 영역에서의 기생저항

이 크므로 이 기생저항에 의한 전압 강하를 고려해야 될 것이다. 따라서 기생저항을 고려한 소자에 실제 인가되는 V_{ds}' 와 V_{dsat}' 를 다음과 같이 사용하였다.

$$V_{ds}' = V_{ds} - I_{ds} R_{sd} \quad (1)$$

$$V_{dsat}' = V_{dsat} - I_{dsat} R_{sd} \quad (2)$$

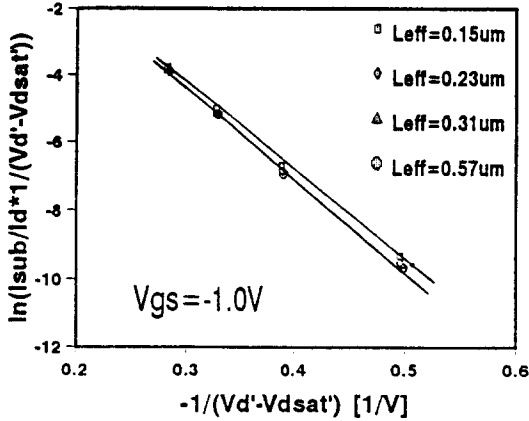


그림 5. 채널길이에 따른 $1/(V_{ds}' - V_{dsat}')$ 와 충격이온화율 관계

Fig. 5. Correlation between impact ionization rate and $1/(V_{ds}' - V_{dsat}')$ with channel length.

그림 5로부터 채널길이가 감소할 수록 기울기가 작은 것을 알 수 있는데 이것을 lucky electron 모델로부터 분석하였다. Lucky electron 모델에 의하면 기판 전류는 다음과 같다¹⁹⁾.

$$I_b = I_d \left(\frac{A_1}{B_1} \right) \left(\frac{E_m}{1} \right) \exp\left(-\frac{B_1}{E_m} \right) \quad (3)$$

여기서 A_1 와 B_1 는 충격이온화 계수이며 $E_m = \frac{V_{ds} - V_{dsat}}{l}$ 로 나타낼 수 있다. 그림 5의 기울기가 $-1/B_1$ 이므로 B_1 가 채널길이에 따라서 일정하다고 가정하면 l 이 채널길이의 함수가 된다. 그림 5로부터 l 은 다음과 같이 채널길이에 따라 변하는 것으로 fitting 하였다.

$$l = 5.87 \times 10^{-3} t_{ox}^{1/8} X_1^{1/3} L_{eff}^{1/15} \quad (4)$$

NMOSFET에 비하면 채널길이에 따라 l 의 변화가 크지 않는 것으로 나타났다¹¹⁾. 그림 6은 게이트 전압에 따른 충격이온화율을 나타낸 것이다. H. Kurata 등은 게이트 전압에 따른 일정한 충격이온화율을 정의하기 위하여 E_m 계산시 포화전계 ($E_{sat} \approx 4 \times 10^4$ V/cm) 항을 고려하였으나 실제로 E_m 에 비하여 E_{sat} 는 크지 않으므

로 본 연구에서는 N. Arora 등과 같이 l 을 실험적으로 게이트 전압의 함수로 정의하였다¹¹⁰⁾.

$$l = l_0 + l_1 (V_{ds} - V_{gr}) + l_2 (V_{ds} - V_{gr})^2 \quad (5)$$

여기서 $l_0 = 3.3796 \times 10^{-6}$, $l_1 = 1.67 \times 10^{-7}$, $l_2 = 1.2 \times 10^{-7}$ 이다.

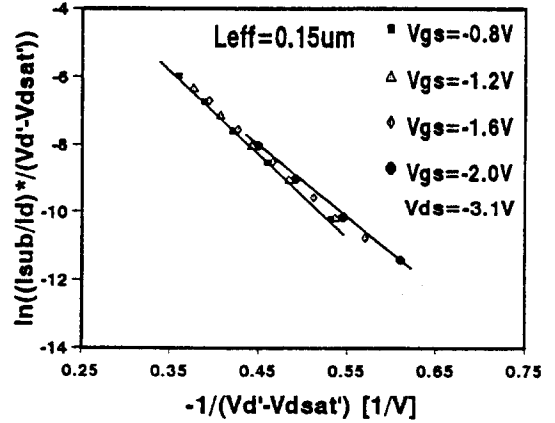


그림 6. 게이트 전압에 따른 $1/(V_{ds}' - V_{dsat}')$ 와 충격이온화율 관계

Fig. 6. Correlation between impact ionization rate and $1/(V_{ds}' - V_{dsat}')$ with gate voltage.

III. 게이트 전류와 기판전류의 상관 관계

PMOSFET에서 충격이온화로 생성된 전자들 중 상당한 양이 기판으로 흘러 기판전류를 형성하고 드레인 근처의 최대 수평전계에 의하여 많은 에너지를 얻은 일부 전자가 게이트로 주입되어 게이트 산화층에 일부 포획되고 나머지는 게이트로 흘러 게이트 전류를 형성하게 된다. 이런 hot carrier에 의한 게이트 전류는 lucky electron 모델로부터 다음 식과 같이 쓸 수 있다¹¹¹⁾.

$$I_g \approx 0.5 \frac{I_b t_{ox}}{\lambda_r} \left(\frac{\lambda E_m}{\phi_b} \right)^2 P(E_{ox}) \exp\left(-\frac{\phi_b}{E_m \lambda} \right) \quad (6)$$

여기서, $P(E_{ox})$ 는 계면 아래의 영역에서 충격이온화에 의해 발생된 hot-electron들이 더 이상의 충돌과 산란 없이 게이트까지 움직일 확률이다. 채널에서 hot-electron이 주입되는 지점의 게이트 산화막내의 수직전계 (E_{ox})는 V_{gd} 가 일정한 경우 게이트 길이의 함수이다¹¹¹⁾. 그림 7은 게이트 전류와 기판전류의 상관 관계를 나타낸 것으로 lucky electron 모델을 deep

submicrometer PMOSFET에 적용한 것이다. 그림 7로 부터, 모든 디바이스의 유효전위장벽 (Φ_b) 은 같다고 가정하면, 게이트 길이가 작아짐에 따라 y축 절편의 증가는 P(Eox)의 감소로 설명할 수 있으며 이것은 채널이 짧은 디바이스 경우 I_g 가 감소함을 의미한다. P(Eox)의 감소를 설명하기 위한 물리적 메카니즘은 hot-electron 주입 지점이 채널길이가 작아짐에 따라 계면으로 부터 더 멀어진다고 할 수 있다^[12].

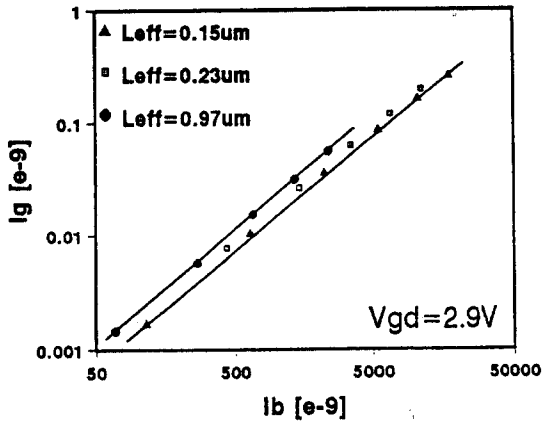


그림 7. 게이트 전류와 기판전류의 상관 관계
Fig. 7. Correlation between gate current and substrate current.

충격이온화로 생성된 전자들 중 상당한 양이 기판으로 흘러 기판전류를 형성하는데 이때 흐르는 기판 전자 전류가 충격이온화를 일으켜 이때 발생된 일부 전자는 기판으로 흐르고 일부 전자는 게이트로 흘러 게이트 전류를 형성하는데 이것을 Substrate Current Induced Hot Electron (SCIHE) 현상이라 한다^[13,14]. SCIHE 주입은 채널이 작아짐에 따라 계면으로 부터 더 멀리 발생하기 때문에 게이트 전류에 더 지배적으로 작용할 수 있다고 생각되어 진다. SCIHE 주입은 그림 8와 그림 9로 부터 확인할 수 있다. 즉 SCIHE 주입이 발생하지 않고 Drain Avalanche Hot Carrier (DAHC) 주입만 발생할 것 같으면 기판 전압에 따라 기판 전류는 증가하지만 게이트 전류는 감소하여야 한다. 그러나 게이트 전류 역시 증가하므로 SCIHE 주입이 발생하는 것으로 해석할 수 있다. 그림 8에서 기판 전압의 증가에 따른 I_g/I_d , I_b/I_d 의 증가는 DAHC와 SCIHE 주입의 결과이다. 기판전압이 증가할수록, 그림 9에서 보여주는 것처럼 게이트 길이가 작아짐에 따라 hot-electron 주입이 DAHC 메카니즘으로 부터

SCIHE 메카니즘으로 이동한다. 즉 I_g/I_d 가 게이트 전압에 따라 장채널인 경우에 더 큰 기울기를 가지는 반면에 기판전압에 따라서는 단채널인 경우가 더 큰 기울기를 갖는다. 끝으로 채널길이가 감소할수록 I_g/I_d 가 감소하는현상은 SCIHE 주입이 deep submicrometer PMOS에서 게이트 전류 감소의 원인이라 할 수 있다.

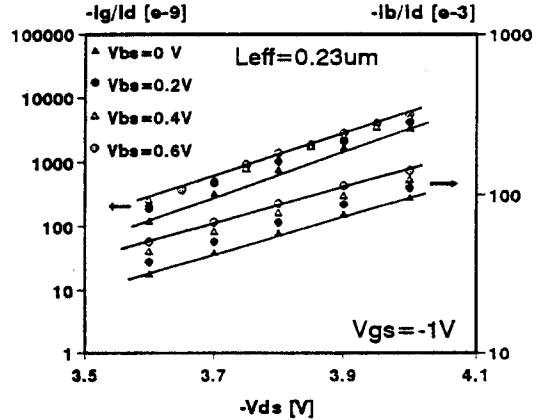


그림 8. 기판 전압에 따른 I_g/I_d 와 I_b/I_d
Fig. 8. I_g/I_d & I_b/I_d vs. V_{ds} with substrate bias voltage.

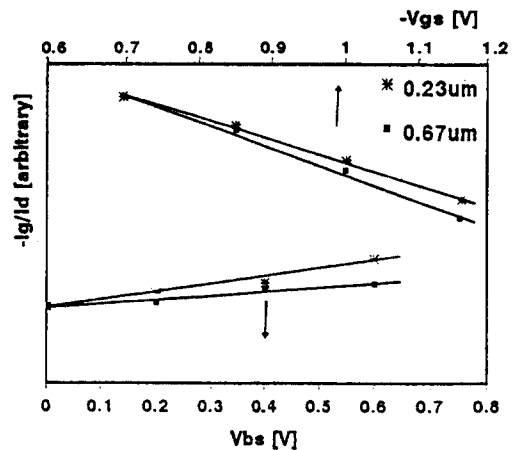


그림 9. 게이트 길이에 따른 I_g/I_d 대 기판전압과 게이트 전압
Fig. 9. I_g/I_d vs. V_{bs} & V_{gs} with gate length.

IV. 0.15 μ m 소자의 노쇠화

Hot carrier로 인한 PMOSFET의 주된 노쇠화 메카니즘은 게이트 산화층으로 주입된 전자가 게이트 산화층에 포획되어 문턱전압과 드레인 전류를 변화시키

는 것이다. 0.15 μm 소자의 노쇠화를 분석하기 위하여 게이트 전류가 최대인 게이트 전압 -0.7V와 여러가지 드레인 전압을 스트레스로 가하여 드레인 전류변화를 그림 9와 같이 측정하였다. 드레인 전류 변화(dId/Id)는 스트레스 시간을 대수함수 관계가 있으며 드레인 전압이 클수록 노쇠화가 많이 되었다. 그림 10은 0.15 μm PMOSFET의 소자 수명시간(τ)을 예측하기 위한 것으로 초기의 게이트 전류에 따라 소자 수명시간을 예측하였다. 소자의 수명시간은 드레인 전류 변화가 10% 일때를 정의하였다. 그림 10으로부터 수명시간은 게이트 전류와 $\tau = (I_g/W)^{-1.75}$ 관계가 있음을 알 수 있고 이는 채널길이가 큰 PMOSFET의 결과와도 거의 일치한다.

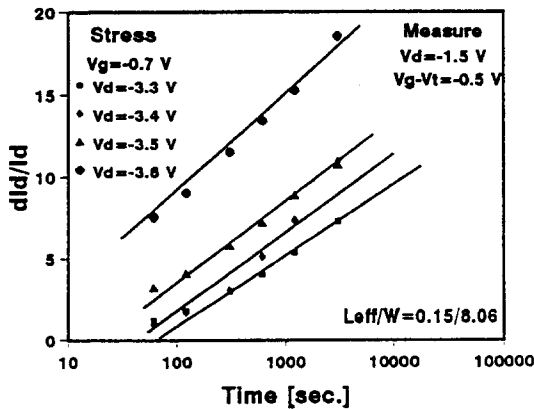


그림 10. 스트레스 시간과 dI_d/I_d 사이의 관계
Fig. 10. Correlation between dI_d/I_d and stress time.

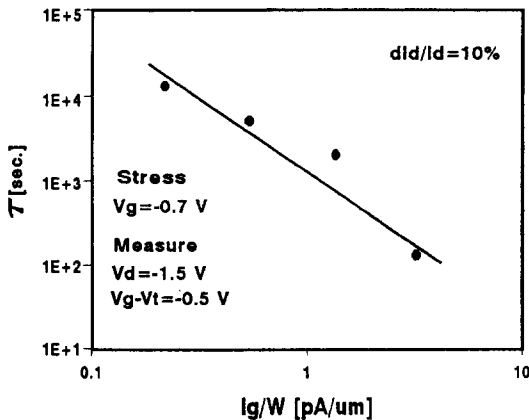


그림 11. $dI_d/I_d=10\%$ 로 하였을 때 수명시간 결정
Fig. 11. Life time defined as $dI_d/I_d=10\%$.

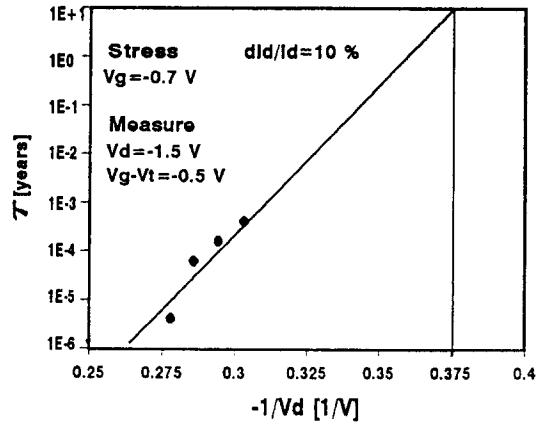


그림 12. 수명시간이 10년 일때의 공급전압 결정
Fig. 12. Supply voltage defined as $\tau=10$ [years].

Hot carrier로 인한 0.15 μm 소자의 노쇠화를 고려한 최대 공급전압을 결정하기 위하여 그림 9의 여러가지 드레인 전압에 따른 전류변화로부터 그림 11과 같이 수명시간은 드레인 전압의 역수관계로 나타내었다. 소자의 수명시간을 약 10년으로 하였을때 유효채널길이 0.15 μm 표면 채널형 LDD PMOSFET의 최대 공급전압은 약 -2.67V 정도임을 알 수 있다.

V. 결론

유효 채널길이 0.15 μm PMOSFET의 hot carrier 현상으로부터 채널길이가 감소할 수록 충격이온화율이 큰 것을 알 수 있었으며 이 현상을 속도포화영역 길이가 채널길이와 게이트 전압의 함수 관계로 반경험적 모델을 만들었다. 또한 채널길이가 작아짐에 따라 충격이온화율의 증가와 게이트 전류의 감소를 설명하기 위한 물리적인 메카니즘으로 SCIHE 모델을 제시하였다. 그리고 hot carrier에 의한 소자 노쇠화를 고려한 0.15 μm 소자의 최대 공급전압은 약 -2.67V임을 알 수 있었다.

※ 본 연구는 한국과학재단 학술 연구비 지원에 의한 결과임. (과제번호 : 951-0911-035-2)

참고 문헌

[1] Min Chie Jeng, "Design and Modeling of Deep Submicrometer MOSFETs", Ph. D. Thesis, UC Berkely, 1989.

[2] Janes Edward Chung, "Performance and Reliability Design Issues for Deep Sub-micrometer MOSFETs", Ph. D. Thesis, UC Berkely, 1989.

[3] G. G. Shahidi, D. A. Antoniadis, H. I. Smith, "Electron Velocity Overshoot at Room and Liquid Nitrogen Temperature in Silicon Inversion Layers", IEEE Electron Device Letters, vol. 9, no. 2, pp. 695, 1988.

[4] L. Manchanda, R. H. Storz, R. H. Tan, K. F. Lee, and E. H. Westerwick, "Clear Observation of Sub-Band Gap Impact Ionization at Room Temperature and Below in 0.1 μ m Si MOSFET", IEDM Technical Digest, pp. 994-996, 1992.

[5] T. Mizuno, et al, "Hot Carrier Effects in 0.1 μ m Gate Length CMOS Devices", IEDM Technical Digest, pp. 605-608, 1992.

[6] N. D. Arora and M. S. Sharma, "MOSFET Substrate Current Model for Circuit Simulation", IEEE Trans. Electron Devices, vol.38, pp. 1392-1398, 1991.

[7] H. Hu, J. B. Jacobs, J. E. Chung, "The Correlation between Gate Current and Substrate Current in 0.1 μ m NMOSFETs" IEEE Electron Device Letters, vol. 15, no. 10, October, 1994.

[8] B. J. Sheu, C. Hu, P. K. Ko, F. C. Hsu, "Source and Drain Series Resistance of LDD MOSFET's" in IEEE Electron Device Letters, vol. EDL-5, no. 9, pp. 365-367, 1984.

[9] S. Tam, P. K. Ko, and C. Hu, "Lucky Electron Model of Channel Hot Electron Injection in MOSFET's" IEEE Trans. Electron Devices, vol. ED-3 1, pp. 1116-1125, Sept. 1984.

[10] H. Kurata, Y. Nara, and T. Sugii, "Universality of Impact Ionization Rate in 0.1 μ m Si MOSFET", Ext. Abstract of SSDM, pp. 883-885, 1994.

[11] T. C. Ong, P. K. Ko, and C. Hu, " Hot Carrier Current Modeling and Device Degradation in Surface-Channel P-MOSFET", IEEE Trans. Electron Devices, vol.-37 pp. 1658-1666, 1990.

[12] F. Balestra, T. Matsumoto, T. Shimatani, et al, "Hot Carrier Effects in Sub-0.1 μ m MOSFETs", Ext. Abst. of SSDM, P. 886, 1994.

[13] C. Y. Hu, D. L. Kencke and S. K. Benerjee, "Substrate Current Induced Hot Electron (SCIHE) injection: a new convergence scheme for flash memory" IEDM Tech. Dig., P.283, 1995.

[14] J. D. Bude, "Gate Current by Impact Ionization Feedback in Sub-Micron MOSFET Technologies", Sym. on VLSI Tech. Dig. , P. 101,1995.

저 자 소 개



張 星 俊(準會員)
1967년 10월 15일생. 1995년 2월
인천대학교 전자공학과(공학사).
1996년 현재 동 대학원 전자공학과 석사과정 재학중. 주관심분야
는 Deep submicrometer I-V
특성 모델링 및 Reliability 등임

金 容 鐸(準會員) 第 32卷 A編 第 6號 參照
현재 현대전자 반도체 연구소
연구원

劉 宗 根(正會員) 第 32卷 A編 第 1號 參照
현재 인천대학교 전자공학과 교수

朴 鍾 泰(正會員) 第 27卷 第 11號 參照
현재 인천대학교 전자공학과 교수

朴 炳 國(正會員) 第 31卷 A編 第 11號 參照
현재 서울대학교 전자공학과 교수

李 鍾 德(正會員) 第 29卷 第 7號 參照
현재 서울대학교 전자공학과 교수