論文96-33A-4-17

CMOS 아날로그 셀 라이브레리 설계에 관한 연구
- CMOS 온-칩 전류 레퍼런스 회로

(A Study on a CMOS Analog Cell-Library Design)
(- A CMOS On-Chip Current Reference Circuit)

金 旻 奎 *, 李 承 勳 **, 林 信 一 **

(Min-Gyu Kim, Seung-Hoon Lee, and Shin-Il Lim)

요 약

본 논문에서는 데이터 변환기 또는 메모리의 레퍼런스 (reference) 전류로 사용하거나 연산 증폭기 또는 비교기의 바이어스 전류로 사용할 수 있도록 설계된 CMOS 공정을 사용하는 새로운 온-칩 (on-chip) 전류 레퍼런스 회로를 제안하였다. 제안된 회로는 온도의 증가에 따라 감소하는 전류 성분 및 증가하는 전류 성분을 최적화 함으로써, 온도의 변화에 독립적인 전류를 생성하며, 동시에 공급 전원의 변화에도 거의 영향을 받지 않는다. 또한, 이 회로는 종전의 전압 및 전류 레퍼런스 회로가 BiCMOS 또는 바이폴라 공정을 필요로 했던 것과는 달리, CMOS 공정만을 이용해서 구현되는 시스템 회로에 추가로 필요한 마스크 (mask) 없이 하나의 칩 (chip) 상에 함께 구현할 수 있다. 설계된 회로는 삼성 1.0 um p-well double-poly double-metal CMOS 공정을 사용하여 제작되었으며, 300 um × 135 um 의 면적을 차지한다. 측정 결과, 온도가 30℃ 에서 80℃ 까지 변화할 때 380 ppm/℃의 변화를 보여 주며, 공급 전원이 5 V에서 4.5 V 및 5.5 V 까지 변화하여도 ± 1.4 %의 전류 변화를 보여 준다.

Abstract

In this paper, a new CMOS on-chip current reference circuit for memory, operatioanal amplifiers, comparators, and data converters is proposed. The reference current is almost independent of temperature and power-supply variations. In the proposed circuit, the current component with a positive temperature coefficient cancels that with a negative temperature coefficient each other. While conventional current and voltage reference circuits require BiCMOS or bipolar process, the presented circuit can be integrated on a single chip with other digital and analog circuits using a standard CMOS process and an extra mask is not needed. The prototype is fabricated employing the Samsung 1.0 um p-well double-poly double-metal CMOS process and the chip area is 300 um × 135 um. The proposed reference current circuit shows the temperature coefficient of 380 ppm/ ℃ with the temperature changes from 30℃ to 80℃, and the output variation of ± 1.4 % with the supply voltage changes from 4.5 V to 5.5 V.

* 正會員, LG 半導體 技術硏究所 MD 3 室
(SD Center, LG Semicon.)

** 正會員, 西江大學校 電子工學科
(Dept. of Electronic Engineering, Sogang Univ.)

※ 이 논문은 1994년도 한국학술진흥재단의 공모과제 연구비에 의하여 연구되었음.

接受日字: 1995年3月20日, 수정완료일: 1996年3月20日

I. 서 론

레퍼런스 회로는 외부 전원, 온도, 압력을 비롯한 여러 가지 변수들이 크게 변하더라도 그에 대해 독립적으로 정확한 전류 또는 전압을 생성시키는 회로이다. 이러한 레퍼런스 회로는 데이터 변환기, 메모리, 모듈레이터, 고감도 센서 등에 사용되는 중요한 블럭 중의

하나이다. 특히, 최근 수요가 급격히 증가하고 있는 배터리 (battery)에 동작하는 휴대용 컴퓨터나 휴대용 전화기와 같은 경우, 주어진 공급 전원에 대해 최대한 오랜 시간동안 동작해야하며 공급 전원의 전압 값이 변하더라도 여전히 올바른 동작을 하는 것이 바람직하다. 따라서, 공급 전원에 관계없이 저전력의 일정한 내부 전압 또는 전류를 유지시켜 주어서 얼마만큼 오랜 시간 동안 올바른 동작을 보장할 수 있는가 하는 것이 그 성능을 좌우하게 된다.

또한 A/D 변환기 또는 D/A 변환기와 같은 혼성 회로들의 분해능 (resolution)이 점점 높아짐에 따라 공급 전원의 변화와 온도 등의 변화에 대해서 정확하고 독립적인 레퍼런스 전류 또는 전압이 요구되며, 증폭기 회로와 비교기 회로 부분에서의 바이어스 전압 또는 전류 역시 공급 전원과 온도의 영향으로부터 얼마나 독립적인 값으로 구현되느냐에 따라 전체 시스템의 성능에 영향을 준다. 따라서 고성능을 요구하는 거의 모든 회로에서 온도와 공급 전원의 변화에 독립적인 전류원 또는 전압원을 필요로 한다.

70년대부터 이러한 레퍼런스 회로의 구현을 위해 공급 전원에 독립적인 전압으로 제너 다이오드의 항복 전압을 이용하거나[1-2], 바이폴라 트랜지스터의 bandgap 전압을 사용한 기법을 주로 이용하여 높은 영역의 공급 전압에 동작하는 레퍼런스 회로들을 독립된 하나의 칩으로 만들어 사용해 왔다[3-5]. 그러나, 이러한 회로는 제너 다이오드의 항복 전압이 너무 높고 CMOS 공정에서는 적합하지 못하므로 CMOS 공정을 사용하는 시스템 회로에 부분 회로(sub-block)로서 사용되기에는 어려운 점이 있다.

따라서, CMOS 시스템 회로에 온-칩으로 필요한 회로를 구현하게 되면, 레퍼런스 회로를 위한 칩이 따로 필요하지 않으므로 제조 원가를 떨어뜨리고 오프-칩(off-chip)의 경우에 많이 발생하는 입출력단의 간섭 문제가 해결되는 등 여러 가지 이점을 가지고 있다. 따라서, 레퍼런스 회로 구현 기법도 최근 많은 시스템 회로 구현에 사용되는 CMOS 공정에 맞추어 설계되고 있다[6-7]. 최근까지 제안된 CMOS 공정에 유효한 레퍼런스 회로 구현 방법에는 CMOS 공정에서 구현 가능한 가로형 바이폴라 트랜지스터(lateral bipolar transistor)로 bandgap 전압을 생성함으로써, 종전의 바이폴라 공정 상에서 응용된 방법을 그대로 이용하는 방법과 enhancement 형의 MOS 트랜지스터와 depletion 형의 MOS 트랜지스터의 문턱 전압 (threshold voltage)의 차이를 이용해서 구현하는 방법이 있다[6-10]. 이러한 방법들은 CMOS 공정상의 전체회로 중 레퍼런스 회로 부분 때문에 마스크 (mask)가 추가되어야 하거나 공정이 복잡해지는 단점이 있다[7].

본 논문에서 제안하는 회로는 enhancement 형의 MOS 트랜지스터만을 사용하므로 CMOS 시스템 회로에 별도로 추가되는 공정없이 온-칩으로 구현 가능하며, 공급 전원과 온도에 동시에 독립적인 전류를 생성하는 전류 레퍼런스 회로이며, 이 회로는 데이터 변환기 등에 사용되는 비교기 및 연산 증폭기의 바이어스 전류로 응용되거나 메모리 등에 전류 레퍼런스로 칩 상에 함께 응용될 수 있도록 설계되어 졌다.

Ⅱ. 제안된 전류 레퍼런스 회로의 동작 원리

레퍼런스 회로의 성능에는 공급 전원의 변화와 온도의 변화에 따르는 출력 값의 변화를 얼마나 최소화 하는가에 달려 있다. 제안한 전류 레퍼런스 회로는 동작 원리를 이 두 가지 변수의 변화에 대해서 출력 전류가 가능한 한 독립적인 값을 유지할 수 있도록 설계되었다.

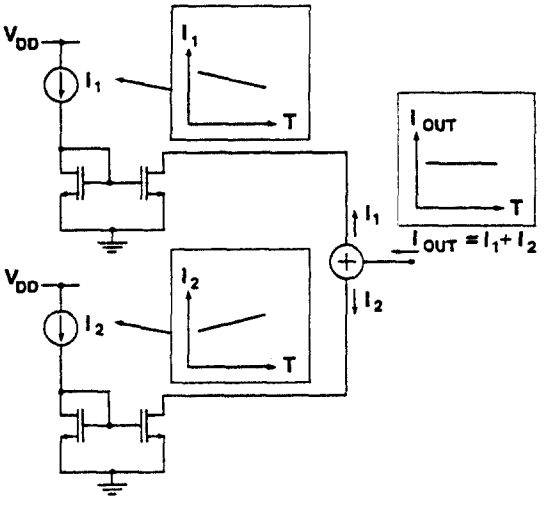

그림 1. 제안된 전류 레퍼런스 회로의 개념도
Fig. 1. Principle of the proposed current reference circuit.

그림 1은 제안된 회로의 동작을 나타내는 기본적인

개념도이다. 온도의 증가에 따라 감소하는 성질을 갖는 전류 I_1과 감소하는 성질을 갖는 전류 I_2를 각각 공급 전원에 독립적으로 구현하면 그 두 전류의 합은 결국 공급 전원과 온도에 대해서 독립적인 전류가 생성되게 된다.

1. 음의 온도계수를 가진 회로

그림 2는 공급 전원에 독립적이면서 온도의 증가에 따라 감소하는 전류를 생성하는 회로이다. MN1-MN4는 MOS 다이오드를 직렬 적으로 쌓아놓은 것이며 MP1은 채널 (channel)의 길이를 아주 길게 해서 전류 I_1을 아주 작게 하고 4개의 MOS 다이오드 전압만큼을 뺀 나머지 대부분의 전압이 MP1의 드레인 (drain)과 소오스 (source) 양단에 걸리도록 한다. 따라서 T1, T2 노드의 전압은 다음의 식 (1), (2)와 같이 공급 전원과는 거의 무관하고 NMOS 트랜지스터의 문턱 전압에 관련된 값이 된다.

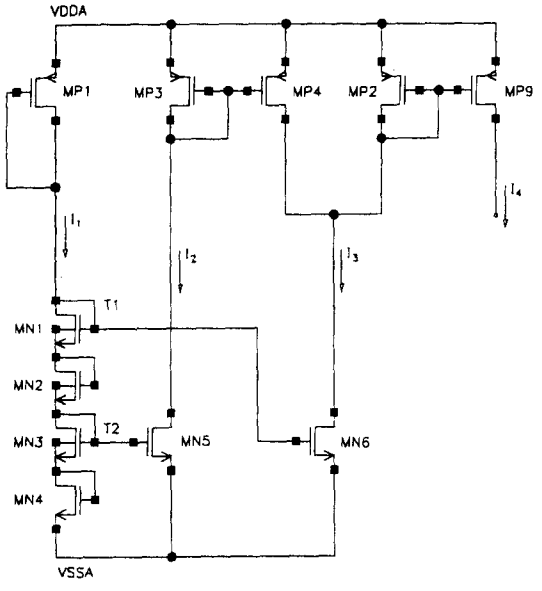

그림 2. 온도 증가에 반비례하는 전류 생성 회로
Fig. 2. Circuit with a negative temperature coefficient.

$$V_{T1} = 4V_{thn} + 4\sqrt{\frac{2I_1}{\beta_n}} = \left(\frac{4}{1+\alpha}\right)V_{thn} + \left(\frac{\alpha}{1+\alpha}\right)(V_{DD} - V_{SS} - |V_{thp}|) \cong 4V_{thn} \quad (1)$$

여기서 $\alpha = 4\sqrt{\frac{\mu_p L_{MN1} W_{MP1}}{\mu_n L_{MP1} W_{MN1}}} \cong 0.1$.

$$V_{T2} = \frac{1}{2}V_{T1} \cong 2V_{thn} \quad (2)$$

(V_{T1} : T1 노드의 전압
V_{T2} : T2 노드의 전압
V_{thn} : body 효과 없을 때의 n-채널 문턱 전압
V_{thp} : body 효과 없을 때의 p-채널 문턱 전압
β_n : $\frac{W_N}{L_N}\mu_n C_{OX}$) .

이 두 전압은 각각 MN5와 MN6를 구동하게 된다. 이렇게 해서 생성되는 두 전류 I_2, I_3는 MP2-MP4, MP9로 구성된 전류 빨셈기를 통해 식 (3)과 같은 값으로 I_4을 출력하게 된다.

$$I_4 = I_3 - I_2 = \frac{1}{2}\mu_n C_{OX}\frac{1}{L_{MN5}}(W_{MN6}(V_{T1}-V_{thn})^2 - W_{MN5}(V_{T2}-V_{thn})^2) \cong \frac{1}{2}\mu_n C_{OX}\frac{1}{L_{MN5}}(W_{MN6}(3V_{thn})^2 - W_{MN5}(V_{thn})^2) = \frac{1}{2}\mu_n C_{OX}\frac{V_{thn}^2}{L_{MN5}}(9W_{MN6} - W_{MN5}) \quad (3)$$

이렇게 생성된 전류 I_4는 식 (3)에서 보는 바와 같이 NMOS의 문턱 전압과 전자 이동도의 함수이며 공급 전원에는 독립적이다. 전자의 이동도는 $T^{-1.5}$에 비례하고 NMOS의 문턱 전압도 약 -1mV/℃의 온도계수를 가진다. 따라서 전류 I_4는 식 (4)와 같이 온도에 반비례하는 성질을 띠게 된다.

$$\frac{\partial I_4}{\partial T} = I_4\left(\frac{1}{\mu_n}\frac{\partial \mu_n}{\partial T} + \frac{2}{V_{thn}}\frac{\partial V_{thn}}{\partial T}\right) < 0. \quad (4)$$

2. 양의 온도계수를 가진 회로

그와 반면, 그림 3은 공급 전원에 독립적이면서 온도의 증가에 따라 증가하는 전류를 생성하는 회로이다. 이 회로에서 생성되는 전류는 식 (5)와 같이 인가 전원의 전압과는 독립적인 값의 전류가 형성되게 된다 [11].

$$I = \frac{2L_9}{R^2\mu_n C_{ox} W_9}\left(1 - \frac{1}{\sqrt{A}}\right)^2 \quad (5)$$

여기서, $\left(A = \frac{W_8}{L_8} \Big/ \frac{W_9}{L_9} \right)$.

이 전류는 식 (5)에서 분모에 있는 전자의 이동도가 온도가 증가함에 따라 감소하므로 식 (6)과 같이 온도의 증가에 비례하는 성질을 띠게 된다.

$$\frac{\partial I}{\partial T} = \frac{\partial I}{\partial \mu_n}\frac{\partial \mu_n}{\partial T} + \frac{\partial I}{\partial R}\frac{\partial R}{\partial T} > 0$$

$$\left(\because \frac{1}{\mu_n}\frac{\partial \mu_n}{\partial T} \gg \frac{-2}{R}\frac{\partial R}{\partial T} \right). \qquad (6)$$

이렇게 생성된 두 전류는 식 (4) 및 식 (6)에서 보듯이 온도 변화에 대해서 서로 반대되는 성질을 가지므로 그 변화량을 최적화시키면, 두 전류의 합은 온도에 대해서 독립적인 값을 낼 수가 있으면서, 동시에 공급 전원에도 영향을 받지 않게 된다.

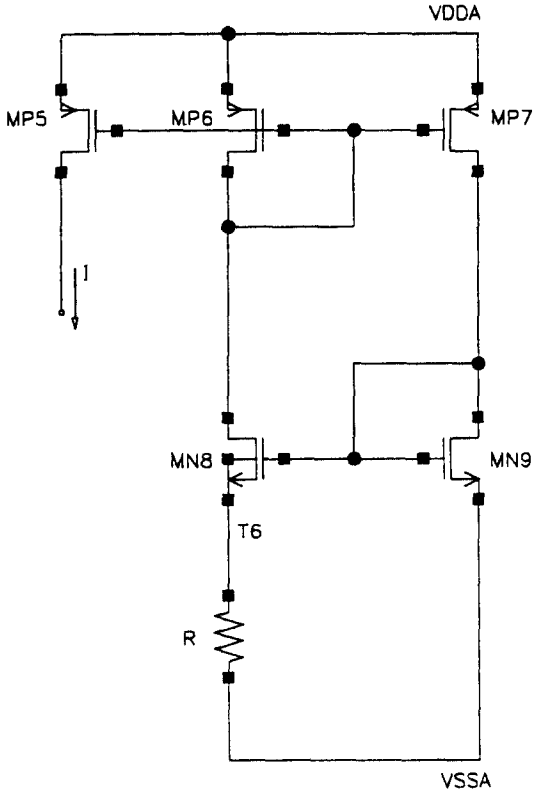

그림 3. 온도 증가에 비례하는 전류 생성 회로
Fig. 3. Circuit with a positive temperature coefficient.

III. 최적화된 전류 레퍼런스 회로

양의 온도 계수 및 음의 온도 계수를 가진 회로를 최적화한 제안된 전류 레퍼런스의 전체 회로도가 그림 4에 나타나 있다. 그림 4의 A 부분은 II 장에서 설명된 바와 같이, 온도 증가에 반비례하는 전류를 생성하는 회로이고, B 부분은 온도증가에 비례하는 전류를 생성한다. 이 두 전류는 T9 노드를 통하여 합해지며 MN7, MN11, MN12, MN13의 전류 반복기 (current mirror)를 통해 출력 단으로 전달된다.

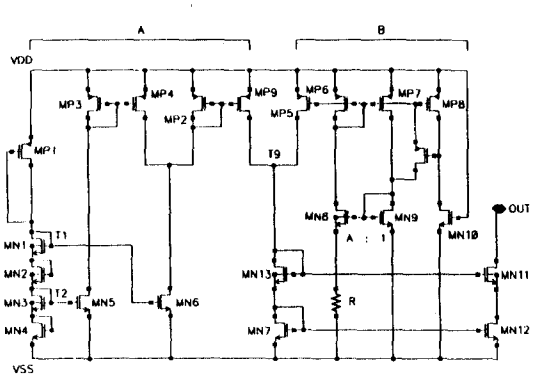

그림 4. 제안한 CMOS 온-칩 전류 레퍼런스 회로
Fig. 4. Proposed CMOS on-chip current reference circuit.

한편, 기존의 전류 레퍼런스 회로에서는 채널 길이 변화 현상 (channel length modulation) 문제와 MOS 다이오드가 바이폴라 공정에서의 p-n 다이오드에 비해 공급 전원에 대해서 완전히 독립적이지는 못하는 이유 때문에 공급 전원이 증가함에 따라 전류도 조금씩 변화하는 경향을 보이는 문제가 있다. 그러나, 본 논문에서 제안하는 회로에서는 T1 노드와 T2 노드가 함께 변하여 MN5, MN6에 같은 정도로 영향을 미치기 때문에, 그 차이 (differential) 값은 크지 않으며 결과적으로 공급 전원 변화로 인한 영향을 최소화할 수 있다. 그림 4의 MP8, MP10, MN10은 회로에 전원이 처음 인가 될 때 올바른 동작을 보장하기 위한 시동 (start-up) 회로이다.

IV. 실험 결과

제안한 온-칩 전류 레퍼런스 회로는 삼성 1.0 um p-well double-poly double-metal CMOS 공정을 사용하여서 제작되었다. 그림 5는 제작된 전류 레퍼런스 회로의 칩 사진이다. 제작된 회로를 5 V의 공급 전원에 동작시킬 때 5.9 mW의 전력을 소모하며 레퍼런스 전류의 출력단은 30 Mega ohm의 출력 저항 (output impedance)을 가진다. 회로의 면적은 300 um × 135 um 이다. 이 회로는 110 uA의 레퍼런스 전류를 출력하도록 설계되었으며, 측정된 총 7 개의 샘플에 대해 실제 출력 전류는 약 0.9 %의 오차를 보였으며, 4.4 uA의 표준 편차를 가진다.

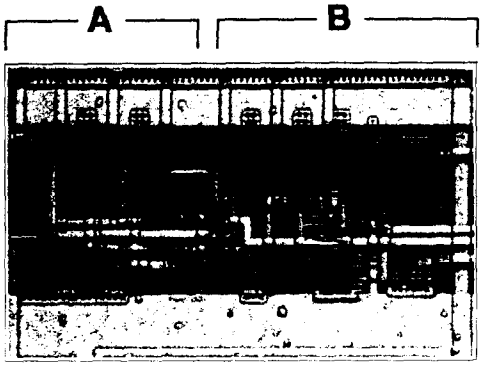

그림 5. 제작된 CMOS 온-칩 전류 레퍼런스 회로의 사진 (300 × 135 um2)
Fig. 5. Photograph of the proposed current reference circuit (300 × 135 um2).

그림 6은 공급 전원이 5 V를 중심으로 4.5 V로 부터 5.5 V (± 10 %) 까지 변할 때 출력 전류의 변화를 보이고 있다. 공급 전원의 ± 10 % 변화에 대해서 출력되는 레퍼런스 전류는 ± 1.5 uA (± 1.4 %)의 변화를 보이고 있다. 시뮬레이션 결과에 비해 측정값이 공급 전원의 증가에 따라 증가하는 경향을 보이고 있는데, 이는 그림 4의 B 부분의 소스 저항 (source resistance) RE의 저항 값을 따로 측정한 결과 설계된 값보다 적게 나타났으며, 이로 인하여 전류 값이 커지고 공급 전원에 대한 의존도가 약간 올라간 것으로 나타나게 되었다. RE의 절대 값의 변화에 대해서도 출력 전류의 변화량은 그림 6에서 보듯 그렇게 크지 않다.

그림 7은 온도가 30℃에서 80℃까지 변할 때 출력 전류의 변화를 보여주며, 380 ppm/℃의 온도 계수를 보여주며, 시뮬레이션 결과와 큰 차이를 보이지 않았다.

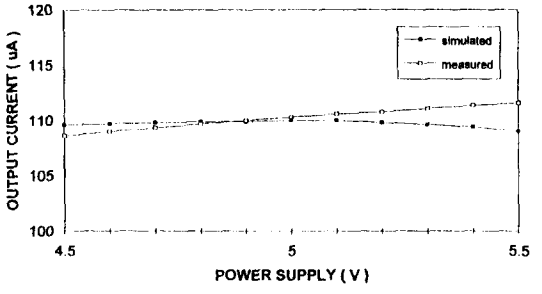

그림 6. 공급 전원 - 출력 전류와의 관계
Fig. 6. Power supply and output current.

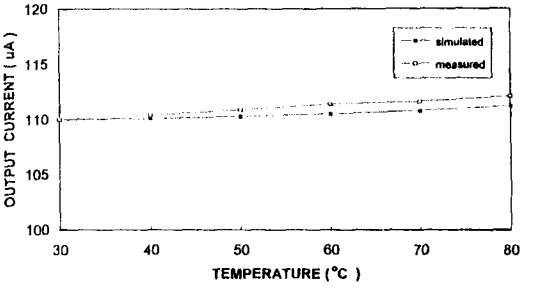

그림 7. 온도 - 출력 전류와의 관계
Fig. 7. Temperature and output current.

V. 결 론

본 연구에서는 CMOS 공정을 사용하여, 온도 및 공급 전원에 독립적인 전류 레퍼런스 회로를 제안하였다. 제안된 회로는 온도에 비례하는 전류 성분 및 반비례하는 전류 성분을 적절히 보상하여 설계함으로써, 온도 및 전압의 변화에 따른 전류 변화를 최소화 하였다.

설계된 회로는 공급 전원이 4.5 V에서 5.5 V까지 변화하며 온도가 30 °C에서 80 °C까지 변화할 때, 380 ppm/ °C의 온도계수를 가지면서 110 uA ± 1.4 % 의 전류를 제공한다. 또한, 제안된 회로는 일반 CMOS 공정을 변화 없이 다른 디지탈 및 아날로그 회로와 동시에 집적이 가능하며, 5.9 mW의 전력 소모로 데이터 변환기, 메모리, 배터리 전압 판단기 등의 시스템 회로에 온-칩으로 응용될 수 있다.

참 고 문 헌

[1] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits,* JOHN WILEY & SONS, New York , 1993, Chapter 4.

[2] D. P. Laude and J. D. Beason," 5V Temperature Regulated Voltage Reference," *IEEE J. Solid-State Circuits,* vol. sc-15, pp.1070-1076, Dec. 1980.

[3] J. S. Brugler," Silicon Transistor Biasing for Linear Collector Current Temperature Dependence," *IEEE J. Solid State Circuits,* vol. sc-2, pp.56-57, Jun. 1967.

[4] Y. P. Tsividis," Accurate Analysis of

Temperature Effects in IC-VBE Characteristics with Application to Bandgap Reference Sources," *IEEE J. Solid-State Circuits*, vol. sc-15, pp.1076-1083, Dec. 1980.

[5] R. J. Widler," New Development in IC Voltage Regulators," *IEEE J. Solid-State Circuits*, vol. sc-6, pp.2-7, Feb. 1971.

[6] R. A. Blauschild, P. A. Tucci, R. S. Muller, and R.G.Meyer," A New NMOS Temperature-stable Voltage Reference," *IEEE J. Solid-State Circuits*, vol. sc-13, pp.767-773, Dec. 1978.

[7] H. J. Oguey and B. Gerber," MOS Voltage Reference Based on Polysilicon Gate Work Function Difference," *IEEE J. Solid-State Circuits*, vol. sc-15, pp.264-269, June 1980.

[8] T. Furuyama, Y. Watanabe, T. Oshawa and S. Watanabe," A New On Chip Voltage Converter for Submicrometer High-Density DRAM's," *IEEE J. Solid-State Circuits*, vol. sc-22, pp.437-441, Jun. 1987.

[9] K. Itoh," Trend in Megabit DRAM Circuit Design," *IEEE J. Solid-State Circuits*, vol. 25, pp.778-789, Jun. 1990.

[10] H. J. Song and C. K. Kim," A Temperature-Stabilized SOI Voltage Reference Based on Threshold Voltage Difference Between Enhancement Depletion NMOSFET's," *IEEE J. Solid-State Circuits*, vol. sc-28, pp.671-677, Jun. 1993.

[11] J. M. Steininger," Understanding Wide-Band MOS Transistors," *IEEE Circuits & Devices*, pp.26-31, May. 1990.

저 자 소 개

金 旻 奎(正會員)

1972년 12월 3일생. 서강대학교 전자공학과 학사(1994), 서강대학교 전자공학과 석사(1996), 현재 LG 반도체 기술 연구소 연구원. 주요 관심 분야는 반도체 집적 회로 설계, 혼성 모드 회로 설계, 데이타 변환기 설계 등임.

林 信 一(正會員) 第 32卷 A編 第 12號 參照
現在 西京大學校 컴퓨터工學科 專任講師

李 承 勳(正會員) 第 32卷 A編 第 12號 參照
現在 西江大學校 電子工學科 助敎授