

論文96-33A-5-24

저전압 저전력 비교기 설계 기법

(Low-Voltage Low-Power Comparator Design Techniques)

李浩榮*, 郭明保*, 李承勳*

(Ho-Young Lee, Myung-Bo Kwak, and Seung-Hoon Lee)

요 약

본 논문에서는 저전압 저전력 CMOS 비교기 (comparator) 설계 기법을 제안한다. 제안된 비교기는 프리 앰프 (preamplifier)와 래치 (latch)의 두 단으로 구성되었다. 프리 앰프는 소모 전력 하강 모드 (power-down mode)를 통하여 전력 소모를 1/2로 줄였으며, 래치의 각 소자들이 동적 오프셋 (dynamic offset)에 미치는 영향을 통계학적인 부정합 (mismatch) 해석을 통하여 분석하였다. 제안된 회로는 0.8 μm n-well CMOS 공정으로 설계 및 모의 실험 되었으며, 3 V의 단일 전원 전압으로 동작하며, 20 MHz 클럭 주파수에서 0.16 mW의 전력 소모를 가진다.

Abstract

A CMOS comparator is designed for low voltage and low power operations. The proposed comparator consists of a preamplifier followed by a regenerative latch. The preamplifier reduces the power consumption to a half with the power-down mode and the dynamic offsets of the latch, which is affected by each device mismatch, is statistically analyzed. The circuit is designed and simulated using a 0.8 μm n-well CMOS process and the dissipated power is 0.16 mW at a 20 MHz clock speed based on a 3 V supply.

I. 서 론

디지털 신호 처리 기술이 발전함에 따라 자연계의 아날로그 신호를 디지털 신호로 바꾸어 주는 A/D 변환기 (A/D converter)의 중요성이 점차 확대되어 가고 있다. 비교기는 작은 아날로그 신호를 증폭하여 디지털 출력을 내는 기능을 가지는 A/D 변환기의 핵심이 되는 부분으로, 이러한 비교기가 가지는 속도, 정확도, 전력 소모, 그리고 회로의 크기 등의 요소들은 A/D 변환기의 성능을 결정하는 요소가 된다. 특히, CMOS 공정을 사용하는 비교기는 고집적도, 저전력, 그리고 회로 구현의 간편성 등 여러 장점을 지니고 있어 널리 구현되고 있으나, 이러한 CMOS 비교기는 바

이플라 공정과 같이 다른 공정을 사용하는 비교기와 비교할 때, 상대적으로 큰 MOS 소자의 부정합으로 인하여 높은 정확도를 얻기가 쉽지 않다.

한편, VLSI 공정 기술의 발달과 더불어 회로의 고집적화로 인하여 단위 칩에 집적되는 소자수가 점점 증가하게 되고, 또한 고속의 성능을 얻기 위해 전력 소모가 점점 증가하고 있다. 이의 해결책의 하나로 회로의 모든 부분에서 저전압화가 추진되고 있다. 결과적으로 낮은 전원 전압에서 동작하며, 저전력과 고해상도의 특성을 가지는 CMOS 비교기의 중요성이 점차 증가하고 있다.

본 논문에서 제안하는 회로는 0.8 μm n-well CMOS 공정을 이용하여 구현된 저전압용 비교기로서, A/D 변환기의 한 부분으로 응용이 되며, 또한 sense amplifier로서 메모리에 응용이 될 수 있도록 설계 되어진 회로이다. 비교기는 프리 앰프와 래치의 두 부분으로 구성되었으며, 프리 앰프는 래치의 동적 오프셋과

* 正會員, 西江大學校 電子工學科

(Dept. of Elec. Eng., Sogang University)

接受日字: 1995年11月17日, 수정완료일: 1996年3月28日

그 밖의 여러 여러 요소로 부터, 정확한 출력을 얻기 위하여 입력 신호를 일정한 크기로 증폭시킨 후 래치로 보내며, 래치는 증폭된 아날로그 입력 신호를 디지털 신호로 변환시킨다. 비교기의 프리 앰프는 입력 신호를 증폭시킬 때만 앰프로서 동작을 하며, 래치의 동작 기간 중에는 바이어스 전류를 차단시킴으로써 앰프 동작을 정지하여 전력 소모를 1/2로 감소시켰다. 래치는 동작의 올바른 이해와 각 소자 쌍 (pair)의 부정합이 동작 움셋에 미치는 영향을 조사하여 그 영향을 최소화 시키기 위해 통계 수학적인 부정합 해석이 수행되었으며, 제안된 회로는 모의 실험을 통하여 비교 및 검증 되었다. 이 회로는 3 V 단일 전원 전압으로 동작하며, 20 MHz의 클럭 주파수를 이용한 모의 실험에서 0.16 mW의 전력 소모를 보였다.

본 논문의 II 장에서는 제안된 비교기의 구조와 동작 원리를 살펴보고, III 장에서는 제안된 프리 앰프의 소모 전력 하강 모드의 특성과 전압 이득을 분석하며, IV 장에서는 제안된 래치의 부정합 해석을 통해 동작 움셋을 분석한다. 마지막으로 V 장에서는 제안된 비교기의 모의 실험 결과를 요약한다.

II. 제안된 비교기의 구조와 동작 원리

그림 1은 제안된 비교기이며, 각 부분은 SW1 부터 SW6으로 구성된 샘플링 (sampling) 단, M1 부터 M8로 구성된 프리 앰프 단, ML1 부터 ML9로 구성된 래치 단 그리고 MD1 부터 MD8로 구성된 버퍼 (buffer) 단으로 크게 4 부분으로 나누어 진다.

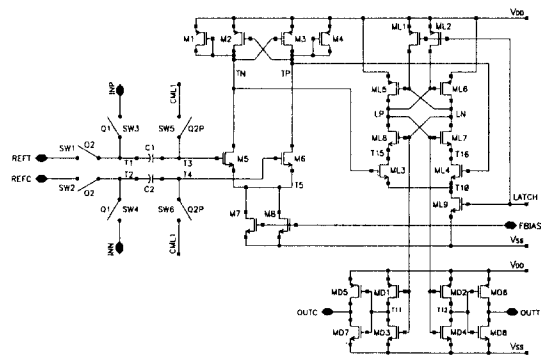


그림 1. 제안된 비교기
Fig. 1. Proposed comparator.

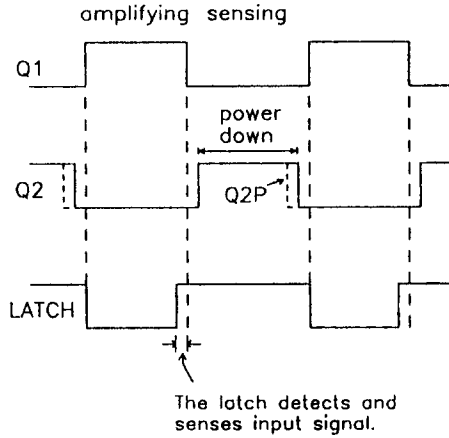
회로의 동작을 살펴보면 클럭 Q2가 High 상태일 때, T1과 T2 단자에는 기준 전압 (REFT, REFC)이 샘플링 되며, T3과 T4 단자에는 바이어스 전압 단자인 CML1이 연결이 된다. 이때 ML1 부터 ML9로 구성되는 래치는 전 상태의 신호를 받아 이미 어떤 상태로 결정되어 래치 상태에 머물고 있다. Q2가 Low 상태로 바뀌고, Q1이 High 상태가 되면, SW1 및 SW2로 구성된 스위치는 Off가 되고 SW3 및 SW4로 구성된 스위치는 On이 되어 T1과 T2 단자에는 입력 전압 (INP, INN)이 연결이 되고, 이때 SW5 및 SW6 역시 Off가 되어 프리 앰프의 입력 단인 T3과 T4에는 차동 입력 전압과 차동 기준 전압의 차이 ((INP-INN)-(REFT-REFC))가 나타나게 된다. 이때 래치는 리셋 (reset) 상태로 들어가며, LN과 LP 단자는 V_{DD} 로 충전 (precharge) 되어 입력 신호를 기다리고 있다. 프리 앰프의 입력 단인 M5와 M6의 입력 신호는 적절한 전압 이득으로 증폭된 후 TN과 TP 단자에 나타나게 되며, Q1이 Low 상태가 되기 직전에 LATCH가 High가 되면서 래치의 ML9가 On이 되고, ML1과 ML2가 Off가 되어, 래치는 ML3과 ML4의 게이트의 입력 신호의 차이를 순간적으로 감지하여, ML5, ML6, ML7 그리고 ML8로 이루어진 정궤환 (positive feedback) 단을 통해, LP와 LN 단자에 디지털 신호로 출력된다. 이 신호는 MD1 부터 MD8로 구성된 버퍼를 통해 OUTT와 OUTC의 단자로 출력 된다.

III. 프리 앰프 회로

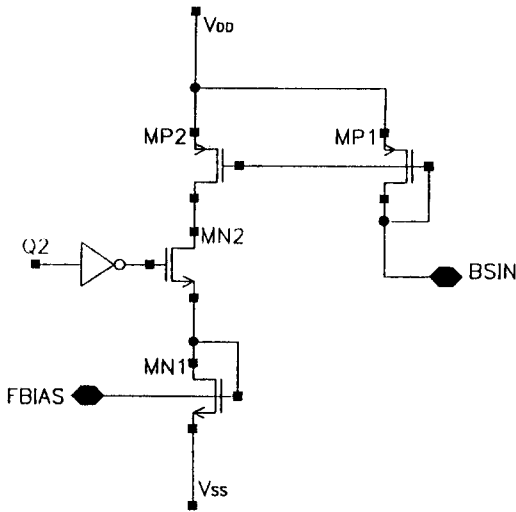
1. 제안된 소모 전력 하강 모드 바이어스 회로

제안된 비교기에 응용된 프리 앰프는 낮은 전원 전압에서 비교적 큰 전압 이득을 얻을 수 있는 구조로서^[11], 이 프리 앰프는 래치가 올바른 출력값을 낼 수 있도록 입력 신호의 차이를 증폭하여, 래치로 보내는 역할을 한다. 이때 래치는 프리 앰프로부터 받은 신호를 수 ns 내에 디지털 신호로 바꾸어 주게 되는데, 제안된 비교기의 래치 구조는 입력 신호가 정궤환 경로인 LP와 LN 단자에 직접 공급되는 것이 아니라 입력 트랜지스터인 ML3과 ML4의 게이트로 공급되기 때문에 일단 래치가 정궤환 동작을 시작하게 되면 프리 앰프는 더 이상 출력값을 유지할 필요가 없게 된다. 그림 2 (a)의 클럭 타이밍도에서 Q2의 주기 동안은 프리 앰프

의 바이어스 전류를 차단시키게 되는데 이러한 과정은 그림 2 (b)에서 제안된 소모 전력 하강 모드 바이어스 회로로 구현된다. 이때 스위치 MN2는 Q2가 High인 동안에만 프리 앰프의 전류를 차단시켜서, 비교기의 전력 소모의 대부분을 차지하는 프리 앰프의 전력 소모를 1/2로 감소시킨다.



(a)



(b)

그림 2. (a) 클럭 타이밍도 및 (b) 소모 전력 하강 모드 바이어스 회로

Fig. 2. (a) Clock timing diagram and (b) power down mode bias circuit.

제안된 바이어스 회로가 복수개의 프리 앰프를 구동할 때는 바이어스 회로가 구동해야 하는 캐패시턴스의 증가로 인해, 프리 앰프가 동작을 시작하는데 걸리는

시간이 증가하게 된다. 그림 3은 소모 전력 하강 모드 바이어스 회로가 구동하는 비교기의 갯수가 변화할 때, 각 비교기의 프리 앰프가 입력 차이 전압을 전압 이득 만큼 증폭하여 출력시키는데 걸리는 시간 지연을 모의 실험한 결과로서, 모의 실험에서 시간 지연은 비교기에 10 mV가 인가될 때, 프리 앰프에 의해 최종 출력의 90 %까지 증폭되는 시간을 측정했다. 비교기의 수가 증가할수록 시간 지연 역시 증가하며, 예를 들어 바이어스 회로가 4 비트 A/D 변환기에 사용될 수 있는 15 개의 비교기를 구동할 경우 프리 앰프는 적어도 8 ns 이상의 시간 지연이 필요하며, 비교기를 구동하는 최대 클럭 주파수는 약 50 MHz로 제한이 된다.

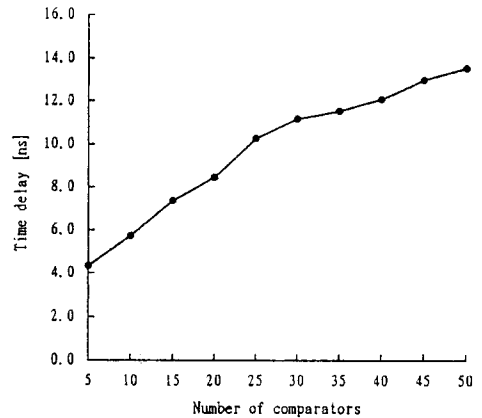


그림 3. 프리 앰프 출력 전압의 시간 지연
Fig. 3. Time delay of the preamplifier output voltage.

한편, 7 비트 이상의 높은 정확도를 필요로 하는 비교기 설계에서는 일반적으로 프리 앰프를 여러단으로 사용하게 되는데, 첫째단의 프리 앰프는 오프셋 소거 기술^{[2], [3]}로 정적 오프셋 (static offset)을 제거하고, 나머지 단들은 본 논문에서 제안하는 소모 전력 하강 모드로 설계를 하면 높은 정확도와 낮은 전력 소비를 모두 만족하는 비교기 설계가 가능하다.

2. 프리 앰프의 전압 이득 분석

저전압에서 동작하는 프리 앰프의 설계에서는 기존의 cascode 구조와 같은 전압 이득을 증가시키는 설계 기법을 사용하기가 어려우며, 또한 샘플링 캐패시터를 사용함으로써 나타나는 전압 이득의 감소가 추가되므로 원하는 전압 이득을 얻기가 더욱 어려워진다. 본 논문에서 제안된 프리 앰프의 TN과 TP 단자에 나타나

는 전압 이득은 다음과 같이 샘플링 부의 전압 이득 A_S 와 프리 앰프 부의 전압 이득 A_P 의 곱으로 나타난다.

$$A_T = A_S A_P = \frac{C_1}{C_1 + C_{in}} g_{m5} R_o \quad (1)$$

식 (1)에서 C_{in} 은 T3과 T4 단자에서 바라보는 입력 캐패시턴스, C_1 은 샘플링 단의 coupling 캐패시턴스, g_{m5} 는 M5의 transconductance, R_o 는 프리 앰프의 출력 저항이다. 프리 앰프는 Miller effect가 존재하기 때문에 C_{in} 은 다음과 같다.

$$C_{in} = C_{gs5} + C_{gd5}(1 + A_P) \quad (2)$$

이때 C_{gs5} 는 M5의 게이트-소스 캐패시턴스, C_{gd5} 는 M5의 게이트-드레인 캐패시턴스이다. 식 (1)에서 전압 이득을 증가시키기 위해서는 C_1 과 R_o 를 증가시키거나, 또는 입력 트랜지스터 M5의 W/L을 증가시켜서 큰 g_{m5} 를 얻는 방법이 있다. M5의 W/L을 증가시키면 큰 g_{m5} 에 의해 A_P 는 증가하지만 식 (2)에서와 같이 C_{in} 역시 증가하게 되어 A_S 는 감소하게 된다.

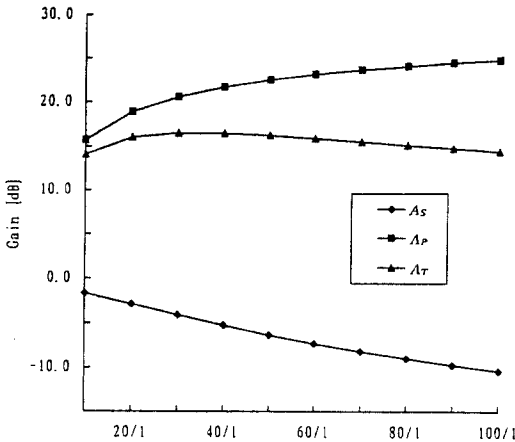


그림 4. M5와 M6의 W/L을 10/1에서 100/1로 변화시켰을 때, A_S , A_P 그리고 A_T 의 변화
 Fig. 4. Variation of A_S , A_P and A_T when W/L of M5 and M6 is changed from 10/1 to 100/1.

그림 4는 M5와 M6의 W/L을 증가시킬 때, 프리 앰프의 전압 이득 A_S , A_P 그리고 전체 전압 이득 A_T 를 모의 실험으로 구한 결과이다. 입력 트랜지스터의 크기를 10/1에서 100/1로 변화시킬 때, A_P 는 증가하나 A_S 가 감소하므로, 전체 전압 이득 A_T 는 30/1 ~ 40/1에

서 최대 값을 갖게 되고 더 이상 증가하지 않는다. C_1 을 증가시키면 C_{in} 에 의한 A_S 의 전압 이득 감소를 줄일 수 있는데, 이 때는 비교기의 입력 캐패시턴스가 증가하여, 비교기를 구동시키는데 문제가 된다.

프리 앰프 출력단의 M2와 M3은 정제환 구조로 연결되며 출력 저항 R_o 는 $1/(g_{m1} - g_{m2})$ 가 되므로, g_{m2}/g_{m1} 의 비를 조정하면 쉽게 큰 출력 저항을 얻을 수 있다. 그러나 g_{m2}/g_{m1} 의 비가 1에 근접하면 프리 앰프는 정제환 래치로 동작하게 되므로 실질적으로 출력 저항으로 얻을 수 있는 전압 이득은 제한이 된다^[11]. 일반적으로 공정 상의 부정합 등을 고려하여, 이 값을 1 보다 상당히 작게 유지시켜 주어야 하며, 본 회로에서는 안정성을 위하여 약 0.7 정도의 비를 가진다.

IV. 래치 회로

래치는 current-controlled latch^[4]를 기본으로 구현되었으며, ML3 및 ML4의 게이트에 인가되는 작은 입력 신호를 LP 및 LN 단자에서 디지털 신호로 변환시킨다. 이 래치는 LP 및 LN 단자의 상태가 바뀔 때만 전류를 소비하므로 전력 소모를 극소화할 수 있는 장점을 가진다.

래치는 공정상의 소자 부정합으로 인해 큰 동적 옵셋을 가지기 때문에 정확도가 떨어지는 경향이 있다. 이러한 동적 옵셋의 해결을 위해, 많은 사람들에 의해 통계 수학적 분석 방법이 이루어졌으나, 대부분 DRAM의 sense amplifier로 많이 사용되는 CCCA (CMOS Cross-Coupled Amplifier) 형태의 비교적 간단한 래치에 대한 분석으로 제한되었으며^{[15][10]}, 본 논문에서 사용하는 입력 트랜지스터 쌍이 포함된 래치의 부정합 해석은 아직 이루어지지 않고 있다.

1. 래치의 동적 옵셋의 수학적 해석

그림 1의 래치에서 볼 때 정제환 구조의 PMOS 쌍인 ML5와 ML6은 출력 단자가 리셋 기간 중 V_{DD} 로 충전되어 있으므로, LATCH가 High가 되어 동작이 시작된 후 출력 단자가 $V_{DD} - |V_{TP}|$ 로 떨어져야 비로소 동작을 시작하여 전류에 영향을 주므로 출력 단자중 High로 증폭되는 단자를 완전히 V_{DD} 로 상승시켜 주는 역할을 할 뿐, 상대적으로 소자의 부정합이 동적 옵셋에 주는 영향은 크지 않게 된다. 따라서 본 논문에서의 부정합 해석에서는 ML5와 ML6은 생략되었으며, 동적

오프셋에 큰 영향을 주는 입력 트랜지스터 쌍인 ML3과 ML4, 정제환 구조의 NMOS 쌍인 ML7과 ML8 그리고 출력 단자인 LN과 LP의 부하 (load) 캐패시턴스들의 부정합이 중점적으로 분석되었다. 결과적으로 제안된 비교기에서 사용된 래치는 부정합 해석을 위하여, 그림 5 (a)처럼 간략화될 수 있다.

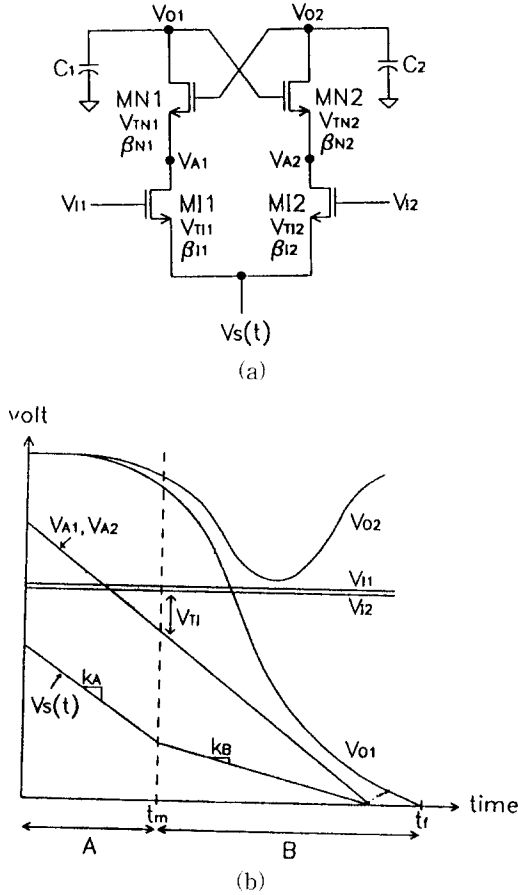


그림 5. (a) 간략화된 래치 모델 및 (b) 래치의 동작 기간 중 각 단자의 전압 파형
Fig. 5. (a) Simplified model of the latch and (b) waveforms on related latch nodes during sensing.

그림 5 (b)는 시간의 변화에 대해 그림 5 (a)의 래치가 동작하는 과정을 나타낸다. 이 기간은 크게 A 구간과 B 구간으로 나누어지는데, 우선 A 구간 동안 입력 트랜지스터 쌍인 MI1과 MI2는 saturation 상태로 동작하여 입력 전압의 차이를 출력 단자인 V01과 V02에 seed 전압으로 공급하게 되며, 이 구간 동안은 래치

의 NMOS 쌍인 MN1과 MN2는 아직 정제환 동작이 이루어지지 않고 단지 출력 단자의 전압 차이를 유지하고 있게 된다. $t > t_m$ 이 되면, 표 1의 각 단자 전압이 $V_A < V_I - V_{T1}$ 의 조건이 되어 입력 트랜지스터 MI1과 MI2는 triode 상태로 동작하게 되며, 이러한 B 구간 동안에는 래치의 NMOS 쌍인 MN1과 MN2가 정제환 동작에 의해서, seed 전압을 디지털 값으로 증폭시키게 된다.

표 1. 회로 변수들의 부정합 조건
Table 1. Mismatch condition of circuit parameters.

$V_I = \frac{1}{2}(V_{I1} + V_{I2})$	$\Delta V_I = V_{I1} - V_{I2}$
$V_A = \frac{1}{2}(V_{A1} + V_{A2})$	$\Delta V_A = V_{A1} - V_{A2}$
$\beta_I = \frac{1}{2}(\beta_{I2} + \beta_{I1})$	$\Delta \beta_I = \beta_{I2} - \beta_{I1}$
$\beta_N = \frac{1}{2}(\beta_{N2} + \beta_{N1})$	$\Delta \beta_N = \beta_{N2} - \beta_{N1}$
$V_{T1} = \frac{1}{2}(V_{T11} + V_{T12})$	$\Delta V_{T1} = V_{T11} - V_{T12}$
$V_{TN} = \frac{1}{2}(V_{TN1} + V_{TN2})$	$\Delta V_{TN} = V_{TN1} - V_{TN2}$
$C = \frac{1}{2}(C_1 + C_2)$	$\Delta C = C_1 - C_2$

A 구간 동안은 그림 5 (a)의 모든 트랜지스터가 saturation 상태로 동작하므로 MOS의 전류 공식에 의해 다음과 같이 표현된다.

$$\frac{\beta_{I1}}{2} (V_{I1} - V_S - V_{T11})^2 = \frac{\beta_{N1}}{2} (V_{O2} - V_{A1} - V_{TN1})^2 \tag{3}$$

$$\frac{\beta_{I2}}{2} (V_{I2} - V_S - V_{T12})^2 = \frac{\beta_{N2}}{2} (V_{O1} - V_{A2} - V_{TN2})^2 \tag{4}$$

그림 5 (b)의 B 구간에서의 정제환 동작이 이루어지기 위해서는 실질적으로 MN1과 MN2의 게이트-소스 오스 전압의 차이가 발생되어야 하며, 이러한 출력 단자의 전압 차이는 $\Delta V_{OA}(t) = (V_{O2}(t) - V_{A1}(t)) - (V_{O1}(t) - V_{A2}(t))$ 로 정의할 수 있으며 식 (3)과 (4)로부터 다음과 같이 나타난다.

$$\Delta V_{OA}(t) = \sqrt{\frac{\beta_{I1}}{\beta_{N1}}} (V_{I1} - V_S - V_{T11}) - \sqrt{\frac{\beta_{I2}}{\beta_{N2}}} (V_{I2} - V_S - V_{T12}) + V_{TN1} - V_{TN2} \tag{5}$$

V_S 전압은 그림 5 (b)와 같이 시간축에 대해 1차 함수로 근사되며 식 (6)으로 표현된다.

$$V_S(t) = V_S(0) - k_A t. \quad (6)$$

이때 $V_S(0)$ 은 래치가 동작하기 직전의 초기화 전압이며, k_A 는 래치가 A 구간에서 동작할 때의 V_S 전압의 감소하는 기울기이다. 초기 조건인 $t = 0$ 에서는 입력 트랜지스터인 MI1과 MI2가 전류를 흘리기 직전의 상태이므로 $V_I - V_S(0) - V_{TN} \approx 0$ 으로 근사를 시킬 수 있으므로, 식 (6)과 표 1의 부정합 조건을 이용하여 식 (5)를 간단히 하면 $\Delta V_{OA}(t)$ 는 다음과 같이 정리된다.

$$\Delta V_{OA}(t) = \left\{ \sqrt{\frac{\beta_{I1}}{\beta_{N1}}} - \sqrt{\frac{\beta_{I2}}{\beta_{N2}}} \right\} k_A t + \left\{ \sqrt{\frac{\beta_{I1}}{\beta_{N1}}} + \sqrt{\frac{\beta_{I2}}{\beta_{N2}}} \right\} \frac{\Delta V_I}{2} - \sqrt{\frac{\beta_{I2}}{\beta_{N2}}} \Delta V_{T1} + \Delta V_{TN} \quad (7)$$

식 (7)로부터 $t = t_m$ 에서 출력 $\Delta V_{OA}(t_m)$ 이 출력되기 위한 ΔV_I 를 구하면 다음과 같다.

$$\begin{aligned} \Delta V_I = & 2 \frac{\sqrt{\beta_{N1}\beta_{N2}}}{\sqrt{\beta_{I1}\beta_{N2}} + \sqrt{\beta_{I2}\beta_{N1}}} \Delta V_{OA}(t_m) \\ & - 2 \frac{\sqrt{\beta_{I1}\beta_{N2}} - \sqrt{\beta_{I2}\beta_{N1}}}{\sqrt{\beta_{I1}\beta_{N2}} + \sqrt{\beta_{I2}\beta_{N1}}} k_A t_m \\ & + 2 \frac{\sqrt{\beta_{I2}\beta_{N1}}}{\sqrt{\beta_{I1}\beta_{N2}} + \sqrt{\beta_{I2}\beta_{N1}}} \Delta V_{T1} \\ & - 2 \frac{\sqrt{\beta_{N1}\beta_{N2}}}{\sqrt{\beta_{I1}\beta_{N2}} + \sqrt{\beta_{I2}\beta_{N1}}} \Delta V_{TN}. \end{aligned} \quad (8)$$

식 (8)에서 래치의 입력단에 나타나는 동적 옵셋인 ΔV_I 는 $\Delta V_{OA}(t_m)$ 의 함수로 나타난다. $\Delta V_{OA}(t_m)$ 은 A 구간 동안 ΔV_I 에 의해 래치의 출력단에 나타나는 전압 차이로서, 결국 $t > t_m$ 인 B 구간에서 MN1과 MN2가 정제환 동작을 하게 되면 출력 전압의 증폭 방향을 결정하는 seed 전압이 된다. B 구간에서는 입력 트랜지스터 MI1과 MI2는 triode 상태로 동작하며, 래치의 NMOS 쌍인 MN1과 MN2는 saturation 상태에서 동작을 하게 된다. seed 전압 $\Delta V_{OA}(t_m)$ 이 생성될 수 있도록 t_m 이 충분히 크면 B 구간에서는 저항으로 동작하는 MI1과 MI2의 부정합 영향은 래치의 정제환 동작에 큰 영향을 미치지 못하게 된다. 그러므로 해석의 간편성을 위해 다음과 같은 근사식을 이용한다.

$$\frac{dV_{A1}}{dt} = \frac{dV_{A2}}{dt} = \frac{dV_S}{dt} = -k_B. \quad (9)$$

이때 k_B 는 그림 5 (b)에서 나타나듯이 B 구간에서의 $V_S(t)$ 의 감소하는 기울기이다. V_{O1} 과 V_{O2} 단자에서

전류 공식을 이용하면 다음과 같다.

$$\frac{dV_{O1}}{dt} = -\frac{\beta_{N1}}{2C_1} (V_{O2} - V_{A1} - V_{TN1})^2. \quad (10)$$

$$\frac{dV_{O2}}{dt} = -\frac{\beta_{N2}}{2C_2} (V_{O1} - V_{A2} - V_{TN2})^2. \quad (11)$$

정제환 동작의 래치는 출력 단자의 전압 변화의 기울기로서 증폭 방향을 판단할 수 있다. 그러므로 경계 조건인 $dV_{O1}/dt = dV_{O2}/dt$ 에서 $\Delta V_{OA}(t)$ 를 구하면 잘못된 출력과 올바른 출력이 나타나는 경계로서의 $\Delta V_{OA}(t)$ 를 구할 수 있으며, 결국 이 전압은 올바른 출력을 위한 최소한의 전압이 된다¹⁶⁾. 식 (10)과 (11)로부터 $\Delta V_{OA}(t)$ 를 구하면 다음과 같다.

$$\Delta V_{OA}(t) = \left\{ \sqrt{\frac{\beta_{N2}C_1}{\beta_{N1}C_2}} - 1 \right\} V_F(t) + \Delta V_{TN}. \quad (12)$$

여기서 $V_F(t) = V_{O1}(t) - V_{A2}(t) - V_{TN2}$ 이며, V_F 는 식 (9)와 경계 조건을 이용하여 정리 후 미분하면 다음과 같이 V_F 만의 식으로 유도된다.

$$\frac{dV_F}{dt} = -\frac{\beta_{N2}}{2C_2} V_F^2 + k_B. \quad (13)$$

래치 동작 구간중 B 구간인 $t > t_m$ 에서 식 (13)을 적분하면 $V_F(t)$ 는 식 (14)와 같다.

$$V_F(t) = \sqrt{\frac{2C_2 k_B}{\beta_{N2}}} \tanh \sqrt{\frac{\beta_{I2} k_B}{2C_2}} t + V_F(t_m). \quad (14)$$

이 때 적분 초기값인 $V_F(t_m)$ 은 A 구간의 마지막 단계인 $t = t_m$ 에서 결정되므로, 식 (4)와 $V_F(t)$ 의 식으로부터 유도할 수가 있으며, 또한 MI2는 $t = 0$ 에서 전류를 거의 흘리지 않으므로, $V_{I2} - V_S(0) - V_{TN2} \approx 0$ 이 되므로, 다음과 같이 $V_F(t_m)$ 을 간단히 할 수 있다.

$$V_F(t_m) = \sqrt{\frac{\beta_{I2}}{\beta_{N2}}} k_A t_m. \quad (15)$$

래치가 동작하는 기간중 마지막 단계인 $t = t_f$ 에서 t_f 가 충분히 큰 값이므로 식 (14)의 tanh 항은 1로 근사되며, 결국 $V_F(t_f)$ 는 식 (15)를 식 (14)에 대입하여 구할 수 있게 된다. 결국 $V_F(t_f)$ 을 이용하면 식 (12)로부터 $\Delta V_{OA}(t_f)$ 를 구할 수 있으며, 이때 $\Delta V_{OA}(t_f)$ 는 전체 B 구간에서 경계 조건을 만족하는 최대값이 된다. 그러므로 seed 전압인 $\Delta V_{OA}(t_m)$ 은 $\Delta V_{OA}(t_f)$ 보다 크기만하면 올바른 증폭을 보장할 수 있게 된다. 결과적으로 $\Delta V_{OA}(t_m)$ 의 최소값은 $\Delta V_{OA}(t_f)$ 가 되며, 다음과

같이 표현할 수 있다.

$$\Delta V_{OA}(t_m) = \left\{ \sqrt{\frac{\beta_{N2}C_1}{\beta_{N1}C_2}} - 1 \right\} \left\{ \sqrt{\frac{2C_2k_B}{\beta_{N2}}} + \sqrt{\frac{\beta_{P2}}{\beta_{N2}}} k_A t_m \right\} + \Delta V_{TN} \quad (16)$$

식 (8)에 식 (16)을 대입하여, 표 1의 부정합 조건으로 정리하면 래치의 전체 동작 기간에서 래치의 입력단에 나타나는 동적 오프셋을 구할 수 있다. 수식의 표현을 간단히 하기 위해 임의의 부정합 변수 Z 에 대해 $(\Delta Z/Z)^2 \approx 0$ 의 근사식을 이용하면 최종적인 동적 오프셋에 대한 수식은 식 (17)과 같다.

$$\Delta V_I \approx \frac{1}{2} \left\{ \frac{\Delta \beta_I}{\beta_I} + \frac{\Delta C}{C} \right\} k_A t_m + \left\{ \frac{\Delta \beta_N}{\beta_N} + \frac{\Delta C}{C} \right\} \sqrt{\frac{Ck_B}{2\beta_I}} + \Delta V_{TN} \quad (17)$$

식 (17)의 동적 오프셋의 최종식에서 첫번째 항은 입력 트랜지스터 쌍의 부정합에 의한 영향을 포함하며, 두번째 항은 정제환 구조의 NMOS 쌍의 부정합에 의한 동적 오프셋을 포함한다. 동적 오프셋의 계산 결과는 그림 6에서 모의 실험 결과와 비교 되었다.

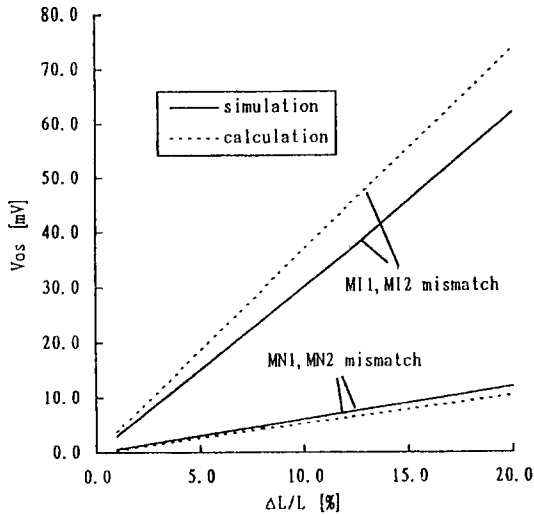


그림 6. 동적 오프셋의 계산 결과와 모의 실험 결과의 비교

Fig. 6. Simulated results of dynamic offsets.

그림 6에서는 MI1과 MI2 그리고 MN1과 MN2 각각에 대해서 W/L의 부정합이 20 %까지 변할 때의 동적 오프셋의 변화를 나타내며, 이때 입력 트랜지스터 쌍의 부정합이 동적 오프셋에 매우 큰 영향을 끼침을 알 수 있다. MI1과 MI2의 동적 오프셋 계산 결과는 MN1

과 MN2의 계산 결과와 비교해서 상대적으로 모의 실험 결과와 차이가 발생하는데, 이 오차는 계산상에서 상수로 근사시킨 V_S 전압의 기울기인 k_A 가 실제 회로 동작에서는 시간에 따라 변하기 때문에 발생된다.

2. 래치의 공동 입력 전압의 영향

래치의 동작 초기에 입력 트랜지스터는 saturation 상태로 동작해야 하므로 래치의 공동 입력 전압 V_I 는 다음의 조건을 만족해야 한다.

$$V_{SS} + V_{TI} < V_I < V_{DD} - V_{TN} + V_{TI} \quad (18)$$

식 (18)에서 V_{TI} 는 입력 트랜지스터 쌍의 문턱 전압이고 V_{TN} 은 정제환 구조의 NMOS 쌍의 문턱 전압이다. V_I 가 식 (18)의 전압 조건보다 낮으면 입력 트랜지스터는 cut off 상태에 있으며, 식 (18)의 전압 조건보다 높으면 입력 트랜지스터는 triode 상태에서 동작을 시작하게 된다.

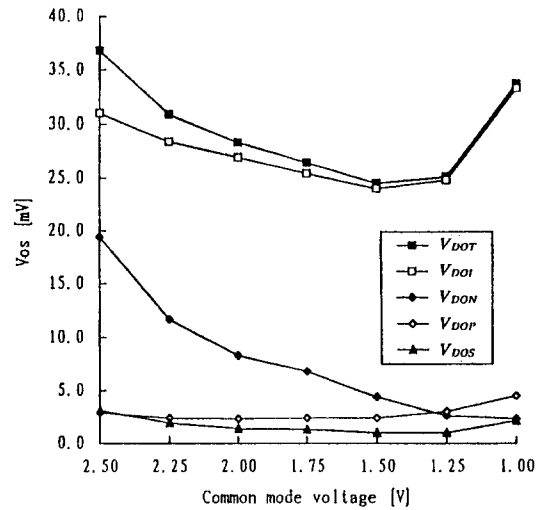


그림 7. 공동 입력 전압 변화에 따른 동적 오프셋의 변화

Fig. 7. Dynamic offset variation with input common mode voltages.

그림 7은 V_{DD} 가 3 V이고 V_{SS} 가 0 V일 때 식 (18)의 조건을 만족하는 구간 내에서 공동 입력 전압의 변화가 동적 오프셋에 미치는 영향을 모의 실험한 결과이다. V_{D0I} , V_{D0N} , V_{D0P} 그리고 V_{D0S} 는 순서대로 ML3과 ML4에 의한 오프셋, ML7과 ML8에 의한 오프셋, ML5와 ML6에 의한 오프셋 그리고 ML1과 ML2에 의한 오프셋이며, 이때 동적 오프셋은 각 트랜지스터 쌍이 8

%의 부정합을 가질 때 모의 실험되었다. V_{DOT} 는 각 소자 쌍의 부정합이 임의로 발생되었다고 가정했을 때의 전체 옵셋을 rms 합으로 구한 것으로 다음과 같이 계산된다.

$$V_{DOT} = \sqrt{V_{DOI}^2 + V_{DON}^2 + V_{DOP}^2 + V_{DOS}^2} \quad (19)$$

그림 7에서 V_{DOT} 는 V_{DOI} 와 V_{DON} 에 의해서 가장 크게 영향을 받으며, 이때 공통 입력 전압이 상승하면 V_{DON} 이 증가를 하게 되고, 공통 입력 전압이 감소하면 V_{DOI} 가 급격히 증가하게 되어 V_{DOT} 는 공통 입력 전압이 1.5 V에서 최소값을 가짐을 알 수 있다. 제한된 비교기의 프리 앰프는 출력 단자 TN과 TP의 바이어스 전압이 1.5 V에 근접하도록 설계가 되어 래치의 동적 옵셋을 최소화 하였다.

V. 모의 실험 결과

실시간 영역에서의 모의 실험은 0.8 μm n-well CMOS 공정 변수를 사용하였으며, 이때 비교기는 20 MHz 클럭 주파수로 동작하고 바이어스 회로는 실제 파이프라인 구조를 가진 고속도 A/D 변환기에서 사용할 수 있는 15 개의 비교기를 구동하는 조건에서 수행되었다. 그림 8부터 그림 11은 +10 mV와 -10 mV의 순서로 차동 입력이 비교기에 인가될 때, 각 단자에 나타나는 파형을 나타낸다.

그림 8은 비교기의 샘플링 단의 T1 부터 T4 단자의 전압 파형으로, Q1이 Low에서는 T1과 T2 단자는 각각 1.0 V와 2.0 V의 기준 전압이 인가되고, T3과 T4 단자는 1.8 V의 CML1이 인가된 상태의 전압 파형을 나타내며, Q1이 High에서는 T1과 T2 단자에는 첫번째 주기에는 각각 1.0 V와 1.99 V가 인가되고, 두번째 주기에는 각각 0.99 V와 2.0 V의 입력이 인가되었을 때, 프리 앰프의 입력단인 T3과 T4 단자의 차이 전압 파형을 나타낸다.

그림 9는 비교기의 프리 앰프의 TP와 TN 단자에 나타나는 출력 파형으로, 소모 전력 하강 모드에서의 프리 앰프의 동작을 나타낸다. Q1이 Low에서는 소모 전력 하강 모드에 의해 프리 앰프는 동작을 정지하며 TP와 TN 단자는 1.9 V로 상승한다. Q1이 High에서는 프리 앰프는 1.5 V의 공통 출력 전압에서 앰프 동작이 이루어져서 16.5 dB의 전압 이득으로 입력 전압을 증폭한다.

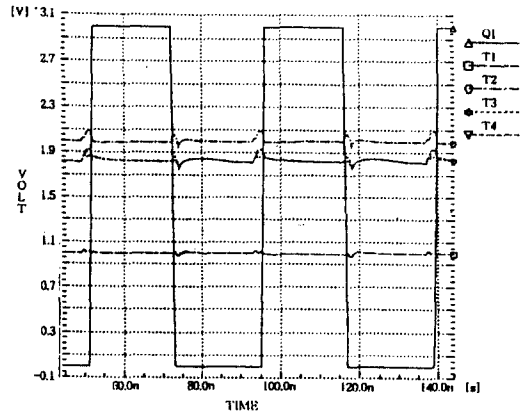


그림 8. 비교기의 인가된 입력 파형
Fig. 8. Input waveforms to the comparator.

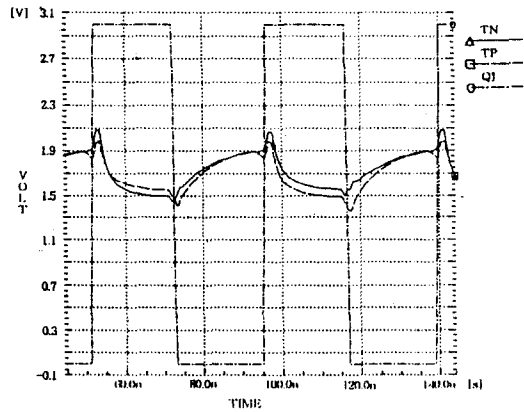


그림 9. 프리 앰프의 출력 파형
Fig. 9. Output waveforms of the preamplifier.

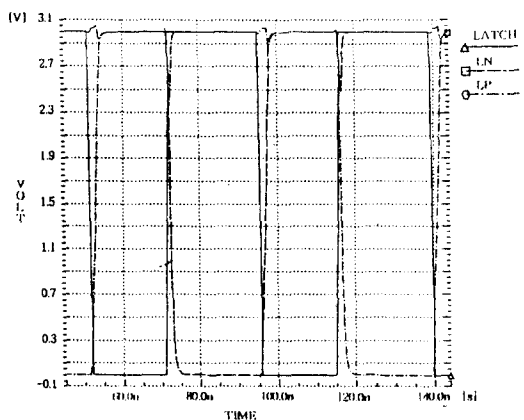


그림 10. 래치의 출력 파형
Fig. 10. Output waveforms of the latch.

그림 10은 래치의 LP와 LN 단자에 나타나는 출력

파형으로 정제환 동작에 의해 래치의 입력 차이 전압을 디지털 신호로 변환시켜 주는 과정을 나타낸다. LATCH가 Low에서는 LP와 LN 단자는 모두 V_{DD} 로 충전되며, LATCH가 High가 되면서 LP와 LN 단자의 전압을 래치의 입력 전압 조건에 의해 V_{DD} 와 V_{SS} 로 증폭된다.

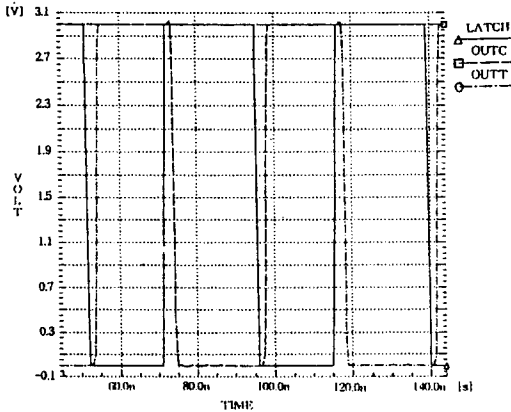


그림 11. 비교기의 최종 출력 파형
Fig. 11. Final output waveforms of the comparator.

그림 11은 래치의 출력이 버퍼 단의 OUTT와 OUTC를 통하여 완전한 디지털 신호로 출력되는 파형으로 비교기의 최종 출력 파형이 된다. 이때 LATCH가 High가 된 후 최종 출력 파형이 나타나는 시간 지연은 2.6 ns이다.

VI. 결 론

본 논문에서는 CMOS 완전 차동 구조를 이용하여, 프리 앰프와 래치로 구성된 비교기를 제안하였다. 제안된 소모 전력 하강 모드 바이어스 회로를 통하여 프리 앰프 및 전체 비교기 전력 소모를 약 1/2로 줄였으며, 프리 앰프는 전압 이득 분석을 통하여 최적의 전압 이득으로 설계되었다. 또한 전력 소모를 최소화 하기 위하여 제안된 단일 바이어스 회로는 복수개의 비교기를 구동하도록 설계되었으며, 이때 4 비트 A/D 변환기를 구동시 비교기는 최대 50 MHz 클럭 주파수로 동작함이 모의 실험으로 확인되었다. 래치는 수학적 부정합 해석을 통해 각 소자 쌍의 부정합이 동적 옵셋에 미치는 영향을 분석하였으며 그 결과는 모의 실험으로 검증되었다. 또 래치의 공통 입력 전압의 변화에 따른

동적 옵셋의 영향을 모의 실험으로 분석하여, 래치의 동적 옵셋이 최소화되도록 프리 앰프의 출력 바이어스 전압을 결정하였다. 모의 실험은 $0.8 \mu\text{m}$ n-well CMOS 공정 변수로 수행 되었으며, 이때 비교기는 3 V에서 20 MHz 클럭으로 동작하는 조건에서 0.16 mW의 전력을 소모하였다.

참 고 문 헌

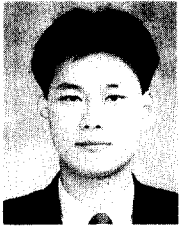
- [1] D. J. Allstot, "A precision variable-supply CMOS comparator," *IEEE J. Solid-state Circuits*, vol. SC-17, no. 6, pp. 1080-1087, Dec 1982.
- [2] B. J. McCarroll, C. G. Sodini, and H. S. Lee, "A high-speed CMOS comparator for use in an ADC," *IEEE J. Solid-state Circuits*, vol. 23, no. 1, pp. 159-165, Feb. 1988.
- [3] B. Razavi and B. A. Wooley, "Design techniques for high-speed, high-resolution comparators," *IEEE J. Solid-state Circuits*, vol. 27, no. 12, pp. 1916-1926, Dec. 1990.
- [4] T. Kobayashi et al., "A current-controlled latch sense amplifier and a static power-saving input buffer for low-power architecture," *IEEE J. Solid-state Circuits*, vol. 28, no. 4, pp. 523-527, April 1993.
- [5] H. Masuda et al., "A 5V-only 64K dynamic RAM based on high S/N design," *IEEE J. Solid state Circuits*, vol. SC-15, no. 5, pp. 846-853, Oct. 1980.
- [6] R. Kraus, "Analysis and reduction of sense-amplifier offset," *IEEE J. Solid-state Circuits*, vol. 24, no. 4, pp. 1028-1033, Aug. 1989.
- [7] N. N. Wang, "On the design of MOS dynamic sense amplifiers," *IEEE Trans. Circuits and Syst.*, vol. CAS-29, pp. 467-477, 1982.
- [8] K. Natori, "Sensitivity of dynamic MOS flip-flop sense amplifiers," *IEEE Trans. Electron Devices*, vol. ED-33, pp. 482-488, 1986.
- [9] R. Sarpeshkar et al., "Mismatch sensitivity of a simultaneously latched CMOS sense

amplifier," *IEEE J. Solid-state Circuits*, vol. 26, no. 10, pp. 1413-1421, Oct. 1989.

[10] J. S. Yuan and J. J. Liou, "An improved

latching pulse design for dynamic sense amplifiers," *IEEE J. Solid-state Circuits*, vol. 25, no. 5, pp. 1294-1299, Oct. 1990.

— 저 자 소 개 —



李 浩 榮(正會員)

1970년 2월 2일생. 서강대학교 전자공학과 학사(1994), 서강대학교 전자공학과 석사(1996), 현재 삼성 전자 연구원. 주요 관심 분야는 반도체 집적 회로 설계,

혼성 모드 회로 설계, 데이터 변환기 설계, 감지 증폭기(sense amplifier) 설계 등임.



郭 明 保(正會員)

1973년 5월 15일생. 서강대학교 전자공학과 학사(1995), 현재 서강대학교 전자공학과 석사 재학중. 주요 관심 분야는 반도체 집적 회로 설계, 혼성 모드 회로 설계, 데이터

변환기 설계, 감지 증폭기(sense amplifier) 설계 등임.

李 承 勳(正會員) 第 32卷 A編 第 12號 參照
現在 西江大學校 電子工學科
助教授