

論文96-33A-6-18

# SEPOX (Selective Poly Oxidation) Process 에서 Si-buffer layer 에 발생하는 Pinhole 현상에 대한 연구

## (Si-buffer Pinholes in the SEPOX (Selective Poly Oxidation) Process)

尹 英 燮 \*

(Yung Sup Yoon)

## 요 약

Sub- $\mu\text{m}$  급 DRAM 에서의 소자간 isolation 기술로 많이 쓰이고 있는 SEPOX (Selective Poly Oxidation) 공정에서 Si buffer 층에 발생하는 pinhole 의 발생 상태를 공정상의 여러 조건을 변화 시켜가며 관찰하여 그 발생 mechanism 을 제시하였다. 즉, pinhole 은 Si 의 산화에 의해 Si-SiO<sub>2</sub> 계면에서 발생한 Si vacancy 들이 결집된 oxidation induced defect 로써, vacancy 들이 pinhole 로 결집되어가는 과정에 Si buffer 층에 가해진 stress 의 분포 및 강도에 따라 pinhole 의 위치, 크기 및 정도가 달라지게 된다. 이 mechanism 으로서 지금까지 관찰된 pinhole 에 관련된 여러 현상을 잘 설명할 수 있다. Si 의 산화시 발생하는 결함으로, 본 저자의 지식으로는 oxidation induced pinhole 에 대한 보고는 본 논문이 처음이다.

## Abstract

We propose a mechanism for the formation of pinholes in the Si-buffer layer, through the observations with varying the process- and structure variables in the SEPOX (Selective Poly-Oxidation) process, an isolation method for sub- $\mu\text{m}$  DRAMs. Pinholes are formed through the accumulation of Si vacancies generated by the oxidation of Si, in which Si atoms leave the sites (vacancies) at the Si/SiO<sub>2</sub> interfaces and diffuse into the oxide to be oxidized near interface. In the course of the accumulation of Si-vacancies, the stress induced in the Si-buffer layer affects the migration of vacancies to result in the final size and distribution of pinholes. This paper may be, to our knowledge, the first report about the oxidation-induced pinhole in the Si/SiO<sub>2</sub> system.

## I. 서 론

ULSI 기술의 급속한 발전으로 IC 의 집적도가 빠른 속도로 증가되고 있다. 소자의 집적도가 증가되면서 cell 간의 isolation 에 여러가지 문제가 발생되고 있는

데 특히 isolation 공정시 Si/SiO<sub>2</sub> 계면에서 발생하는 결함과 관련된 누설전류의 증가가 그것이다. 따라서 sub- $\mu\text{m}$  급 DRAM 에 있어서 isolation 공정시 발생하는 결함에 대한 정확한 이해가 없이는 이러한 문제 점이 집적도 향상에 걸림돌이 될 것이 분명하나 이에 대한 연구는 극히 미비한 실정이다. 현재 SEPOX (Selective Poly Oxidation) isolation 기술은 비교적 단순한 공정으로 효율적인 isolation 을 가능케 함으로써 sub- $\mu\text{m}$  급 DRAM 의 제조에 많이 이용되고 있다.<sup>[1]</sup> 그러나 SEPOX 방법에서도 필드 산화후 질화막 밑에 있는 Si buffer 층의 모서리 부분에 pinhole 이 심하게 형성되고 있음이 발견되었다.<sup>[2]</sup> Su 등<sup>[3]</sup>은

\* 正會員, 仁荷大學校 電子材料工學科

(Dept. of Electronic Materials &amp; Device Engineering, Inha Univ.)

※ 본 연구는 1995년도 인하대학교 교내 연구비 지원에 의해 수행되었습니다.

接受日字: 1995年12月23日, 수정완료일: 1996年5月3日

이러한 결함으로 인해 질화막의 식각시 기관에까지 damage 를 끼칠 수 있다고 보고한바 있는데, 이러한 사실을 감안하면 SEPOX 공정시 Si-buffer 층에 발생하는 pinhole 은 BC contact 특성의 열화를 야기시킬수 있다.

본 연구에서 사용한 SEPOX 공정시 poly-Si 층에 발생하는 pinhole 을 SEPOX 공정상의 여러 조건을 변화시켜 관찰하여 이 결함의 형성 mechanism 을 규명하고자 하였다. 본 연구의 실제적 의의는 Si 의 산화시 형성되는 결함에 대해 보다 깊은 이해를 추구함으로써 차세대 DARM 을 위한 isolation 기술 개발에 일조를 하고자 하는데 있다.

## II. 실험방법

본 연구에서 사용한 SEPOX 공정은 sub- $\mu$ m 급 DRAM 제조에 많이 쓰이고 있는 isolation 방법으로 써 그 공정 순서도는 그림 1과 같다.

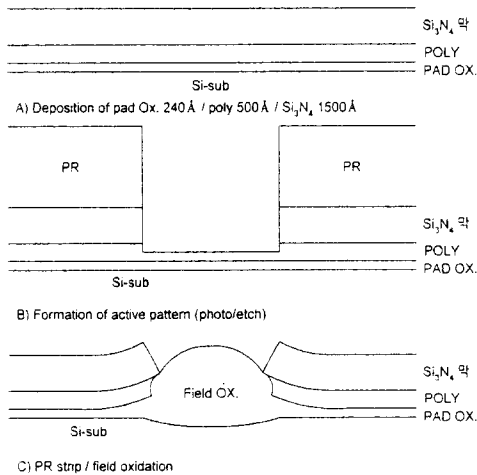


그림 1. SEPOX 공정 흐름도  
Fig. 1. SEPOX process flow.

Si substrate 위에 thermal oxide 를 240Å 기르고 Si buffer layer 를 LPCVD 방법으로 증착 하였다. 그 위에 mask layer 로 사용될 Si<sub>3</sub>N<sub>4</sub> 를 LPCVD 방법으로 증착하였다. 그후 사진과 식각 공정을 거쳐 active pattern 을 형성하는데 이때 photo mask 는 필드 산화시 bird's beak 의 형성을 고려하여 적당한 크기로 sizing 하였다. 필드 영역에 적당량의 채널 stop 이온 주입을 실시한 후 필드 산화를 실시하였다.

필드 산화는 1000°C에서 진행되는데 dry 1시간 + wet 1시간 32분 진행후 순수한 질소 분위기에서 anneal 을 1분 실시하였다. 필드 산화막이 성장되면 mask layer 인 Si<sub>3</sub>N<sub>4</sub> 를 155°C 의 H<sub>3</sub>PO<sub>4</sub> 에 120분 동안 dip 하여 strip 하였다. 이때 wet dip 의 불균일성을 고려하여 충분한 over etch 가 필요하다. 이어서 Si-buffer layer 를 strip 하는데 역시 wet dip 으로도 가능하지만 균일성 면에서 선택비를 향상시킨 dry etch 방법으로 실시하는 것이 유리하다. 본 실험에서는 이러한 SEPOX 공정중 pinhole 에 가장 많은 영향을 주는 공정 parameter 를 찾아내고 그 억제 방법을 찾고자 한다. 따라서 Si<sub>3</sub>N<sub>4</sub> film 두께에 의한 stress 의 영향에 대한 test, buffer layer 막질 및 두께에 대한 test, 고온에서의 buffer layer annealing 에 의한 stress 완화에 대한 영향 test, 필드 산화공정 방법에 따른 test, 복합적인 요인을 동시에 분석하기 위한 layer 에 대한 구조적 변경 test 등을 실시하였다. 표 1에 실험된 내용들을 간략하게 나타내었다.

표 1. SEPOX 공정에서 pinhole 들에 관련된 실험 내용

Table 1. Various experiments for observing the formation of pinholes in the SEPOX process.

| 실험 ITEM                                     |  | 실험 방법  |
|---|--|--|
| active mask layer 및 buffer layer split      | Si <sub>3</sub> N <sub>4</sub> film 두께 | 100Å/1500Å/2000Å   |
|   | poly Si 두께                             | 200Å/500Å/1000Å  |
| buffer layer anneal                         | 1150°C N <sub>2</sub> , 8시간            | poly si 500Å anneal no anneal  |
|   | 1150°C N <sub>2</sub> , 4시간            | amorphous-Si 500Å anneal no anneal                                     |
|   | 1000°C N <sub>2</sub> , 30분            | poly Si/Si <sub>3</sub> N <sub>4</sub> deposition 후 active pattern 형성후 |
| 필드 산화 조건 splie                              | 온도                                     | 100°C/950°C  |
|   | 시간                                     | 1시간/1시간 30분/2시간/2시간 30분  |
|   | recipe                                 | dry+wet/only wet   |
| Si <sub>3</sub> N <sub>4</sub> wet dip time | H <sub>3</sub> SO <sub>4</sub> , 155°C | 60분/80분/100분/120분/140분   |

각 실험에 따른 pinhole 현상에 대한 결과는 주로

SEM 과 TEM 을 이용하여 분석하였고 SUPREM-IV 를 이용한 simulation 도 실시하였다.

### III. 실험결과

#### 1. Active pattern 의 크기에 의한 영향

그림 2 는 sub- $\mu\text{m}$  급 DRAM 에서 SEPOX isolation 공정후  $\text{Si}_3\text{N}_4$  막을 strip 하여 Si-buffer 막에 형성된 pinhole 을 SEM 으로 관찰한 것으로 BC contact 부위와 active 간의 design rule 이 각각  $0.05\mu\text{m}$  (a),  $0.1\mu\text{m}$  (b),  $0.15\mu\text{m}$  (c) 및  $0.2\mu\text{m}$  (d) 이다.



A) B.C. to active= $0.05\mu\text{m}$  B) B.C. to active= $0.10\mu\text{m}$



C) B.C. to active= $0.15\mu\text{m}$  D) B.C. to active= $0.20\mu\text{m}$

그림 2. Active size 에 따른 pinhole 들의 형성  
Fig. 2. Formation of pinholes with varying the active size.

이때 SEPOX 공정은 active mask ( $\text{Si}_3\text{N}_4$ ), buffer (poly-Si) 및 pad oxide 의 두께가 각각  $1500\text{\AA}$ ,  $500\text{\AA}$  이었다. 관찰된 pinhole 의 크기는 대략 직경이 큰 것은  $0.2\mu\text{m}$  정도이고 작은 것은  $0.02\mu\text{m}$  정도인데 active pattern 이 작을수록 pinhole 이 많이 발생되었음을 알 수 있다. 이것은 active pattern 이 작을수록 필드 산화시 poly-Si 막의 모서리 부분이 삼차원적인 stress(3D-defect) 를 많이 받기 때문으로 생각되는데, 다시 말해 pinhole 현상이 stress 에 의해 enhance 되는 성격을 가지고 있는 것임을 알 수 있다. 그림 3은 TEM 으로 pinhole 형성 부위의 단면을 관찰한 사진이다.

Si-sub 위에 pad oxide 와 연결되어 필드 산화막이 형성되어 있고 pad oxide 위에 위치해 있는 poly-Si 층에 pinhole 이 생성되어 있음이 뚜렷이 관찰되고 있다. 특기할 것은 pinhole 들이 대부분  $\text{Si}_3\text{N}_4$  막 쪽으로 열려있는데 이 또한 Si-buffer 막 내의 stress 분포에

의한 영향으로 추측된다.



그림 3. SEPOX 공정 중에서 형성된 pinhole 들의 TEM 사진

Fig. 3. TEM photograph of pinholes formed through the SEPOX process.

#### 2. Active mask layer 두께 및 buffer layer 의 재료구조에 의한 영향

현재  $0.8\mu\text{m}$  급 소자 분리 기술에 있어 활성영역 mask layer 로서  $\text{Si}_3\text{N}_4$   $1500\text{\AA}$  을 사용하고 있는데 이것은 실험을 통해 최적화된 것으로  $1500\text{\AA}$  이하이면 channel stop implantation 시 mask 역할을 제대로 못해 활성영역에 counter doping 될 우려가 있으며 또한 필드 산화막 형성후 bird's beak 도 커지게 되므로 적정 활성 영역 확보에 어려움이 있다. 또  $1500\text{\AA}$  이상이면 3D defect 를 받는 모서리 부위의 high stress 로 인해 활성 영역 특성의 악화를 가져온다. 그림 4는  $\text{Si}_3\text{N}_4$  두께가 각각  $1000\text{\AA}$ (a),  $1500\text{\AA}$ (b),  $2000\text{\AA}$ (c) 일때 필드 산화후 pinhole 현상을 나타낸 것으로  $\text{Si}_3\text{N}_4$  두께가 두꺼울수록 pinhole 현상이 심하게 나타나고 있다.

이것으로부터  $\text{Si}_3\text{N}_4$  두께가 두꺼울수록 buffer layer 에 대한 stress 가 커짐으로서 pinhole 현상도 심해짐을 알 수 있다. 현재 최적화된 buffer layer 로는 poly-Si  $500\text{\AA}$  이다.  $500\text{\AA}$  이하일때는 stress buffer 기능이 약하고  $500\text{\AA}$  이상 일때는 substrate 에 대해 recess 되는 양에 비해 over layered 양이 더 많아지므로 cell 형성 영역의 단차 확보에 불리하기 때문이다. 바로 이 buffer layer 에서 pinhole 이 형성되는데 buffer layer 의 재료구조를 달리하여 pinhole 현상을 관찰하였다. 즉, buffer layer 를 amorphous-Si 과 poly-Si 을 사용했을때의 각각에 대한 pinhole 발생 상태는 별 차이가 없는 것으로 관찰되었다.

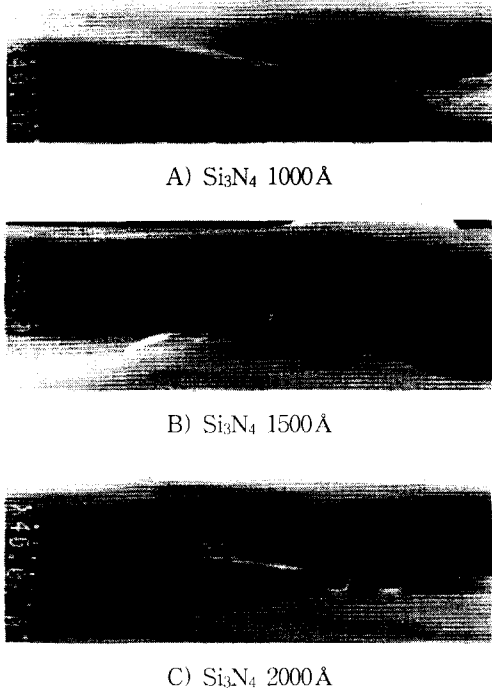


그림 4. Si<sub>3</sub>N<sub>4</sub> 두께에 따른 pinhole 들의 형성 (pad ox. 240Å/poly-Si 500Å)  
 Fig. 4. Formation of pinholes with varying the Si<sub>3</sub>N<sub>4</sub> thickness.

3. Buffer layer 의 annealing 에 의한 영향

Buffer layer 증착 후 1150°C, N<sub>2</sub> 분위기에서 8시간과 4시간 동안 각각 annealing 을 실시하였고, 1000°C, N<sub>2</sub> 분위기에서 buffer layer 증착후와 Si<sub>3</sub>N<sub>4</sub> 증착 후 및 active pattern 형성후에 각각 annealing 을 실시하였다. 이는 필드 산화전에 buffer layer 에 부가되어 있을지 모르는 stress 를 제거한다는 목적이었다. Si<sub>3</sub>N<sub>4</sub> 증착 후 annealing 을 실시한 경우 필드 산화시 pinhole 발생상태가 annealing 을 실시한 경우도 별 차이가 없음이 관찰되었다. 이는 pinhole 발생 상태에 영향을 주는 stress 의 대부분은 필드 산화시 발생함을 의미한다.

4. 필드 산화 조건에 따른 영향

필드 산화후 SEM 으로 관찰해 보면 pinhole 현상은 필드 산화시 발생하는 것으로 판단할 수 있다. 따라서 필드 산화 공정 recipe 중 어느 parameter 가 pinhole 현상에 가장 많은 영향을 주는가를 알아보기 위해 필드 산화 공정을 1000°C에서 1시간/1시간 30분

/2시간, 900°C에서 1시간 30분/2시간/2시간 30분, 1000°C, 순수 wet 공정 등으로 split test 를 실시하였다. 그림 5에 필드 산화 공정 조건에 따른 pinhole 현상을 나타내었는데 같은 온도에서는 두꺼울수록 pinhole 현상이 크게 나타난다.

또한 같은 시간에서 900°C 에 비해 1000°C 일 경우에도 산화막 두께가 더 크게 자람으로 마찬가지로 효과를 보인다. 1000°C 에서 순수 wet 분위기에 비해 산화막은 더 많이 자라게 되므로 역시 같은 효과를 나타낸다. 1000°C, 1시간인 경우 산화막 두께는 약 3830 Å, 950°C, 1시간 30분인 경우 산화막 두께는 약 3590 Å 정도이다.

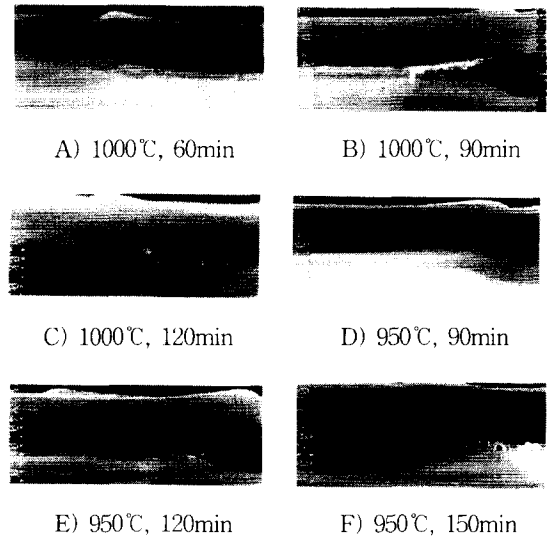


그림 5. Field 산화 공정조건에 따른 pinhole 들의 형성  
 Fig. 5. Formation of pinholes with varying the process conditions of field oxidation.

이 두 경우를 비교해 볼 때 1000°C, 1시간 경우에는 pinhole 현상이 더 심하게 나타나는데 이것으로부터 pinhole 현상은 필드 산화시 온도, 시간 등의 recipe 변화보다는 최종적으로 걸러지는 산화막의 두께에 관계되는 것으로 관찰되었다.

5. 필드 산화후 Si<sub>3</sub>N<sub>4</sub> wet dip 에 의한 영향

현재의 normal SEPOX 공정에서 생겨나는 pinhole 현상이 야기시킬 수 있는 문제점으로는 필드 산화시에 Si 기판이 받는 stress 뿐만 아니라 필드 산화후 mask layer 인 Si<sub>3</sub>N<sub>4</sub> film 을 strip 할 때 Si 기판이 pinhole 을 통하여 H<sub>3</sub>PO<sub>4</sub> chemical 의 attack 을 받

는 것이다. 최악의 경우로서 pinhole 이 pad oxide 와의 계면에서부터  $\text{Si}_3\text{N}_4$  film 과의 계면까지 생겨났다고 가정하면  $\text{H}_3\text{PO}_4$  에 대한 oxide 의 식각률은 약 1 Å/min 이므로  $\text{H}_3\text{PO}_4$  dip 동안에 총 120 Å 정도의 oxide 가 식각된다. 즉, pad oxide 두께의 반이 식각되고 다음 step 인 Si buffer layer strip 시 선택비가 크지 않을 경우 남은 oxide 를 식각하고 Si 기판을 식각할 가능성도 있다. 이러한 관점에서  $\text{H}_3\text{PO}_4$  dip time 을 split 하여 Si 기판의 attack 정도를 알아보았다. 그림 6에서 보듯이  $\text{H}_3\text{PO}_4$  dip time 을 60분에서 120분 까지 20분 간격으로 split 하였으나 어느 group 에서도 Si 기판에 대한 attack 은 관찰되지 않았다.

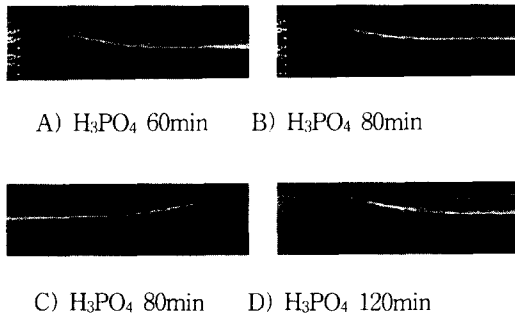


그림 6. Field 산화후  $\text{Si}_3\text{N}_4$  wet-dip-time 에 따른 pinhole 들의 생성 (155°C,  $\text{H}_3\text{PO}_4$ )  
 Fig. 6. Appearance of pinholes with varying the  $\text{Si}_3\text{N}_4$  wet-dip-time after field oxidation (155°C,  $\text{H}_3\text{PO}_4$ ).

단지 dip time 이 길어지면 pinhole 의 side 가  $\text{H}_3\text{PO}_4$ 에 의해 식각되는 양이 많아져  $\text{Si}_3\text{N}_4$  film strip 후에는 그 크기가 크게 보일 뿐이다. 따라서 현재의 normal 120분 dip 공정으로는 Si 기판에 대한 attack 은 발생되지 않는 것으로 확인되었다.

#### IV. 고찰

앞에서와 같이 관찰한 SEPOX 공정시 Si buffer 층에서의 pinhole 현상은 pinhole 들이 형성되는 부위와 active pattern 의 크기 및  $\text{Si}_3\text{N}_4$  막의 두께에 따라 pinhole 의 크기 및 density 가 크게 변화하는 것으로 보아 Si buffer 층에 분포되는 stress 에 의해 크게 영향을 받음을 알 수 있다. 그림 7은 SUPREM IV 를 이용하여 stress 분포상황을 simulation 해본 결과이다.

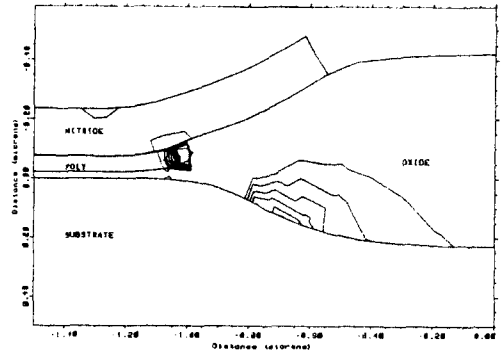


그림 7. SUPREM IV 를 이용하여 simulation 한 stress 분포상황  
 Fig. 7. SEPOX process stress simulation by SUPREM IV.

이 그림에서 볼 수 있는 바와 같이 Si buffer 층의 모서리 부분이 stress 를 가장 많이 받고 있는데 pinhole 의 발생 부위 역시 이 부분과 일치한다. 따라서 이 현상은 stress enhanced migration 에 의한 현상으로 이해될 수 있다. 한편, pinhole 이란 vacancy 들의 집합체로 이해될 수 있는데 이러한 pinhole 들을 형성하는데 필요한 vacancy 들은 어디로부터 공급되는 것일까 하는 의문이 남는다. 우선, 증착된 Si-buffer 막에 원래 내재되어 있는 vacancy 또는 micro-pinhole 등의 결함들이 SEPOX 공정시 Si-buffer 층에 발생하는 stress 에 의해 migration 이 enhance 되어 pinhole 을 형성하는데 어느 정도 기여를 하리라 생각되나 형성되는 pinhole 들의 크기 및 density 로 보아 그 기여도는 크지 않을 것으로 생각된다. 따라서 이 pinhole 들을 형성하는데 필요한 많은 부분의 vacancy 들은 Si 의 산화시 발생하는 것으로 볼 수 있다. Tiller<sup>[4]</sup> 는 Si 의 산화물 형성 mechanism 을 다음과 같이 설명하였다. Si 이 산화될 때 Si/SiO<sub>2</sub> 계면에서 발생하는 excess surface energy 를 줄이기 위해 Si 원자들이 oxide 속으로 확산되어 들어가는데 이들 Si 원자들이 oxide 내의 Si/SiO<sub>2</sub> 계면으로부터 매우 가까운데에서 확산되어 들어오는 산소와 반응하여 산화된다. 새로이 생성된 SiO<sub>2</sub> 에 의해 기존의 SiO<sub>2</sub> lattice 가 심하게 왜곡되어 SiO<sub>2</sub> 는 amorphous 조직을 이루게 된다. 이상과 같이 Tiller<sup>[4]</sup> 가 제안한 Si 산화 mechanism 에서 주목할 것은 Si/SiO<sub>2</sub> 계면에서 interstitial Si 이 생성되고 이 Si 원자가 SiO<sub>2</sub> 안으로 확산되어 SiO<sub>2</sub> 안에서 산화

되어 산화물을 형성한다는 점이다. 이와 같은 점은 Hu<sup>[5]</sup> 가 제안한 Si 산화 mechanism 을 비롯하여 Tan과 Gosele<sup>[6]</sup>, 및 Taniguchi 등<sup>[7]</sup>이 제안한 mechanism 들에도 공통적으로 발견되고 있다. Si/SiO<sub>2</sub> 계면에서 interstitial Si 이 형성됨은 바로 Si 와 vacancy 도 형성될 수 있음을 말해주는데 Hill<sup>[8]</sup>, Mizno 와 Higuchi 등<sup>[9]</sup>이 Si 의 산화시 발생하는 impurity 들의 oxidation retarded diffusion (ORD) 현상을 설명하기 위해 Si/SiO<sub>2</sub> 계면에서 Si vacancy 가 형성되어 Si 쪽으로 diffusion 된다는 mechanism 을 제시한바 있다. 앞에서 언급한바와 같이 SEPOX 공정에서 pinhole 의 생성을 설명하기 위해서는 Si/SiO<sub>2</sub> 계면에서 vacancy 의 형성이 전제되지 않으면 안되는데 이는 앞에서 예시한 여러 Si 의 산화물 형성 mechanism 들과 일치하는 점이다. 그림 8 은 이상의 고찰을 통하여 제시하려고 하는 SEPOX pinhole 의 생성 mechanism 을 도식화한 것이다.

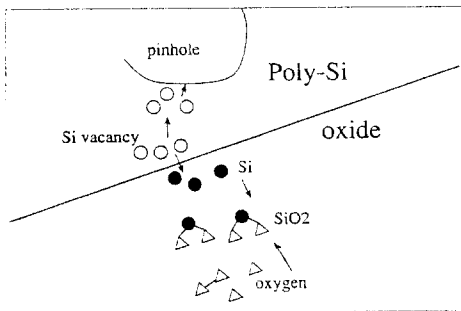


그림 8. SEPOX 공정에서 pinhole 들의 형성에 관한 개략도

Fig. 8. Schematic illustration for the formation of pinholes in the SEPOX process.

Si/SiO<sub>2</sub> 계면에서 생성된 vacancy 들이 Si buffer 막에서 stress 가 많이 가해진 부분으로 injection 되어 pinhole 을 형성하게 되고 oxide 쪽으로 확산되어 들어간 Si 원자들은 Si/SiO<sub>2</sub> 계면 근처에서 확산되어 들어오는 산소와 반응하여 산화물을 형성하게 되는 것으로 설명할 수 있다. 다시 말하면, 이러한 pinhole 의 형성은 Si/SiO<sub>2</sub> 계면에서의 Si vacancy 의 생성을 증명시켜주는 확실한 근거라 하겠다. 앞에서 언급한 실험 결과 중 pinhole 현상이 필드 산화시 온도, 시간 및 방법 등의 변화보다는 최종적으로 길러지는 산화막의 두께(양)에 우선적으로 관련되어 있다는 것도 그림 8에

도식화한 SEPOX pinhole 생성 mechanism 으로 잘 설명되어질 수 있다.

즉, 길러진 산화물의 양이 많을수록 이때 생성되는 vacancy 의 양도 비례하여 증가하기 때문이고 아울러 Si buffer 층에 가해지는 stress 도 심해지기 때문으로 설명될 수 있다. Si 의 산화시 발생하는 결함으로는 stacking faults<sup>[10-13]</sup> 와 segregation<sup>[14]</sup> 에 관한 연구사례는 많이 보고되어 왔으나, 본 저자의 지식으로는, oxidation-induced pinhole 에 대한 보고는 본 논문이 처음이 아닌가 한다.

## V. 결 론

SEPOX 공정상의 여러 공정조건을 변화하여 가며 pinhole 의 발생 상태를 관찰한 결과와 이의 고찰을 통해 얻은 결론은 다음과 같다. SEPOX 공정에서 Si buffer 층에 발생하는 pinhole 은 Si 의 산화에 의해 Si/SiO<sub>2</sub> 계면에서 발생한 Si vacancy 들이 결집된 oxidation induced defect 로써 vacancy 들이 결집되어 가는 과정에 Si buffer 층에 가해진 stress 의 분포 및 강도에 따라 pinhole 의 위치, 크기, 및 정도가 크게 달라지게 된다. 다른 조건은 같게하고 단지 필드 산화시 온도, 시간 및 산화방법을 변화 시킬 때 pinhole 발생의 정도는 최종적으로 길러지는 산화의 두께(양)에 의해 우선적으로 결정되는데 이 현상도 앞에서 말한 mechanism 으로 잘 설명되어진다.

즉, 필드 확산시 형성되는 vacancy 양은 물론 Si buffer 층에 가해지는 stress 분포도 최종적으로 길러지는 산화막의 두께(양)에 의해 결정되기 때문이다. Si<sub>3</sub>N<sub>4</sub> mask 층의 두께를 줄여줌으로써 Si buffer 에 가해지는 stress 를 줄여 pinhole 의 형성을 완화시켜 줄 수 있다. 그러나 현재 sub- $\mu\text{m}$  급 제조에 쓰이고 있는 normal SEPOX 공정 (Si<sub>3</sub>N<sub>4</sub> 두께 : 1500 Å)에서 발생하는 pinhole 들은 nitride strip 시 Si 기판에 식각 damage 를 줄 정도는 아니고 nitride 의 두께가 1500 Å 보다 작아지면 bird's beak 이 커질뿐 아니라 channel stop implantation 시 mask 역할을 못하게 되므로 nitride 의 두께는 1500 Å 정도로 유지하는 것이 좋을 것이다. Si 의 산화시 발생하는 결함으로는 stacking fault<sup>[10-13]</sup> 와 segregation<sup>[14]</sup> 에 관한 연구 사례는 많이 보고되어 왔으나, 본 저자의 지식으로는, oxidation induced pinhole 에 대한 본 논문이

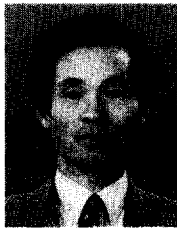
처음이다. 아울러 SEPOX 공정에서의 pinhole 발생현상은 그 동안 가능성만 제시되어온 Si 산화시 Si/SiO<sub>2</sub> 계면에서의 vacancy 생성을 직접적으로 증명해주는 현상으로 학술적으로 큰 가치가 있다.

끝으로 차세대 DRAM 에서의 isolation 공정개발에는 결함과 관련된 누설 전류가 큰 문제가 될 것이므로 Si 산화시 유발되는 결함들을 고려하여 normal 한 펄드 산화법을 이용한 isolation 방법의 한계를 인식하여야 할 것이다.

### 참 고 문 헌

- [1] J. Matsunaga, N. Matsukawa, H. Nozawa, and S. Kohyama IEDM Tech. Dig. p.565, Dec, 1980.
- [2] 최영제, 김영필, 삼성전자 기술개발조사 보고서 PR-561-910271
- [3] W. D. Su, Paul P. J. Lee, C. C. Chang, and C. H. Cheng, VLSITA Tech. Dig. p.43, 1991.
- [4] W. A. Tiller, J. Electrochem. Soc. 127, 619(1980).
- [5] S. M. Hu, J. Appl Phys. 45, 1567(1974).
- [6] T. Y. Tan and U. Gosele, Appl. Phys Lett. 39, 86(1981).
- [7] K. Taniguchi, Y. Shibata, and C. Hamaguchi, J. Appl. Phys. 65, 2723(1989).
- [8] C. Hill, in semiconductor Silicon 1981(The Electro-Chemical Society, Pennington, Nj, 1981), p.988.
- [9] S. Mizuno and H. Higuchi, Jpn. J. Appl. Phys. 21, 56(1982).
- [10] A. M. Lin, R. W. Dutton, D. A. Antonizdis, and W. A. Tiller, J. Electrochem. Soc. 128, 1211(1981).
- [11] S. P. Muraka, Phys. Rev. B16, 2849(1977).
- [12] S. P. Muraka and G. Quintana, J. Appl. Phys. 49, 46(1977).
- [13] W. A. Fisher and J. A. Amick, J. Electrochem. Soc 113, 1054(1966).
- [14] W. A. Tiller, J. Electrochem. Soc. 128, 689(1981).

### 저 자 소 개



#### 尹 英 燮(正會員)

1952년 9월 7일생. 1975년 2월 서울대학교 금속공학과 졸업(B.S.) 1977년 2월 한국과학기술원 재료공학과 졸업(M.S.) 1988년 12월 U.S.C. 전자공학과 졸업(Ph.D) 1987년 3월~1988년 5월 Oklahoma State University 대우교수. 1988년 1월~1989년 6월 UCLA Device Research Lab. 연구원. 1989년 8월~1992년 2월 삼성전자 기흥반도체연구소 수석연구원. 1994년 4월~인하대학교 전자재료공학과 부교수. 주관심분야는 ULSI DRAM을 위한 신물질 개발, 강유전성 박막, Pyroelectric 센서, SAW Device