

論文96-33A-6-28

고정밀 CMOS Sample-and-Hold 증폭기 설계 기법 및 성능 비교

(The Design of High-Accuracy CMOS Sample-and-Hold Amplifiers)

崔熙哲*, 張棟映*, 李姝勳*, 李承勳*

(Hee-Cheol Choi, Dong-Young Chang, Seung-Hoon Lee, and Seung-Hoon Lee)

요 약

CMOS 공정을 사용하는 Sample-and-Hold 증폭기 (SHA)의 정밀도는 연산 증폭기 (op amp) 자체의 선형성 오차 (linearity error), 스위치에서 발생하는 임의의 피드스루 오차 (feedthrough error) 등과 같은 실제 회로의 부정확성에 의해 제한을 받게 된다. 이러한 제한과 관련하여 본 논문에서는 높은 선형성을 갖는 연산 증폭기의 설계 방법에 대하여 논의하고, 세 가지 각각 다른 영상 신호 처리용 5 V SHA를 설계하여, 모의 실험 결과의 비교 분석을 통한 회로 내의 오차를 최소화시키는 기법 및 12 비트 이상의 정밀도를 갖는 CMOS SHA 설계 기법을 제안한다.

Abstract

The accuracy of Sample-and-Hold Amplifiers (SHA's) employing a CMOS process is limited by nonideal factors such as linearity errors of an op amp and feedthrough errors of switches. In this work, after some linearity improvement techniques for an op amp are discussed, three different SHA's for video signal processing are designed, simulated, and compared. The CMOS SHA design techniques with a 12-bit level accuracy are proposed by minimizing circuit errors based on the simulated results.

I. 서 론

영상 및 음성 신호의 전반부를 처리하는 시스템의 입력단인 SHA를 설계할 때, CMOS 공정을 사용하여 온-칩 (on-chip) 화할 경우 저전력 회로 구현이 가능하며, 동시에 고집적이 가능하여 시스템의 가격을 낮출 수 있다는 장점이 있다. 이러한 SHA는 시스템 전체에서 가장 높은 정밀도를 갖도록 설계되어야 하나, CMOS 공정을 사용하면서 10 비트 이상의 정밀도가 요구되는 SHA의 설계, 그 중에서도 특히 궤환

(feedback) 구조를 가진 연산 증폭기 및 switched-capacitor 구조를 사용하는 회로의 설계에서는 실제 회로의 부정확성으로 인하여 전체 시스템에서 요구되는 정밀도를 만족시키지 못하는 경우가 많다.

실제 SHA의 성능을 제한하는 회로의 부정확성은 크게 두 가지로 분류할 수 있다. 첫째로 증폭기 자체의 선형성 오차에 의한 요인을 들 수 있으며, 둘째로 샘플링 MOS 스위치들 사이에서 발생하는 채널 전하 피드스루 (channel-charge feedthrough), 클럭 피드스루 (clock feedthrough) 등의 오차에 의한 요인을 들 수 있다^{[1]-[2]}. 이러한 피드스루 오차 요인들은 대략 10 비트 이하의 정밀도를 요구하는 시스템에 사용되는 회로의 경우, 기존의 피드스루 오차 최소화 기법을 통하여 원하는 정밀도에 주요한 제한 요소로 작용하지 않도록 설계가 가능하나, 10 비트 이상의 정밀도를 요구하는 시스템에 사용되는 회로에서는 전체 시스템의 정밀도를 제한하는 주요한 요소로 작용할 수 있다^{[3]-[4]}

* 正會員. 西江大學校 電子工學科

(Dept. of Elec. Eng., Sogang Univ.)

※ 이 연구는 '96년도 한국 과학재단 연구비 지원에 의한 결과임.(과제번호 961-0919 100-1)

接受日字: 1995年11月17日, 수정완료일: 1996年4月25日

1. 이러한 피드스루 오차는 보정 (calibration), 교정 (correction), 및 여분의 (dummy) 스위치 사용 등의 부가적인 기술들을 사용함으로써 제거할 수도 있으나 [5], [6], 본 논문에서는 이러한 부가적인 회로를 사용하지 않고 전형적인 가장 간단한 형태의 SHA 구조를 사용하면서도 피드스루 오차를 최소화할 수 있는 기법에 대하여 논의하고, 회로의 선형성을 증가시킬 수 있는 추가적인 방법 및 12 비트 이상의 정밀도를 가진 영상 신호 처리용 5 V CMOS SHA의 설계 기법을 제안한다.

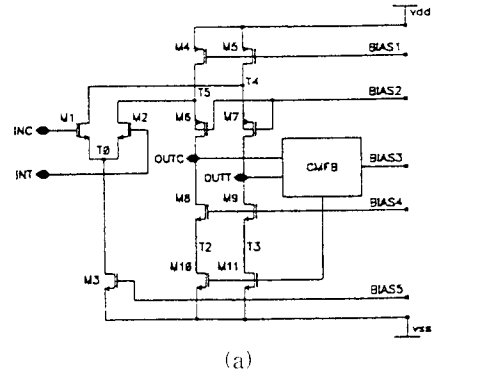
II장에서는 고속 영상 신호 처리가 가능하며 높은 선형성을 갖는 연산 증폭기의 설계 기법에 대하여 간략하게 논의하고, III장에서는 전형적으로 사용되고 있는 기존의 피드스루 오차 최소화 기법들을 살펴본다. IV장에서는 III장에서 언급한 기법 이외에 선형성을 증가시킬 수 있는 몇 가지 기법들을 제시하고, V장에서는 진장들에서 논의한 결과를 토대로 영상 신호 처리용 5 V SHA를 세 가지 형태로 설계하고, 모의 실험에서 얻은 결과의 비교 분석을 통하여 12 비트 이상의 정밀도를 가진 CMOS SHA의 설계 기법을 제안한다.

II. 높은 선형성을 갖는 연산 증폭기

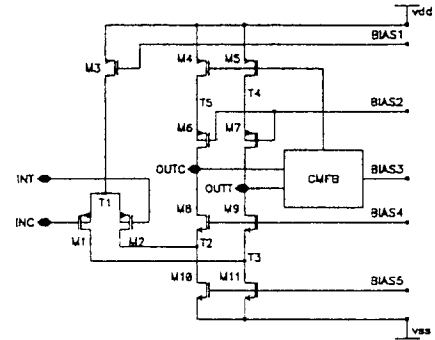
고속 영상 신호 처리를 위한 5 V용 CMOS SHA에 사용되는 연산 증폭기를 설계할 때, 많은 구조가 실현 가능하다. 적은 면적으로도 비교적 큰 온-칩 캐패시터 부하를 고속으로 구동할 수 있는 구조 중의 하나로 differential folded-cascode 연산 증폭기 구조를 들 수 있다 [17], [18].

Differential folded-cascode 구조를 가진 연산 증폭기는 여러 가지 형태가 있을 수 있으나, 가장 간단한 형태는 그림 1 (a)의 amp1과 같다. 그림 1의 각 연산 증폭기에서 CMFB는 공통 모드 케환(common mode feedback) 회로로 출력 전압의 공통 모드를 잡아주기 위한 회로이다. 전형적인 CMFB 회로로는 연속적인 전류의 구동을 필요로 하며 클럭을 사용하지 않는 형태인 정적 (static) CMFB와 스위치, 캐패시터, 및 클럭 등을 사용하여 전력 소모를 줄일 수 있는 형태인 동적 (dynamic) CMFB의 두 가지 형태가 있으며, 두 형태 모두 사용이 가능하다 [5], [9]. 연산 증폭기의 입력단은 그림 1 (b)의 amp2처럼 PMOS만으로 설계할 수도 있으며, 그림 1 (c)의 amp3처럼 상보 차동 쌍

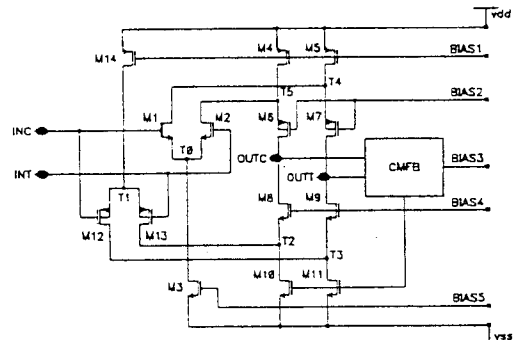
(complementary differential-pair) 구조로 설계할 수도 있다. amp1은 같은 동작 조건일 때, 세 구조 중에서 입력단의 입력 캐패시턴스가 가장 작고 이로 인한 feedback factor가 가장 크므로 같은 단위 이득 주파수 폭 (unit-gain bandwidth : UGBW)에 대하여 좀더 높은 동작 속도를 가진다는 장점이 있다. 그 반면, amp3은 앞의 두 구조에 비해 소자를 추가로 몇 개 더 사용한다는 단점이 있으나, 입력의 공통 모드의 변화에 비교적 덜 민감하다는 장점이 있다.



(a)



(b)



(c)

그림 1. Differential folded-cascode 연산 증폭기: (a) amp1, (b) amp2, 및 (c) amp3

Fig. 1. Differential folded-cascode op amps: (a) amp1, (b) amp2, and (c) amp3.

표 1. 세 가지 다른 연산 증폭기의 성능 비교
Table 1. Performance of three different op amps.

구분 amp	입력 G_m	전압이득	UGBW	소비전력	면 적
amp1	6.08[m Ω]	60.3dB	110MHz	14.6mW	100% (기준)
amp2	5.89[m Ω]	64.3dB		14.4mW	101%
amp3	5.92[m Ω]	65.1dB		12.4mW	82%

이러한 세 가지 연산 증폭기의 성능을 비교하기 위해 0.8 μm n-well CMOS 공정 변수를 사용하여 6 pF 정도의 캐패시터 성분으로 구성된 부하 조건에 대해 110 MHz 정도의 단위 이득 주파수 폭과 60 dB 이상의 DC 전압 이득을 얻도록 설계하여 모의 실험하면 표 1과 같다. 표 1은 필요한 소비 전력 및 면적 등을 바이어스 (bias) 회로를 제외한 연산 증폭기만의 값으로 비교하였다. 면적의 경우는 amp1의 트랜지스터 면적을 기준으로 하였을 때 amp3이 다른 두 구조에 비해 약 18 % 정도의 이득이 있음을 알 수 있고, 소비 전력은 세 구조 모두 비슷함을 알 수 있다. DC 전압 이득 (A_v)은 입력단의 트랜스컨덕턴스 (G_m)와 출력단의 임피던스 (R_o)의 곱으로, amp1, amp2의 경우는 근사적으로 식 (1)과 같이 나타낼 수 있으며, amp3의 경우는 식 (2)와 같이 나타낼 수 있다¹⁰⁾.

$$A_v (amp1,2) \approx g_{m1} * [R_{o1} \parallel R_{o2}] \quad (1)$$

$$A_v (amp3) \approx (g_{m1} + g_{m12}) * [R_{o1} \parallel R_{o2}] \quad (2)$$

$$\begin{aligned} \text{단, } R_{o1} &\approx r_{o1} * (1 + g_{m1} * r_{o6}) \\ R_{o2} &\approx r_{o2} * (1 + g_{m2} * r_{o4}) \text{ 이다.} \end{aligned}$$

식 (1), (2)에서 g_m 은 MOS의 트랜스컨덕턴스를 나타내며, r_o 는 MOS의 출력 임피던스를 나타낸다. 표 1에서 살펴보면, 세 구조의 연산 증폭기는 모두 비슷한 입력 트랜스컨덕턴스 G_m 값을 갖고 있으나, DC 전압 이득은 amp1이 가장 작고 amp3이 가장 크다. 그 이유는 설계 또는 공정에 따라 차이는 있으나, amp3의 경우는 PMOS쪽의 출력 임피던스 R_{o1} 과 NMOS쪽의 출력 임피던스 R_{o2} 가 비교적 비슷한 값을 갖고 있으나, amp1의 경우는 amp3의 경우에 비해 PMOS쪽의 출력 임피던스 R_{o1} 은 작고 NMOS쪽의 출력 임피던스 R_{o2} 는 큰 값을 갖고 있는데, 실제 출력 임피던스는 R_{o1} 과 R_{o2} 의 병렬 연결이 되기 때문이다.

이러한 연산 증폭기를 내장한 SHA가 12 비트 이상의 정밀도를 가지려면 연산 증폭기 자체도 최소한 12 비트 이상의 선형성을 가져야 하는데, 사용하는 공정에 따라 많은 차이는 있지만, 연산 증폭기가 12 비트 또는 그 이상의 선형성을 가질 수 있도록 설계하려면 다음과 같은 점들을 주의하여 설계하여야 할 필요가 있다.

첫째, 연산 증폭기의 선형성에 영향을 끼치는 요소로, 제한된 이득 및 PMOS와 NMOS의 channel-length modulation 효과의 차이 등을 고려할 수 있으며, 그림 1의 각 연산 증폭기에서 BIAS1~BIAS5의 전압 수준의 결정도 큰 영향을 미친다. 각 바이어스 수준의 결정에서 BIAS2 및 BIAS4의 전압 수준은 보통 아래와 같은 수식에 의하여 결정된다.

$$V_{BIAS2} \approx [V_{o,cm} + 1V] + \Delta V - V_{tp} \quad (3)$$

$$V_{BIAS4} \approx [V_{o,cm} - 1V] - \Delta V + V_{tn} \quad (4)$$

$$\text{단, } \Delta V = \sqrt{\frac{2 I_{tp}}{\mu_o C_{ox} (W/L)}} \text{ 이다.}$$

식 (3), (4)에서 $V_{o,cm}$ 은 공통 모드 출력 전압을 나타내며 출력 전압을 공통 모드 출력 전압으로부터 ± 1 V 정도의 스윙 영역을 갖도록 한 것이다. 또, ΔV 는 각 트랜지스터가 포화 (saturation) 영역에서 동작할 때의 V_{DS} 값으로 보통 0.2~0.5 V 정도의 값을 가지며, V_{tp} , V_{tn} 은 각각 PMOS와 NMOS의 문턱 전압 (threshold voltage)을 나타낸다. 위의 수식에서 결정된 바이어스 전압으로부터 BIAS2의 전압을 좀더 높이고 BIAS4의 전압을 좀더 낮추면, 저 주파수에서의 전압 이득과 출력 전압의 스윙 영역이 증가하게 되는데, 일정한 값 이상에서는 각 연산 증폭기의 T2, T3 단자 및 T4, T5 단자의 스윙 영역 제한 등으로 인해 선형성이 감소하게 된다. 즉, 필요 이상으로 출력 전압의 스윙 영역을 얻기 위해 바이어스 수준을 결정하는 것은 오히려 선형성을 떨어뜨리게 된다.

둘째, 다른 주요한 연산 증폭기의 선형성 제한 요소로는 입력단 트랜지스터의 크기를 들 수 있다. 같은 입력 트랜스컨덕턴스 (G_m)를 갖더라도 M1, M2, M12, M13의 크기를 가능한 한 작게 설계하는 것이 선형성을 좋게 한다. 그 이유는 트랜지스터의 크기가 커질수록 게이트와 드레인, 게이트와 소스 사이에 존재하는 오버랩 (overlap) 캐패시터에 의한 기생 캐패시턴스가 증가하게 되는데, 이는 입력 신호가 변화할 때 그 입력

신호가 T2, T3 단자 및 T4, T5 단자에 영향을 주게 되어 연산 증폭기의 선형성을 감소시키기 때문이다.

III. 기존의 피드스루 오차 최소화 기법

CMOS 공정을 사용하며 캐환 구조를 가진 연산 증폭기 및 switched-capacitor 구조를 가진 회로 설계에서 피드스루 오차는 SHA 뿐만 아니라 여러 가지 혼성 모드 회로의 정밀도를 제한하는 주요한 요인 중 하나이다.

이러한 피드스루 오차에는 샘플링 스위치가 턴-온(turn-on) 상태에서 턴-오프(turn-off) 상태가 될 때 스위치의 채널에 남아 있던 전하에 의해 발생하는 채널 전하 피드스루 오차, 클럭이 천이할 때 오버랩 캐패시터를 통해서 샘플링된 입력 신호에 영향을 주는 클럭 피드스루 오차 등이 있다. 기존의 피드스루 오차 최소화 기법으로는 보정, 교정, 또는 여분의 스위치 사용 등의 부가적인 회로와 기술들을 사용하는 기법과, 이러한 부가적인 회로와 기술들을 사용하지 않는 기법 등이 있다. 부가적인 회로와 기술들을 사용하지 않는 기법으로는 완전 차동 (fully differential) 구조의 사용, bottom-plate 샘플링 구조의 사용 등이 있다^{[11]-[12]}

1. 완전 차동 구조는 피드스루에 의해 나타나는 오프셋(offset) 전압을 일차적으로 상쇄하고, 실제 공정상에서 생길 수 있는 회로 내의 소자들의 부정합에 의한 영향들을 줄임과 동시에 처리된 신호의 스윙 영역을 증가시킬 수 있다. Bottom-plate 샘플링 기본 구조는 그림 2와 같으며, 상보 스위치가 턴-오프될 때 C_s 에 저장되는 피드스루 오차는 스위치의 크기 및 C_s 의 크기에 관계가 있으나, 캐패시터 bottom-plate에 연결된 스위치를 먼저 턴-오프시킬 경우 캐패시터 bottom-plate는 높은 임피던스 단자가 되어 C_s 에 저장되는 입력 신호에 의존하는 성분에 의한 피드스루 오차를 최소화할 수 있다.

IV. 제안된 선형성 향상 기법

영상 신호를 처리하는 SHA 회로에서 특히 수 MHz 이상의 입력 신호를 처리할 때에는 피드스루 오차뿐만 아니라 샘플링의 정밀도가 전체 SHA의 정밀도를 좌우한다. 따라서, 본 장에서는 III장에서 언급한 기존의 피드스루 오차 최소화 기법 이외에 추가적인 회로의 사

용 없이 수 MHz 이상의 입력 신호에 대해서도 선형성을 증가시킬 수 있는 방법들로 상보 스위치를 동시에 턴-온, 턴-오프 시켜 주는 클럭인 Q 신호와 QB 신호와의 동작 시간 차이 조정, 및 비슷한 온-저항(on-resistance) 값을 갖기 위한 상보 스위치의 크기 비율 조정을 제안한다.

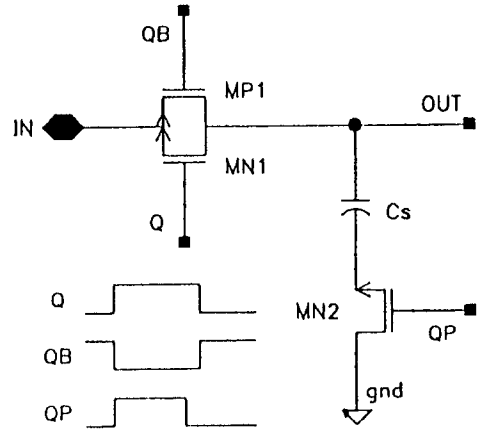


그림 2. 전형적인 bottom-plate 샘플링 구조
Fig. 2. Conventional bottom-plate sampling architecture.

그림 2의 Q, QB 클럭처럼 상보 스위치의 PMOS와 NMOS를 동시에 턴-온, 턴-오프 시켜 주는 두 클럭의 동작은 보통 한 게이트 정도의 지연 시간 차이를 갖는데, 추가적인 소자를 사용한 지연 시간 조정 등으로 이러한 동작 시간의 차이를 적게 할수록 선형성이 좋아진다. 그 이유는 첫째, 채널 전하 피드스루 오차뿐만 아니라 클럭 피드스루 오차도 좀더 효과적으로 상쇄되며, 둘째, 변화하는 높은 주파수 입력 신호에 대해서도 턴 오프 시간의 차이를 최소화시켜 주어 보다 정밀한 샘플링을 할 수 있기 때문이다. 이러한 동작 시간의 차이가 거의 없는 두 클럭의 사용은 특히 저 주파수의 입력 신호를 처리할 때 좀더 큰 효과를 나타낸다.

한편, SHA 또는 그 밖의 회로에서 넓은 영역의 신호를 처리하기 위해 상보 스위치를 주로 사용하는데, 특히, 선형성을 향상시키기 위해 PMOS 및 NMOS 트랜지스터의 온-저항 값을 비슷하게 유지하는 것이 좋다. 그 이유는 첫째, 스위치가 꺼질 때 발생하며 PMOS와 NMOS의 이동도 차이에 의해 증가할 수 있는 채널 전하 피드스루 오차가 좀더 효과적으로 상쇄되며, 둘째, 높은 주파수의 입력 신호를 샘플링할 때

변화하는 입력 신호에 대하여 비교적 일정한 온-저항 값이 유지되어 샘플링의 정밀도가 증가하기 때문이다. 공정에 따라 차이는 있으나 본 모의 실험에 사용한 0.8 um n-well CMOS 공정 변수에서 비교적 일정한 온-저항 값을 유지하기 위한 상보 스위치의 크기 비율은 그림 3에서 알 수 있듯이 PMOS:NMOS = 2.5:1이다. 이러한 비슷한 온-저항 값을 갖는 상보 스위치의 사용은 특히 높은 주파수의 입력 신호를 처리할 때 좀더 큰 효과를 나타낸다.

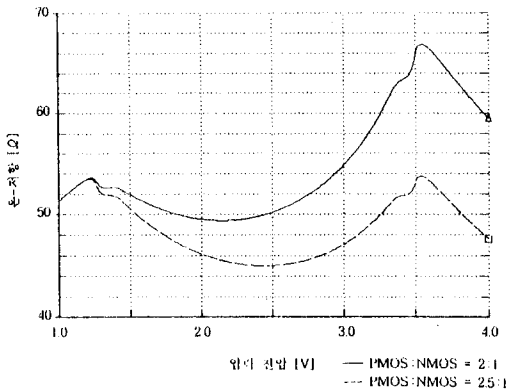


그림 3. 상보 스위치의 온-저항
Fig. 3. On-resistance of complementary switches.

제한된 두 구조는 MOS 스위치에서 발생할 수 있는 오차 요인들과 높은 주파수의 입력 신호를 샘플링할 때 발생할 수 있는 오차 요인들을 줄일 수 있는 방법으로 모든 영역의 입력 신호 주파수에 대하여 SHA의 선형성을 효과적으로 증가시킬 수 있다. 이러한 선형성 증가의 정도는 다음 장에서 수행된 모의 실험의 결과를 통하여 알 수 있다.

V. SHA 회로 설계 및 모의 실험 결과

본 장에서는 영상 신호를 처리하는 세 개의 5 V용 SHA를 설계하고 모의 실험하여 각 구조의 성능을 비교 분석하며, 기존의 피드스루 오차 최소화 기법 및 제안된 선형성 증가 기법들이 SHA의 정밀도에 어느 정도 영향을 미치는지 확인한다. 각 SHA는 II장에서 언급한 연산 증폭기 중에서 입력단이 상보 차동 쌍 구조를 가진 amp3 구조를 사용하고, 추가적인 회로와 기술들을 사용하지 않고도 피드스루 오차를 최소화할 수 있는 기법인 완전 차동 구조 및 bottom-plate 샘플링 구조를 사용하여 설계하였다.

1. SHA1 구조

영상 신호 처리용 A/D 변환기에 많이 사용되며, 2개의 캐패시터를 사용하는 가장 간단한 구조의 SHA를 설계하면 그림 4와 같다.

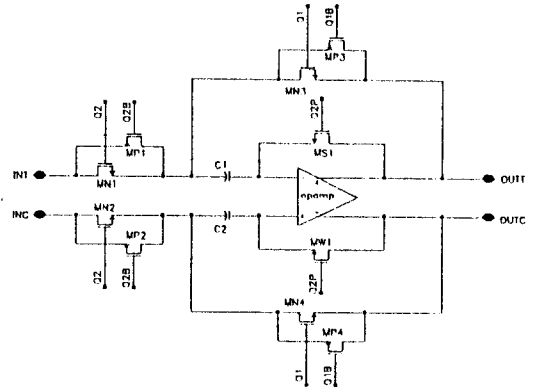
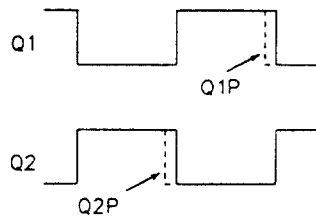


그림 4. SHA1 구조
Fig. 4. SHA1 schematic.

이러한 SHA1은 그림 5와 같이 동작하며 그림 5 (a)의 중첩되지 않는 클럭 (nonoverlapping clock)인 Q1과 Q2 클럭을 사용하였다. Q2가 'high'일 때 그림 5 (b)처럼 캐패시터의 bottom-plate에 입력 신호를 샘플링하고, Q1이 'high'일 때 그림 5 (c)처럼 홀드 모드로 동작하는 구조를 갖는데, 옅섯 전압을 제거할 수 있는 구조이다. 6 pF 정도의 캐패시터 성분으로 구성된 같은 부하 조건에 대하여 세 가지의 SHA 구조 중 전력을 가장 작게 소비하며 칩 면적도 가장 작은 구조로서, 차동 또는 단 (single-ended) 입력 신호의 사용이 모두 가능하나, 이 구조는 2 V_{TP}-p의 단 입력 신호를 사용할 경우 연산 증폭기 입력단의 공통 모드 전압이 ±0.5 V 까지 변화하고 그에 따른 입력 트랜스컨덕턴스의 변화 등으로 최적의 설계에서도 9~10 비트 정도의 선형성밖에 가지지 못한다는 단점을 가지고 있다. 한편, 차동 입력 신호를 사용할 때에는 최적의 설계시 10~11 비트 정도의 선형성을 가질 수 있다.



(a)

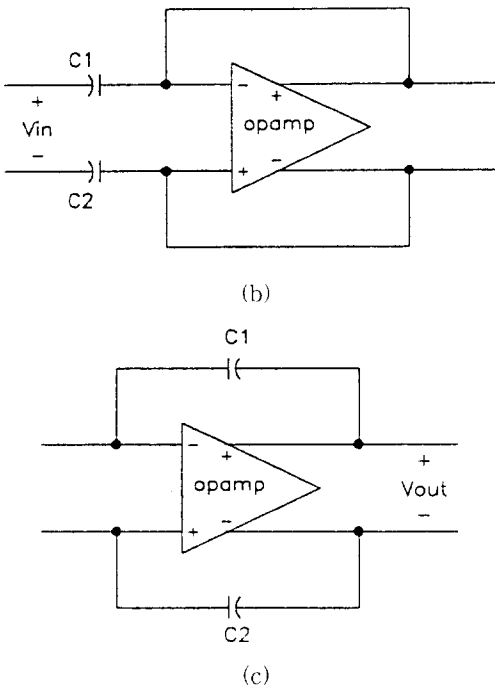


그림 5. SHA1의 동작 구조:
 (a) 클럭 타이밍도, (b) 샘플링 모드, 및 (c) 홀드 모드
 Fig. 5. Operation of the SHA1:
 (a) clock timing diagram, (b) sampling mode, and (c) hold mode.

2. SHA2 구조

4개의 캐패시터를 사용하는 구조 중 가장 간단한 구조를 가진 SHA를 설계하면 그림 6과 같다.

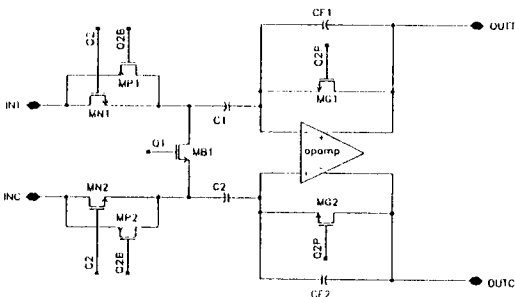


그림 6. SHA2 구조
 Fig. 6. SHA2 schematic.

SHA2 역시 옴셋 전압을 제거할 수 있고, 변화가 거의 없는 연산 증폭기의 입력 공통 모드 전압을 유지하며, 차동 또는 단 입력 신호의 사용이 모두 가능하다. SHA1과 비교할 때 같은 부하 조건에 대하여 같은 동

작 속도를 얻기 위해서는 feedback factor의 차이에 의해 약 두 배 정도의 전력을 소비하며, 칩 면적이 50% 정도 증가한다는 단점을 갖고 있으나, 스위치가 가장 적게 사용되어 세 가지의 SHA 구조 중에서 가장 간단한 스위칭 구조를 갖는다는 장점과, 단 입력 신호를 사용할 경우에도 최적의 설계시 12 비트 이상의 선형성을 가질 수 있다는 장점을 가지고 있다.

3. SHA3 구조

영상 신호 처리용 A/D 변환기에 많이 사용되며 여러 가지 확장성이 뛰어난 구조 중의 하나로서, 4개의 캐패시터를 사용하는 구조를 가진 SHA를 설계하면 그림 7과 같다.

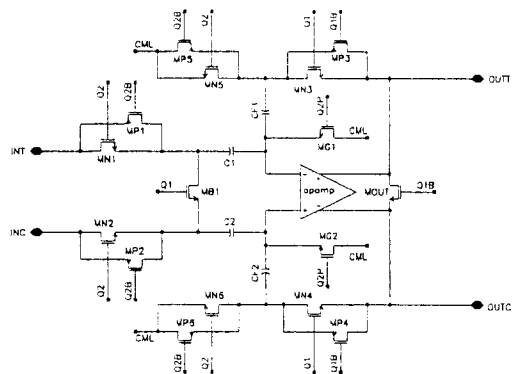


그림 7. SHA3 구조
 Fig. 7. SHA3 schematic.

SHA3도 역시 연산 증폭기의 입력단 공통 모드 전압의 변화가 거의 없으며, 차동 또는 단 입력 신호의 사용이 모두 가능하다. 같은 부하 조건에 대하여 같은 동작 속도를 얻기 위해 SHA2와 비슷한 전력을 소비하나, SHA2 보다 몇 개의 스위치를 더 사용하기 때문에 칩 면적이 좀더 커지며, 옴셋 전압을 제거하지 못한다는 단점이 있다. SHA3의 구조는 차동 입력 신호를 사용할 경우 최적의 설계시 12 비트 이상의 선형성을 가질 수 있으나, 단 입력 신호를 사용할 경우 최적의 설계에서도 여러 개의 스위치에서 발생하는 피드스루 오차 등에 의해 SHA2 보다 성능이 조금 떨어지는 11~12 비트 정도의 선형성을 가진다.

세 가지 SHA 구조의 성능을 비교하면 표 2와 같다. 표 2는 각 SHA 구조를 6 pF 정도의 캐패시터 성분으로 구성된 부하 조건에서 30MHz 이상의 샘플링 속도에서 동작할 수 있도록 설계하여, 사용된 연산 증폭기

의 입력 트랜스컨덕턴스 단위 이득 주파수 폭 및 전체적인 소비 전력 등을 비교한 것이다. 표 2에서 Feedback factor의 차이에 의해 SHA2 및 SHA3 구조는 SHA1 구조에 비하여 약 두 배 정도의 입력 트랜스컨덕턴스가 요구되며, 그로 인한 약 두 배 정도의 전력을 소비함을 알 수 있다. 각 공정 변수에 따라 차이는 있으나, SHA3은 추가적인 스위치의 사용으로 인한 기생 캐패시턴스의 증가로 SHA2에 비해 약 20 % 정도의 주파수 폭이 감소됨을 알 수 있다.

표 2. 세 가지 다른 SHA 구조의 성능 비교
Table 2. Performance of three different SHA's.

구분 SHA	입력 G_m	전압이득	UGBW	소비전력
SHA1	5.92[mS]	65.1dB	112MHz	16.7mW
SHA2	12.0[mS]	65.1dB	248MHz	30.0mW
SHA3	12.0[mS]	65.1dB	207MHz	30.0mW

요약하면, 어떠한 입력 조건에서도 12 비트 이상의 정밀도를 갖는 SHA를 설계하기 위해서는 SHA2와 같은 구조가 가장 적합하며, SHA3의 구조를 선택할 때에는 차동 입력 신호를 사용하는 것이 바람직하다. 그러나, 10 비트 이하의 정밀도가 요구되는 SHA를 설계할 때는 SHA1의 구조를 사용하는 것이 면적이나 소비 전력 등의 측면에서 가장 유리하다.

4. 모의 실험 결과

수행된 모든 모의 실험들은 0.8 um n-well CMOS 공정 변수를 사용하였으며, 기본적으로 각 SHA에 2 V_{Dp} 인 단 입력 신호와 20 MHz의 샘플링 클럭을 사용하였다. 또한, 각 모의 실험 결과를 통하여 얻은 SHA의 출력 파형을 256-point FFT (Fast Fourier Transform)로 분석하였으며, FFT 분석 결과로 얻은 신호에 대한 잡음 비 (SNR)를 다음의 식 (5)와 같은 계산을 통하여 ENOB (effective number of bit)를 구하였다¹³⁾. 앞으로 설명될 그림 9~11의 정밀도는 FFT 분석 결과인 ENOB를 나타낸 것이다.

$$ENOB = \frac{SNR - 1.76 \text{ dB}}{6.02} \quad (5)$$

예를 들어, SHA2의 구조에 주파수가 1.015625 MHz 인 2 V_{Dp} 의 정현파를 단 입력 신호로 사용하고, 20 MHz의 샘플링 클럭을 사용할 때, 모의 실험을 통하여

얻은 결과를 256-point FFT로 분석하면 그림 8과 같은 스펙트럼이 얻어진다. 그림 8에서 1 MHz 정도의 위치에 6 dB의 신호 전력이 존재하며, 전체 잡음 전력은 -70.68 dB이다. 즉, SNR은 76.68 dB이고 식 (5)에 의해 12.44 비트의 ENOB가 구해지며 이는 곧 SHA2 회로의 정밀도가 된다.

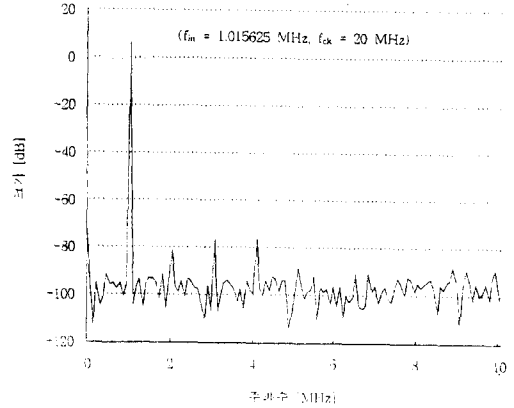


그림 8. SHA2의 256-point FFT에 의한 주파수 스펙트럼
Fig. 8. Frequency spectrum of SHA2 with 256-point FFT.

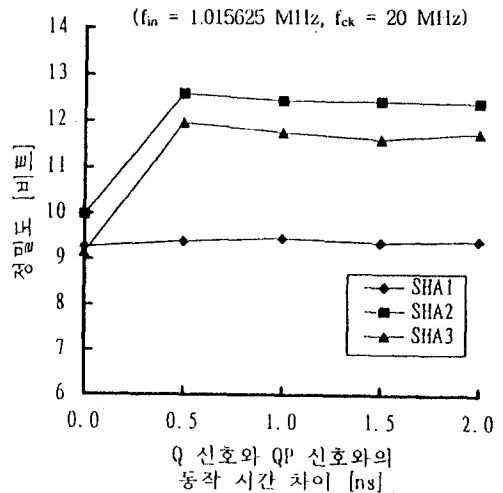


그림 9. Bottom-plate 샘플링 구조를 가진 각 SHA의 FFT 분석 결과
Fig. 9. FFT results of SHA's with the bottom-plate sampling architecture.

그림 9는 III장에서 언급된 bottom plate 샘플링 구조를 사용하여 설계된 각 SHA에 1.015625 MHz의 정현파를 입력 신호로 사용하여 모의 실험하고, 그 결

과를 FFT로 분석한 결과 도표이다. 이러한 bottom-plate 샘플링 구조처럼 샘플링 모드에서 홀드 모드로 전환할 때 캐패시터 bottom-plate에 연결된 스위치를 먼저 끄는 클럭 구조의 사용은 그림에서 알 수 있듯이 SHA의 정밀도를 증가시킨다. 또한, 그림에서 Q 신호와 QP 신호와의 차이는 두 게이트 지연 시간 (약 0.5~0.7 ns) 이상이 바람직함을 알 수 있다.

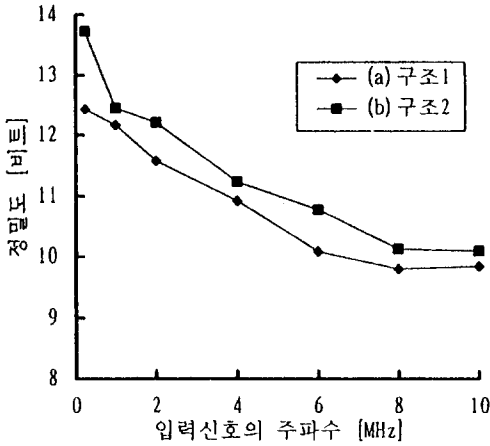


그림 10. SHA2의 FFT 분석 결과 비교:
(a) 전형적인 기법 사용 (구조 1), 및 (b) 제안된 기법 사용 (구조 2)

Fig. 10. Comparison of SHA2 FFT results:
(a) with conventional techniques (구조 1), and (b) with linearity improvement techniques (구조 2).

그림 10은 IV장에서 제안된 선형성 증가법이 SHA의 정밀도에 어느 정도 효과를 나타내는지를 알아보기 위해 SHA2 구조에 대하여 200 KHz~10 MHz 까지 입력 신호의 주파수를 변화시켜 가면서 모의 실험한 결과를 FFT로 분석한 도표이다. 구조 1은 스위치 크기의 비를 PMOS:NMOS = 2:1로 설계하고, 스위치의 턴 오프시 Q 신호와 QB 신호간에 0.3 ns 정도의 동작 속도 차이를 가진 클럭을 사용한 구조이며, 구조 2는 스위치 크기의 비를 PMOS:NMOS = 2.5:1로 설계하고, 스위치의 턴-오프시 Q 신호와 QB 신호간에 동작 속도 차이가 없는 클럭을 사용한 구조이다. 그림에서 제안된 선형성 증가법을 사용한 구조 2가 보통의 구조 1에 비하여 0.5 비트 이상 정밀도가 좋아짐을 알 수 있다.

앞에서 언급된 구조들의 사용을 통해 최적화된 세 가지 SHA의 입력 신호 주파수에 대한 정밀도의 도표

를 나타내면 그림 11과 같다. 세 구조는 모두 같은 스위치와 캐패시터를 사용하고, 200 KHz~10 MHz 까지 입력 주파수를 변화시켜 가면서 출력 파형을 FFT로 분석하였다. 그림 11에서 SHA2 구조는 입력 신호의 주파수가 2 MHz 이하에서는 12 비트 이상으로 동작함을 알 수 있다. 그러나, 더 높은 입력 주파수에 대해서는 정밀도가 떨어지는데, 이 경우에도 12 비트 이상의 정밀도를 유지하는 것이 향후 연구의 방향이다.

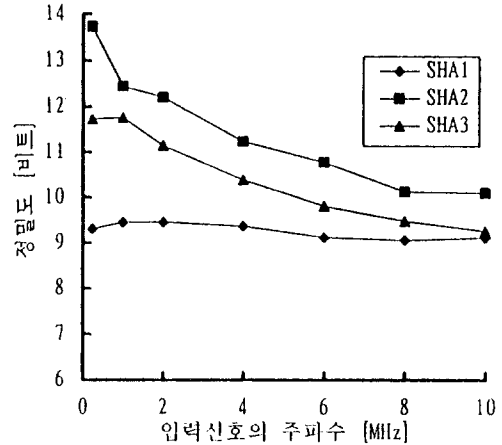


그림 11. 최적화된 각 SHA의 FFT 분석 결과
Fig. 11. FFT results of optimized SHA's.

VI. 결론

본 논문에서는 12 비트 수준의 높은 정밀도를 가진 간단한 형태의 SHA 회로의 설계 기법을 제안하였다. 이러한 SHA의 설계시 가장 중요하게 고려하여야 할 점들은 회로의 구조 및 입력 신호의 선택이다. 또한 결정된 SHA 구조에 사용될 연산 증폭기는 높은 선형성을 갖도록 설계되어야 하며, 피드스루 오차 최소화 기법 및 그 밖의 선형성 증가 방법들을 적절히 사용하여 면적, 소비 전력 등을 최적화하면서 시스템에서 요구되는 정밀도를 만족시킬 수 있도록 설계되어야 한다.

참고 문헌

[1] B. J. Sheu and C. Hu, "Switch-Induced Error Voltage on a Switched-Capacitor," *IEEE J. Solid-State Circuits*, vol. SC-19, pp. 519-525, Aug. 1984.
[2] J. H. Shieh, M. Patil, and B. J. Sheut, "Measurement and Analysis of Charge

- Injection in MOS Analog Switches," *IEEE J. Solid-State Circuits*, vol. SC-22, pp. 227-281, Apr. 1987.
- [3] 기중식, 정덕균, 김원찬, "정밀한 완전 차동 Sample-and-Hold 회로," *대한전자공학회논문지*, 제31권, B편, 제33호, pp. 53-59, 1994
- [4] U. Gatti, F. Maloberti, and G. Palmisano, "An Accurate Sample-and-Hold Circuit," *IEEE J. Solid-State Circuits*, vol. SC-27, pp. 120-122, Jan. 1992.
- [5] B. S. Song, M. F. Tompsett, and K. R. Lakshmikumar, "A 12-bit 1-Msample/s Capacitor Error-Averaging Pipelined A/D Converter," *IEEE J. Solid-State Circuits*, vol. 23, pp. 1324-1333, Dec. 1988.
- [6] R. E. Suarez, P. R. Gray, and D. A. Hodges, "All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques: Part II," *IEEE J. Solid-State Circuits*, vol. SC-10, pp. 379-385, Dec. 1975.
- [7] T. C. Choi, R. T. Kaneshiro, R. W. Broderson, P. R. Gray, W. B. Jett, and M. Wilcox, "High-Frequency CMOS Switched-Capacitor Filters for Communications Applications," *IEEE J. Solid-State Circuits*, vol. SC-18, pp. 652-664, Dec. 1983.
- [8] K. Nakamura, M. Hota, R. Carley, and D. Allstot, "A 85-mW 10-bit 40-Ms/s ADC with Decimated Parallel Architecture," *Custom Integrated Circuits Conference*, pp. 495-498, May 1994.
- [9] D. Senderowicz, S. F. Dreyer, J. H. Huggings, C. F. Rahim, and C. A. Laber, "A Family of Differential NMOS Analog Circuits for a PCM Codec Filter Chip," *IEEE J. Solid-State Circuits*, vol. SC-17, pp. 1014-1023, Dec. 1982.
- [10] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, JOHN WILEY & SONS, New York, 1993.
- [11] R. Castello, "Low-Voltage Low-Power MOS Switched-Capacitor Signal-Processing Techniques," *Ph. D. Dissertation*. University of California, Berkeley, Aug. 1984.
- [12] S. H. Lewis, "Video-Rate Analog-to-Digital Conversion Using Pipelined Architectures," *Memorandum UCB/ERL M87/90*, Univ. California at Berkeley, Nov. 1987.
- [13] D. F. Hoeschele, *Analog-to-Digital and Digital-to-Analog Conversion Techniques*, JOHN WILEY & SONS, New York, 1994.

저 자 소 개

崔 熙 哲(正會員) 第33卷 A編 第4號 參照
現在 三星電子 研究員



李 焜 勳(正會員)
1972년 6월 3일생. 서강대학교 전자공학과 학사(1995), 현재 서강대학교 전자공학과 대학원 재학 중. 주요 관심 분야는 데이터 변환기(A/D, D/A) 설계, 반도체 집적 회로 설계, 혼성 모드 회로

설계 등임.



張 棟 映(正會員)
1971년 8월 18일생. 서강대학교 전자공학과 학사(1995), 현재 서강대학교 전자공학과 대학원 재학 중. 주요 관심 분야는 샘플 앤 홀드 증폭기(sample and hold amplifier) 설계, 데이터 변환기 설계, 반도체 집적 회로 설계 등임.

李 承 勳(正會員) 第32卷 A編 第12號 參照
現在 西江大學校 電子工學科 助教授