

論文96-33A-7-15

3차원 확률분포함수를 고려한 단일전자 기본 논리 셀의 해석

(Analysis of a basic single-electron logic-cell considering three-dimensional joint probability distribution)

柳 允 燮 *, 黃 晟 寓 **

(Yunseop Yu and S.W. Hwang)

요 약

본 논문에서는 두 개의 단일전자 트랜지스터 (Single electron transistor: SET)가 직렬로 연결된 구조인 단일전자 기본 논리 셀의 정확한 특성 분석을 수행하였다. 기존의 알려진 계산 방법들과는 달리, 두 단일전자 트랜지스터 사이의 interconnection을 하나의 전자우물로 취급하고, 전체 회로의 모든 전자우물들 (이 경우 3개)에서의 결합 확률밀도함수 (joint probability density function)를 정확히 계산하여 정상상태에서의 입력전압에 따른 각 전자우물의 평균전자개수 및 출력전압의 변화를 고찰하였다.

Abstract

Detailed analyses have been presented for a basic single-electron-logic-cell consisting of two single-electron-transistors (SETs) in series. The interconnection between two SETs has been treated as a Coulomb island and the joint probability density function of all three Coulomb islands (two from the SETs and one from the interconnection) has been exactly calculated. The average number of electrons in each Coulomb island and the steady-state output voltage have been calculated and analyzed.

I. 서 론

미세 크기의 터널접합들 (tunnel junctions)과 그 접합들 사이의 미세 전자우물 (Coulomb island)로 구성된 단일전자 트랜지스터에서는 전자우물의 전위 (potential)를 게이트 (gate) 전압으로 변화시킴으로써, 터널접합을 넘나드는 전자 하나 하나의 터널링 (tunneling)을 제어할 수 있다 (Single Electron Tunneling Effect)^{[1], [2], [3]}. 따라서 단일전자 트랜지스터에서는 전자 하나 하나의 터널링의 제어가 소자 전체의 특성을 결정하며 단일전자 트랜지스터들로 구성된 논리회로나 메모리에서는 한 비트 (bit)의 정보가

전자우물의 전자 개수 한 개의 변화로 표시될 수 있다. 최근 차세대 초소형, 초저전력 회로의 후보로서, 이들 단일전자 트랜지스터에 대한 많은 연구가 수행되었으며^[1], 단일전자 트랜지스터를 이용한 많은 종류의 단일전자 논리 회로 (single electron logic circuit)들 및 단일전자 기본 인버터 셀 (basic single electron inverter cell)들이 제안되었고 분석되어졌다^{[3]-[6]}.

이러한 단일전자 회로의 계산에서 가장 중요한 것은 각 터널접합의 터널링률 (tunneling rate)과 전자우물 내의 확률분포함수이다. 여기서 어려운 점은 첫째, 확률분포가 각 접합의 터널링률의 함수란 것과 둘째, 각 전자우물의 확률분포함수를 서로 독립적으로 생각할 수 없고, 회로의 모든 전자우물에서의 전자가 존재할 확률들을 동시에 결합 확률분포함수 (joint probability distribution function)로 표현하여야 한다는 것이다. 지금까지 발표된 대부분의 단일전자 회로 계산 기법은

* 準會員, ** 正會員, 高麗大學校 電子工學科
(Dept. of Electronic Engineering, Korea Univ.)
接受日: 1996年4月26日, 수정완료일: 1996年6月19日

이러한 결합 확률분포함수를 이용하지 않고 있다. 즉, 단일전자 트랜지스터를 하나의 기본 단위로 취급하여 단일전자 트랜지스터들 간에 서로 연결된 곳 (interconnection)을 전자우물이 아닌 하나의 전극 (electrode)으로 간주하고 계산하는 방식을 취하고 있다¹⁷⁾.

본 논문에서는 두개의 단일전자 트랜지스터가 직렬로 연결된 기본 논리 셀 회로에서 두 단일전자 트랜지스터의 전자우물들 뿐만 아니라 두 트랜지스터 사이의 interconnection도 하나의 전자우물로 취급하는 계산을 시도하였다. 이들 세 개의 전자우물들 간의 결합 확률분포함수를 정확히 계산하여 이를 이용한 전압 전달 특성들과 전자우물에서의 평균 전하량 (average charge)를 계산하고 분석했다.

II. 논리회로 기본 논리 셀과 계산 방법

그림 1은 두개의 단일전자 트랜지스터가 직렬로 연결된 단일전자 논리 회로의 기본 셀을 나타낸다.

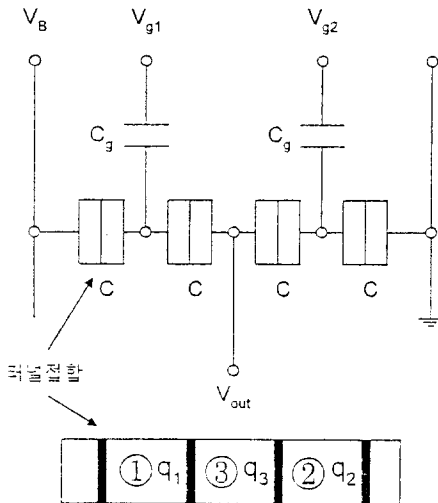


그림 1. 단일전자 기본 논리 셀 모식도
Fig. 1. A schematic diagram of a basic single-electron logic-cell

C는 4개의 터널 접합의 터널 캐패시터 (tunnel capacitor), C_g는 두개의 게이트와 전자우물 간의 보통 캐패시터, V_B는 일정한 DC 바이어스 전압, V_{g1}과 V_{g2}은 게이트 입력 전압, V_{out}은 출력전압이다. ①, ②는

두 단일전자 트랜지스터의 전자우물을, ③은 interconnection의 전자우물을 표시하고 q₁, q₂, q₃는 이들 전자우물들의 전하량을 나타낸다.

정상상태 (steady state)에서의 평균전하량과 전압 전달특성의 계산을 위해 semi-classical model^{[21], [13]}에 기초한 다음과 같은 방법을 택했다.

첫째, 세 개의 전자우물들에 전자가 n₁, n₂, n₃개 있을 확률을 P_{n₁ n₂ n₃}라 할 때, P_{n₁ n₂ n₃}의 시간 변화율은 다음과 같은 master 방정식을 만족한다.

$$\dot{P}_{n_1' n_2' n_3'} = \sum_{n_1 n_2 n_3} (\Gamma_{n_1' n_2' n_3', n_1 n_2 n_3} P_{n_1 n_2 n_3} - \Gamma_{n_1 n_2 n_3, n_1' n_2' n_3'} P_{n_1' n_2' n_3'}) \quad (1)$$

여기서 $\Gamma_{n_1' n_2' n_3', n_1 n_2 n_3}$ 는 전자우물의 전자분포가 (n₁n₂n₃) 상태에서 (n₁'n₂'n₃') 상태로 변화할 변화율 (transition rate)이고 $\Gamma_{n_1 n_2 n_3, n_1' n_2' n_3'}$ 는 전자우물의 전자분포가 (n₁'n₂'n₃') 상태에서 (n₁n₂n₃) 상태로 변화할 변화율이다. 정상상태에서의 결합 확률분포함수 P_{n₁ n₂ n₃}는 각 터널링 프로세스 (process)의 detailed balance를 이용하여 계산할 수 있다. 예를들어 ①과 ③ 전자우물 사이의 두 번째 접합을 통해 터널링이 일어나는 경우의 detailed balance는 식 (2)와 같이 표현된다.

$$\Gamma_{n_1 n_2 n_3, n_1-1 n_2 n_3+1} P_{n_1-1 n_2 n_3+1} = \Gamma_{n_1-1 n_2 n_3+1, n_1 n_2 n_3} P_{n_1 n_2 n_3} \quad (2)$$

둘째, (n₁n₂n₃) 상태에서 (n₁'n₂'n₃') 상태로 변화할 때 전체 회로의 electrostatic energy의 차를 ΔE라 하면 $\Gamma_{n_1' n_2' n_3', n_1 n_2 n_3}$ 는 다음과 같이 표현된다.

$$\Gamma_{n_1' n_2' n_3', n_1 n_2 n_3} = \frac{1}{e^2 R_i} \frac{\Delta E}{1 - \exp(-\Delta E / K_B T)} \quad (3)$$

여기서 R_i는 터널링이 일어나는 접합의 터널 접합 저항^{[11], [21], [13]}이고 K_B는 볼츠만 상수이다.

셋째, 정상 상태에서 각 전자우물에 전자가 평균 존재하는 갯수를 계산하고 이것을 이용하여 출력전압 (V_{out})을 계산한다. 각 전자우물에서 전자가 평균 존재하는 갯수 (평균전자갯수)는 식 (4)와 같이 표현된다.

$$\langle q_i \rangle = \sum_{n_1 n_2 n_3} n_i P_{n_1 n_2 n_3}, \quad i=1,2,3 \quad (4)$$

이러한 전압전달특성에 대한 계산 방법을 그림 2에 서는 순서도로 명확히 보여 주고 있다.

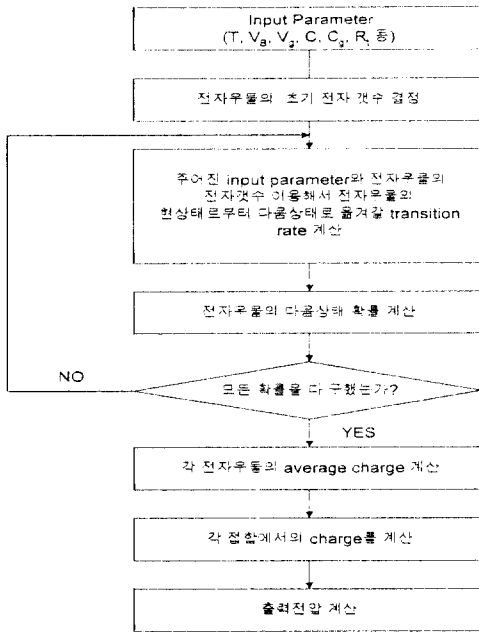


그림 2. 전압전달특성 계산 순서도
Fig. 2. The flowchart for the calculation of the voltage transfer characteristic.

III. 확률 분포 계산 결과

결합 확률분포함수는 $|n_1|, |n_2|, |n_3|$ 의 증가에 따라 급격히 감소하는 성질이 있다^[8]. 그림 3 ~ 그림 5 는 앞장에서 설명한 방법으로 10^{-5} 에서 truncation한 결합 확률분포함수 계산 결과를 보여주고 있다.

그림 3. (a), 그림 4. (a), 그림 5. (a)는 $V_{g1} = V_{g2} = V_B = 0V$ 일 경우 (equilibrium 상태)의 확률분포를 보여 주고 있다. 그림 3. (b), 그림 4. (b), 그림 5. (b)는 $V_{g1} = V_{g2} = 0V, V_B = 0.03V$ 일 경우의 확률분포를 보여 주고 있다. 그림 3에서 어두운 부분은 높은 확률을, 밝은 부분은 낮은 확률을 표시한다. 모든 바이어스 전압이 0일 경우 (그림 3. (a))에 확률분포는 원점 ($(n_1, n_2, n_3) = (0, 0, 0)$)을 중심으로 동심원 모양으로 감소하고 $V_B = 0.03V$ 일 경우 (그림 3. (b))에 확률의 최대치는 첫번째 octant 방향으로 치우친 점에서 생긴다. 이러한 치우침은 바이어스 전압 (V_B)의 증가에 따라 그 정도가 심해진다. 그림 4는 $n_1 = 0$ 일 때

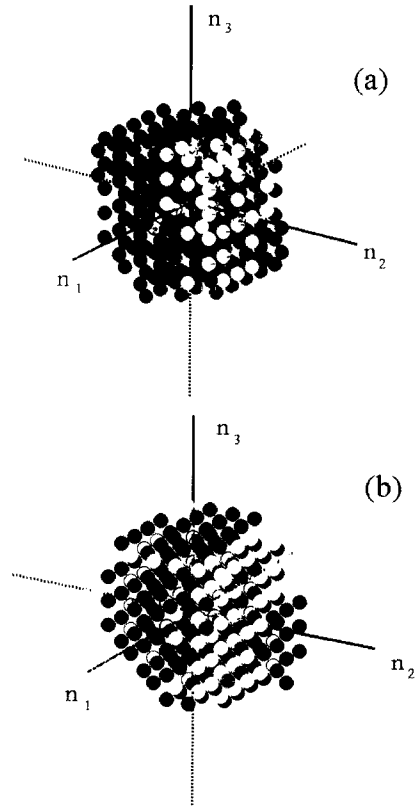
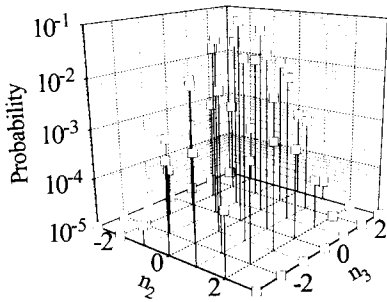


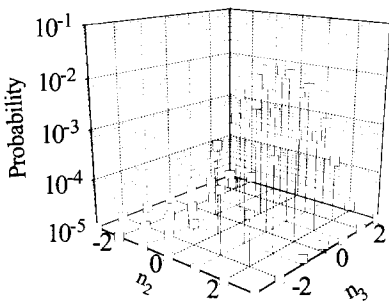
그림 3. 3차원 phase space에서 전자확률분포 (a) $V_{g1} = V_{g2} = V_B = 0V$, (b) $V_{g1} = V_{g2} = 0V, V_B = 0.03V$ ($T = 300K, C = 1.6aF, C_g = 3.2aF, R = 100M\Omega$)

Fig. 3. The probability distribution in the 3-dimensional phase space (a) $V_{g1} = V_{g2} = V_B = 0V$, (b) $V_{g1} = V_{g2} = 0V, V_B = 0.03V$ ($T = 300K, C = 1.6aF, C_g = 3.2aF, R = 100M\Omega$).

(n_2, n_3)에 대한 전자확률분포를 나타낸 것이다. 바이어스 전압을 가하지 않을 경우 (그림 4. (a))에 (0,0)에서 전자가 존재할 확률이 최대이고 (0,0)을 중심으로 대칭이다. 바이어스 전압이 0.03V로 가해졌을 경우 (그림 4. (b))에 전자가 존재할 확률은 (1,0) 근방에서 최대치를 이룸을 알 수 있다. 그림 5는 $n_1 = 2$ 일 때 (n_2, n_3)에 대한 전자확률분포를 나타낸 것이다. 바이어스 전압을 가하지 않을 경우 (그림 5. (a))에 (0,0)에서 전자가 존재할 확률이 최대이고 (0,0)을 중심으로 대칭을 이룬다. 바이어스 전압을 0.03V로 가할 경우 (그림 5. (b))에 (0,1) 근방에서 최대치가 된다.



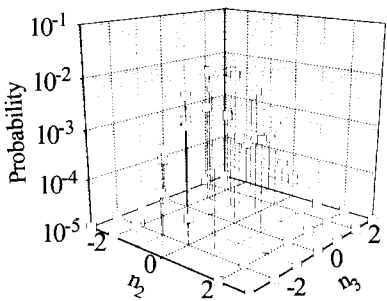
(a)



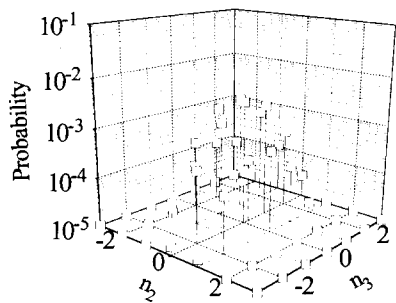
(b)

그림 4. $n_1 = 0$ 일 때의 확률분포 $P_{0n_2n_3}$. (a) $V_{g1} = V_{g2} = V_B = 0V$, (b) $V_{g1} = V_{g2} = 0V, V_B = 0.03V$ ($T = 300K, C = 1.6aF, C_g = 3.2aF, R = 100M\Omega$)

Fig. 4. The probability distribution, $P_{0n_2n_3}$, when $n_1 = 0$ (a) $V_{g1} = V_{g2} = V_B = 0V$, (b) $V_{g1} = V_{g2} = 0V, V_B = 0.03V$ ($T = 300K, C = 1.6aF, C_g = 3.2aF, R = 100M\Omega$).



(a)



(b)

그림 5. $n_1 = 2$ 일 때의 확률분포 $P_{2n_2n_3}$, (a) $V_{g1} = V_{g2} = V_B = 0V$, (b) $V_{g1} = V_{g2} = 0V, V_B = 0.03V$ ($T = 300K, C = 1.6aF, C_g = 3.2aF, R = 100M\Omega$)

Fig. 5. The probability distribution $P_{2n_2n_3}$, when $n_1 = 2$ (a) $V_{g1} = V_{g2} = V_B = 0V$, (b) $V_{g1} = V_{g2} = 0V, V_B = 0.03V$ ($T = 300K, C = 1.6aF, C_g = 3.2aF, R = 100M\Omega$).

IV. 전압전달특성

그림 1의 인버터 구조에서는 V_{g1} 을 고정하고 V_{g2} 를 변화시킬 경우, V_{g2} 를 고정하고 V_{g1} 을 변화시킬 경우, V_{g1} 과 V_{g2} 를 묶어서 같은 값 (V_{in})으로 변화시킬 경우의 세가지 구동 방법을 생각할 수 있다. 세가지 경우에서 입력전압에 따른 출력전압의 변화와 각 전자우물의 평균전자갯수의 변화를 계산한 결과가 그림 6와 그림 7과 그림 8에 나타나 있다.

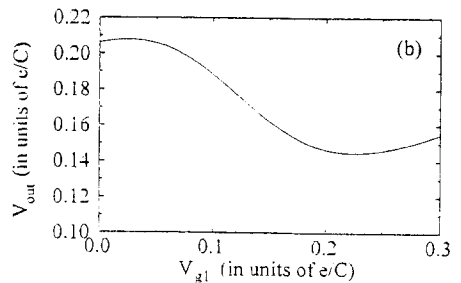
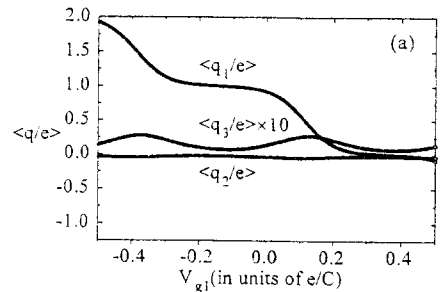


그림 6. $V_{g2} = 0, V_B = 0.03V, V_{g1} = V_{in}$ 일 때 각 전자우물에서의 평균전자갯수와 출력전압 (전압 전달특성) ($T = 30K, C = 1.6aF, C_g = 3.2aF, R = 100M\Omega$)

Fig. 6. The average number of electrons in each Coulomb island and the output voltage at $V_{g2} = 0, V_B = 0.03V, V_{g1} = V_{in}$ (voltage transfer characteristic) ($T = 30K, C = 1.6aF, C_g = 3.2aF, R = 100M\Omega$).

그림 6 는 V_{g2} 를 0V로 고정하고 V_{g1} 을 변화시킨 경우에 대해 계산한 결과이다. 그림 6. (a)에서는 전자우물 ③에서 평균전자갯수 ($\langle q_3/e \rangle$)가 V_{g1} 에 따라서 일정한 주기를 가진다. 전자우물 ①에서의 평균전자갯수($\langle q_1/e \rangle$)가 V_{g1} 이 증가함에 따라서 계단 모양 (staircase)으로 감소한다. 그림 6. (b)는 인버터 전달 특성 (inverter transfer characteristics)을 나타내고 있다.

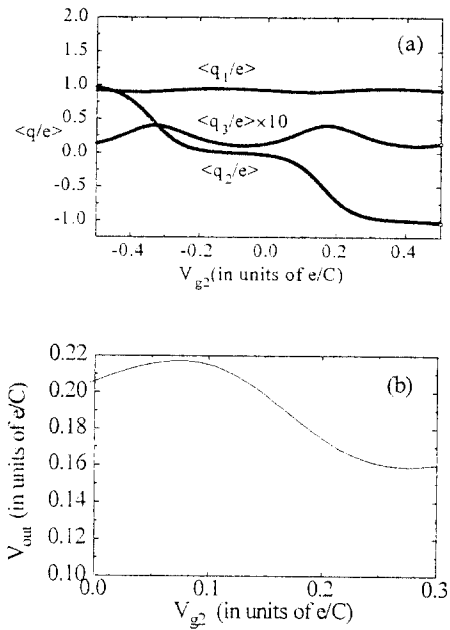


그림 7. $V_{g1} = 0, V_B = 0.03, V_{g2} = V_{in}$ 일 때, 각 전자우물에서의 평균전자갯수와 출력전압 (전압전달특성) ($T = 30K, C = 1.6aF, C_g = 3.2aF, R = 100M\Omega$)

Fig. 7. The average number of electrons in each Coulomb island and the output voltage at $V_{g1} = 0, V_B = 0.03V, V_{g2} = V_{in}$. (voltage transfer characteristic) ($T = 30K, C = 1.6aF, C_g = 3.2aF, R = 100M\Omega$)

그림 7은 V_{g1} 을 0V로 고정하고 V_{g2} 를 변화시킨 경우에 대해 계산한 결과이다. 그림 7. (a)에서는 그림 6. (a)와 비슷한 결과를 가지나 V_{g2} 를 증가시키에 따라서 전자우물 ①에서 평균전자갯수 ($\langle q_2/e \rangle$)가 계단 모양으로 감소한다. 그림 7. (b)는 그림 6. (b)와 거의 같은 결과를 가진다.

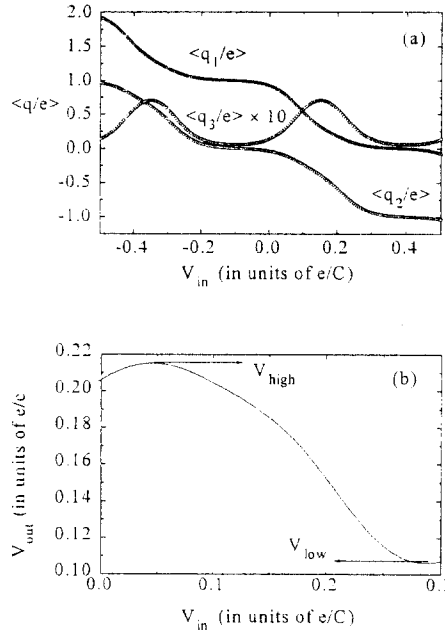


그림 8. $V_{g1} = V_{g2} = V_{in}$ 인 경우에 각 전자우물에서의 평균전자갯수와 출력전압 (전압전달특성) ($T = 30K, C = 1.6aF, C_g = 3.2aF, R = 100M\Omega$)

Fig. 8. The average number of electrons in each Coulomb island and the output voltage at $V_{g1} = V_{g2} = V_{in}, V_B = 0.03V$. (voltage transfer characteristic) ($T = 30K, C = 1.6aF, C_g = 3.2aF, R = 100M\Omega$)

그림 8은 $V_{g1} = V_{g2}$ 이 동시에 변화할 때의 계산 결과이다. 그림 8. (a)에서 게이트 전압이 증가함에 따라서 게이트가 붙어 있는 전자우물 ①, ②에서의 평균전자갯수가 계단 모양으로 감소하고 게이트가 없는 전자우물 ③에서의 평균전자갯수는 일정한 주기로 변화된다. 그림 8. (b)에서는 전자우물 ③의 평균전자갯수가 최대점에 있을 때가 V_{out} 이 최대 전압을 가지고 최소점에 있을 때 최소 전압을 가진다. 즉 V_{high} ("level 1")는 평균전자갯수가 최대점에서 생기고 V_{low} ("level 0")는 최소점에서 생긴다. 이 경우, 그림 6. (b)와 그림 7. (b)에 나타난 것과 달리 출력전압의 최대점과 최소점의 차이가 두 배 정도 크을 알 수 있다. 한가지 강조할 점은 그림 6, 7, 8의 모든 경우에 논리레벨의 변화는 입력전압이 가해지는 전자우물의 평균전자갯수 한 개의 변화에 해당된다는 것이다.

V. 결 론

본 논문에서는 두개의 단일전자 트랜지스터가 직렬로 연결된 기본 논리 셀 회로에서 두 단일전자 트랜지스터의 전자우물들 뿐만 아니라 두 트랜지스터 사이의 interconnection도 하나의 전자우물로 취급하는 계산을 시도하였다. 이들 세 개의 전자우물들 간의 3차원 phase space 결합 확률분포함수를 정확히 계산했다. 이 확률분포를 바탕으로 전압전달특성들과 전자우물에서의 평균 전하량 (average charge)를 계산했다.

감사의 글

※ 본 연구는 서울대학교 반도체공동연구소의 교육부 반도체 분야 학술연구 조성비(과제번호: ISRC-95-E-1038)에 의해 수행되었습니다. 3차원 확률분포 그래프 제작에 도움을 준 고려대학교 전자공학과 소모임 "하나와 영" 친구들에게 감사를 드립니다.

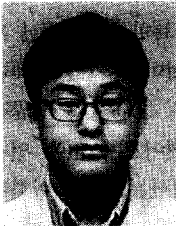
참 고 문 헌

[1] D.V. Averin and K. K. Likahrev, in *Mesoscopic Phenomena in Nanostructure*,

edited by B. L. Altshuler, P. A. Lee and R. A. Web (North-Holland, Amsterdam, 1991), pp.169, 1991.

- [2] H. Grabert et al, *Z. phys. B - Condens. Matt.* Vol. 84, pp. 143, 1991.
- [3] H. Grabert, H. Devoret, Single Charge Tunneling-Coulomb Blockade Phenomena in Nanostructure. *NATO ASI Series B; Physics* (Plenum, New York and London, 1992) Vol. 294, 1992.
- [4] J. R. Tucker, *J. Appl. Phys.* Vol. 72, pp. 4399, 1992.
- [5] K. Nakazato, T. J. Thornton, J. White and H. Ahmed, *Appl. Phys. Lett.* Vol. 78, No. 4, pp.2520, 1995.
- [6] K. Yano et al, *IEDM-93*, pp. 541, 1993.
- [7] A. N. Korotkov, R. H. Chen, K. K. Likahrev, Possible performance of capacitively coupled single-electron transistors in digital circuits, *J. Appl. Phys.* Vol. 78, No. 4, pp. 2520, 1995.
- [8] 유윤섭, 하원일, 황성우, 단일전자 트랜지스터의 근사적 전류-전압 특성 계산, *전자공학회 1995 년추계종합학술대회 논문집*, Vol. 18, No. 2, pp. 495-498, 1995

— 저 자 소 개 —



柳允燮(準會員)

1971년 3월 2일생. 1995년 8월 고려대학교 전자공학과 졸업(공학사). 현재 동 대학원 전자공학과 석사과정. 주 관심 분야는 반도체 초미세 구조 해석 및 메모리 소자의 제작 및 해석



黃晟 寓(正會員)

1962년 8월 25일생. 1985년 2월 서울대학교 전자공학과 공학사. 1987년 2월 동 대학원 전자공학과 공학석사. 1993년 4월 Princeton University 전기공학과 공학박사. 1993년 4월 - 1995년 2월 일본 NEC 기초연구소 연구원. 1995년 3월 - 현재 고려대학교 전기 전자 공학부 조교수. 주 관심 분야는 반도체 초미세 구조 제작 및 응용, 극소소자 기술, 차세대 메모리 기술등임